

Inżynieria układów i systemów scalonych

Wykład dla semestru V

Bogdan Pankiewicz, email: bogdan.pankiewicz@eti.pg.edu.pl

pok. EA 307, konsultacje – informacja na stronie domowej:

<http://www.ue.eti.pg.gda.pl/~bpa>

Strona WWW przedmiotu: <http://www.ue.eti.pg.gda.pl/~bpa/iuss/iuss.html>

Gdańsk wrzesień 2019, materiały na semestr zimowy 2019/2020

Zaliczenie przedmiotu

Ocena końcowa = średnia ważona oceny z wykładu (waga 2), laboratorium (waga 1) i projektu (waga 1).

Zarówno wykład, laboratorium jak i projekt muszą być zaliczone na ocenę co najmniej 3.0 – w przeciwnym przypadku brak zaliczenia przedmiotu.

Kalendarz zajęć wykładowych

- 07/10/2019 – 3h, sala EA20, 8-11
- 14/10/2019 – 3h, sala EA20, 8-11
- 21/10/2019 – 3h, sala EA20, 8-11
- 28/10/2019 – 3h, sala EA20, 8-11
- 04/11/2019 – 3h, sala EA20, 8-11

- 18/11/2019 – 3h, sala EA20, 8-11 – zaliczenie przedmiotu

Zaliczenie wykładu

Ocena z wykładu:

kolokwium 92,5pkt w **dniu 18/11/2019, godz.: 8:15 – 11:00, sala EA20,**

- każda obecność na wykładzie 0,5pkt./godz,
- możliwe dodatkowe punkty w przypadku aktywności na zajęciach.

Pytania do kolokwium dostępne są na stronie:

<http://www.ue.eti.pg.gda.pl/~bpa/iuss/iuss.html>

Ustalenie oceny końcowej wg poniższej skali:

0 - 50pkt – 2.0, 51 - 60pkt. – 3.0, 61 - 70pkt. – 3.5, 71 - 80pkt. – 4.0, 81 - 90pkt. – 4.5, 91 - 100pkt. – 5.0

Zaliczenie laboratorium

Ocenę końcową stanowi średnia uzyskana ze sprawozdań oraz odpowiedzi ustnych lub pisemnych udzielanych prowadzącemu zajęcia.

Należy obowiązkowo wykonać wszystkie przewidziane programem laboratorium ćwiczenia.

Zaliczenie projektu

Ocenę końcową stanowi średnia uzyskana z oddanego sprawozdania oraz ocen uzyskanych na dwóch prezentacjach.

Literatura:

- 1) R. L. Geiger, P. E. Allen, N. R. Strader, „VLSI design techniques for analog and digital circuits“, McGraw-Hill 1990.
- 2) P. E. Allen, D. R. Holberg, „CMOS analog circuit design“, Sanders College Publishing, 1987.
- 3) P. R. Gray, R. G. Meyer, „Analysis and design of analog integrated circuits“, John Wiley & Son, Inc. 1993.
- 4) P. Gajewski, J. Turczyński, „Cyfrowe układy scalone CMOS“, WKŁ 1990.
(zabezpieczenie przed ładunkiem elektrostatycznym str. 31-37).
- 5) „Matching properties of MOS transistors“, M. Pelgrom, A. Duinmaijer, A. Welbres, IEEE Journal of Solid-State Circuits, vol.. 24, no. 5, October 1989.
- 6) J. Izydorczyk, „PSpice komputerowa symulacja układów elektronicznych“, Helion, 1993.
- 7) C. Wai-Kai (editor), „The VLSI Handbook“, Taylor & Francis Group, 2007.
- 8) Eric A. Vittoz, „Analog Layout Techniques“ Practical Aspects of Analog and Mixed-Mode IC Design, Portland OR, July 18-22, 1994.
- 9) Zvi Or-Bach, „Paradigm Shift in ASIC Technology“, www.eASIC.com

Część I - PSPICE

Czyli jak wykonać symulację elektryczną
obwodu przy użyciu oprogramowania
PSPICE

Historia powstania

- SPICE – ang. Simulation Program with Integrated Circuit Emphasis, ze względu na koszty produkcji układów scalonych bardzo ważne stała się ich wstępna symulacja, jeszcze przed procesem produkcji i stąd powstała potrzeba symulacji.
- Pierwsza wersja symulatora powstaje w 1973r na University of California, Berkeley i jest sponsorowana przez United States Department of Defense.
- Następne wersje są kontynuacją, powstają również wersje komercyjne, SPICE natomiast staje się oprogramowaniem typu Public Domain.

Historia powstania c.d.

- Obecnie mamy dostępne również inne symulatory obwodów elektrycznych: Eldo, Spectre, HSpice, PSpice, Saber i inne.
- PSPICE - Personal Simulation Program with Integrated Circuit Emphasis, wytworzony inicjalnie przez firmę MicroSim.
- Następnie wykupiony przez OrCad a następnie przez
- Cadence Design Systems.

Darmowe wersje symulatorów

- LT SPICE dostępny:
<http://www.linear.com/designtools/software/#Spice>
- Berkeley SPICE 3fg, dostępny:
<http://bwrcs.eecs.berkeley.edu/Classes/IcBook/SPICE/>
- Wersja DEMO PSPICE, dostępna:
<http://www.cadence.com/products/orcad/pages/downloads.aspx>

Dostęp do ww. stron sprawdzony w dniu 15.01.2015.

Składnia ogólna pliku opisu układu

Układ 1

R1 1 0 10k

C1 1 0 1f

* to jest komentarz

.op

.end

Pierwsza linia - tytuł obwodu, dozwolona dowolna zawartość tej linii.

Kolejne linie zaczynające się od litery – lista połączeniowa obwodu.

Linie zaczynające się „*” – komentarz trwający do końca linii.

Linie zaczynające się kropką stanowią polecenia symulatora.¹¹

Ogólne zasady opisu

- typowe rozszerzenie nazwy pliku to „*.cir” , inne rozszerzenia mogą powodować problemy w działaniu oprogramowania,
- należy unikać polskich znaków i spacji zarówno w nazwach plików jak i w opisie wewnątrz pliku SPICE,
- składnia SPICE jest nieczuła na wielkość liter,
- w pierwszej linii podaje się zwięzły opis badanego układu,
- ostatnia linia pliku powinna zawierać polecenie **.end**, jeśli plik zawiera linie za **.end** traktowane są one jako kolejny obwód do analizy,
- puste linie są pomijane,

Ogólne zasady opisu c.d.

- linie rozpoczynające się literą są opisem elementu zależnego od tego jaka jest to litera np.: R- rezystor, L- cewka, C- kondensator i.t.d.,
- linie rozpoczynające się kropką są poleceniami, parametrami lub dodatkowym sterowaniem pracą symulatora,
- linie rozpoczynające się gwiazdką „***” są komentarzem trwającym do końca linii,
- linie w których występuje średnik *;* – od pozycji średnika do końca linii też są traktowane jako komentarz,

Ogólne zasady opisu c.d.

- długie linie (typowo ponad 80 znaków) można przenieść do kolejnej linii opisu rozpoczynając ją znakiem „+”

Przykład:

R1 1 0 22k

można zapisać:

R1 1 0

+ 22k

Ogólne zasady opisu c.d.

- węzeł masy ma w SPICE zawsze nazwę „0” (zero),
- węzeł ten **musi** wystąpić w badanym układzie,
- każdy z węzłów musi mieć przynajmniej 2 połączenia do elementów – w przeciwnym przypadku węzeł będzie typu „floating” i zablokuje możliwość symulacji,
- niektóre symulatory samodzielnie usuwają węzły „floating” i umożliwiają symulacje generując jedynie ostrzeżenie o potencjalnym problemie,

Ogólne zasady opisu c.d.

- również węzły, które mają 2 połączenia ale wyłącznie zrealizowane poprzez kondensatory są typu „floating”,
- niedozwolone jest równoległe łączenie idealnych źródeł napięciowych,
- niedozwolone jest szeregowe łączenie idealnych źródeł prądowych.

Jednostki

- Większość używanych jednostek to jednostki S.I. (tylko pojedyncze przypadki w niektórych modelach elementów są spoza układu S.I.)
- można stosować przyrostki wartości:

f	p	n	u	m	k	meg	g	t	mil
F	P	N	U	M	K	MEG	G	T	MIL
10^{-15}	10^{-12}	10^{-9}	10^{-6}	10^{-3}	10^3	10^6	10^9	10^{12}	$25.4 \cdot 10^{-6}$

Wartości

Formaty podawania wartości parametrów elementów:

- zwykły, np.: **123.23**, - punktem dziesiętnym jest kropka, można nie podawać zera przed wartością np. **0.123=.123**,
- naukowy, np.: **1.2323e-5**,
- z użyciem przyrostka, np.: **1.2323m**,
- z dodatkowym podaniem jednostki, np.: **1.2323e-3V** lub **1.2323mV**,
- uwaga na jednostkę F gdyż jest to przyrostek oznaczający 10^{-15} więc:

1.2323e-6F nie jest równe 1.2323uF ₁₈

Wartości c.d.

- wartości można również podawać pośrednio poprzez wykorzystanie wyrażenia umieszczonego w nawiasie klamrowym, np.: `R1 1 0 {10k*2/23}`,
- wartości wyliczane w nawiasie klamrowym mogą wykorzystywać bardziej złożone zależności poprzez zastosowanie operatorów, funkcji oraz możliwość umieszczenia w wyrażeniu parametrów, np.:
`.param mult=10`
`R1 1 0 {mult*2*sin(mult)*1K}`

Temperatura

Polecenie **.TEMP** ustala wartość temperatury elementów, dla której wykonywane są analizy. Zakłada się, że wszystkie parametry modeli były pomierzone dla temperatury nominalnej oznaczonej parametrem **TNOM** (domyślnie 27°C), wartość **TNOM** można ustawić poleceniem **.OPTIONS**.

Temperatura w PSPICE, c.d.

- Temperatura w SPICE ma jednostkę °C.
- Temperatura nominalna **TNOM** jest ustawiona do wartości domyślnej równej **TNOM=27°C**, wartość domyślnej temperatury nominalnej można modyfikować poleceniem **.options**.
- Temperatura ogólna symulacji jest ustawiana poleceniem **.temp=new_value** lub jako zmiana parametru o nazwie **TEMP**, domyślna wartość temperatury jest równa **27°C**.
- Bieżąca temperatura elementu może być ustawiona na kilka sposobów: parametr globalny **TEMP**, parametr modelu **T_ABS** oraz parametr modelu **T_REL_GLOBAL**.

Temperatura w PSPICE c.d.

Temperatura poszczególnych elementów:

- dla elementu bez modelu lub dla elementu dla którego w modelu nie podano parametrów **T_ABS** lub **T_REL_GLOBAL** temperatura jest równa parametrowi **TEMP**,
- dla elementu dla którego w modelu podano parametr **T_ABS** temperatura jest równa temu parametrowi,
- dla elementu dla którego w modelu podano parametr **T_REL_GLOBAL** temperatura jest równa **TEMP + T_REL_GLOBAL**,
- dla elementu dla którego model jest typu AKO i podano parametr **T_REL_LOCAL** temperatura jest równa **TEMP** z modelu odniesienia + **T_REL_LOCAL**,

Temperatura w PSPICE c.d.

Symulacje dla różnych temperatur:

- polecenie **.TEMP=40** lub równoważne **.TEMP 40** ustala temperaturę elementów używaną w czasie symulacji (niektóre elementy mogą mieć temperaturę modyfikowaną innymi poleceniami),
- polecenie **.TEMP <lista temperatur>** powoduje powielenie aktualnych symulacji dla każdej z temperatur występujących na liście,
- przykłady:

```
.temp 10 .temp=10
```

```
.temp 10 20 30
```

```
.step temp list 10 20 30
```

Składnia PSPICE

Zasady opisu stosowanej składni w plikach symulacyjnych PSPICE:

- nawias trójkątny < > – obowiązkowy parametr,
- nawias kwadratowy [] – parametr opcjonalny,
- Pionowa kreska | rozdzielająca elementy wpisu – oznacza, że tylko jeden element z rozdzielonych symbolem | jest dopuszczalny.

Elementy dwuwyprowadzeniowe

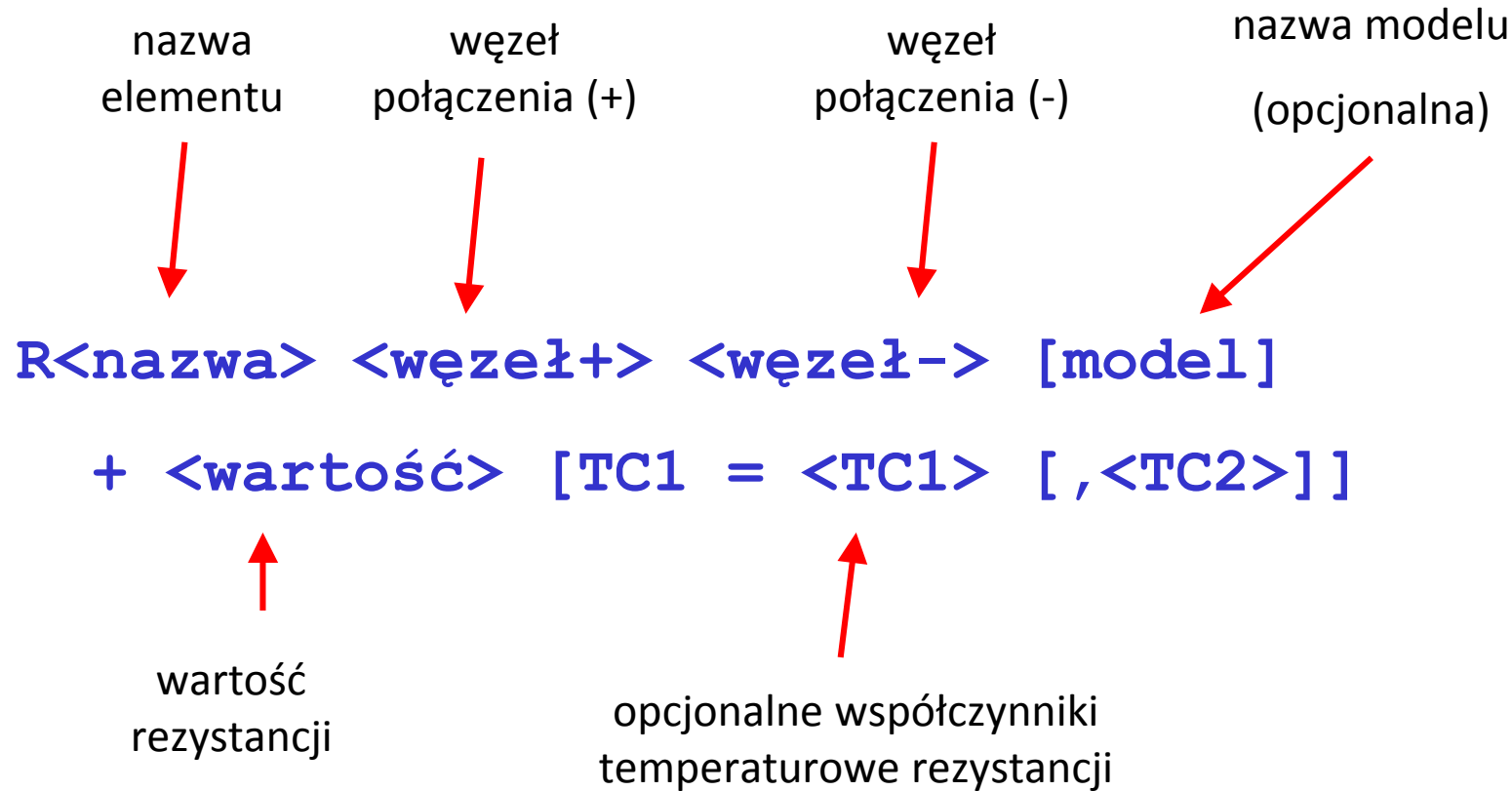
Elementy z dwoma wyprowadzeniami –
uwagi ogólne:

- zasada definiowania jest jak poniżej:

Rnazwa węzeł+ węzeł- <wartość lub model>

- napięcie mierzy się pomiędzy **węzeł+** a **węzeł-** ,
- jako prąd dodatni uważa się prąd wpływający do wyprowadzenia **węzeł+** .

Rezystor



W przypadku użycia modelu rzeczywista wartość rezystancji jest modyfikowana zgodnie z równaniem modelu!

Rezystor c.d.

Przykłady wstawienia rezystora do badanego obwodu:

Rload out 0 10k – rezystor o nazwie **load** włączony pomiędzy węzły **out** oraz **0** i wartości **10kOhm** ,

R123 wypr12 12 my_res 22k – rezystor o nazwie **123** włączony pomiędzy węzły **wypr12** oraz **12** , modelu **my_res** i wartości inicjalnej rezystancji równej **22kOhm** ,

W tym przypadku, aby doszło do prawidłowej analizy musi być powołany model rezystora o nazwie **my_res** model.

Przykład deklaracji modelu rezystora:

```
.MODEL my_res RES (R=3 TC1=0.01 TC2=0.1)
```

Rezystor c.d.

Przykłady wyliczenia wartości rezystancji wstawionego elementu:

`Rload out 0 10k -> r=10k`

`Rload out 0 10k TC1=0.01 TC2=0.001 ->`

`r=10k*(1+TC1*(T-Tnom)+TC2*(T-Tnom)2)`

gdzie: **T** - temperatura symulacji,

domyślnie = 27°C,

można ją ustawić na inną wartość np. poleceniem `.temp=10`

Tnom=27°C – temperatura nominalna

Rezystor c.d.

```
Rload out 0 my_res 10k
```

```
.MODEL my_res RES (R=2 TC1=0.001  
TC2=0.0001)
```

->

```
r = 10k*R*(1+TC1*(T-Tnom)+TC2*(T-Tnom)2)
```

Modele elementów, informacje ogólne

```
.MODEL <nazwa_modelu> [AKO: <nazwa_modelu_odniesienia>]  
+ <typ_modelu>  
+ ([<nazwa_parametru> = <wartość> [specyfikacja_tolerancji]]  
+ [T_MEASURED=<wartość>] [[T_ABS=<wartość>] |  
+ [T_REL_GLOBAL=<wartość>] | [T_REL_LOCAL=<wartość>]])
```

Gdzie:

<nazwa_modelu> - nazwa modelu nadana przez użytkownika,

[AKO: <nazwa_modelu_odniesienia>] - nazwa modelu odniesienia

<typ_modelu> - typ modelu, jedna z wartości z listy dostępnych modeli, modele dostępne to m.in. : **CAP, CORE, D, GASFET, IND, ISWITCH, LPNP, NIGBT, NJF, NMOS, NPN, PJF, PMOS, PNP, RES, TRN, VSWITCH,**

[<nazwa_parametru> = <wartość> [specyfikacja_tolerancji] - lista wartości parametrów modelu wraz z ewentualnymi tolerancjami

Modele elementów, inf. ogólne c.d.

```
.MODEL <nazwa_modelu> [AKO: <nazwa_modelu_odniesienia>]  
+ <typ_modelu>  
+ ([<nazwa_parametru> = <wartość> [specyfikacja_tolerancji]]  
+ [T_MEASURED=<wartość>] [[T_ABS=<wartość>] |  
+ [T_REL_GLOBAL=<wartość>] | [T_REL_LOCAL=<wartość>]])
```

Gdzie:

[T_MEASURED=<value>] - temperatura dla którego dokonano pomiaru parametrów modelu, jeśli podana nadpisuje wartość TNOM dla danego elementu,

[[T_ABS=<value>] | [T_REL_GLOBAL=<value>] |
[T_REL_LOCAL=<value>]] – parametry modyfikujące temperaturę danego elementu w stosunku do wartości ogólnych.

Parametry: T_MEASURED, T_ABS, T_REL_GLOBAL, T_REL_LOCAL mają identyczne znaczenie dla wszystkich modeli i nie będą dalej dla szczegółowych modeli powtarzane przy ich omawianiu.

Model rezystora

Parametr modelu	Opis	Jednostka	Wartość domyślna
R	mnożnik		1.0
TC1	współczynnik temperaturowy liniowy	1/°C	0.0
TC2	współczynnik temperaturowy kwadratowy	1/°C²	0.0
TCE	współczynnik temperaturowy eksponentalny	%/°C	0.0

Model rezystora c.d.

Jeśli rezystor ma model i podano parametr TCE wówczas jego rezystancja jest równa:

$$r = \langle \text{wartość} \rangle * R * 1.01^{TCE(T-TNOM)}$$

Jeśli rezystor ma model i parametr TCE nie jest podany wówczas jego rezystancja jest równa:

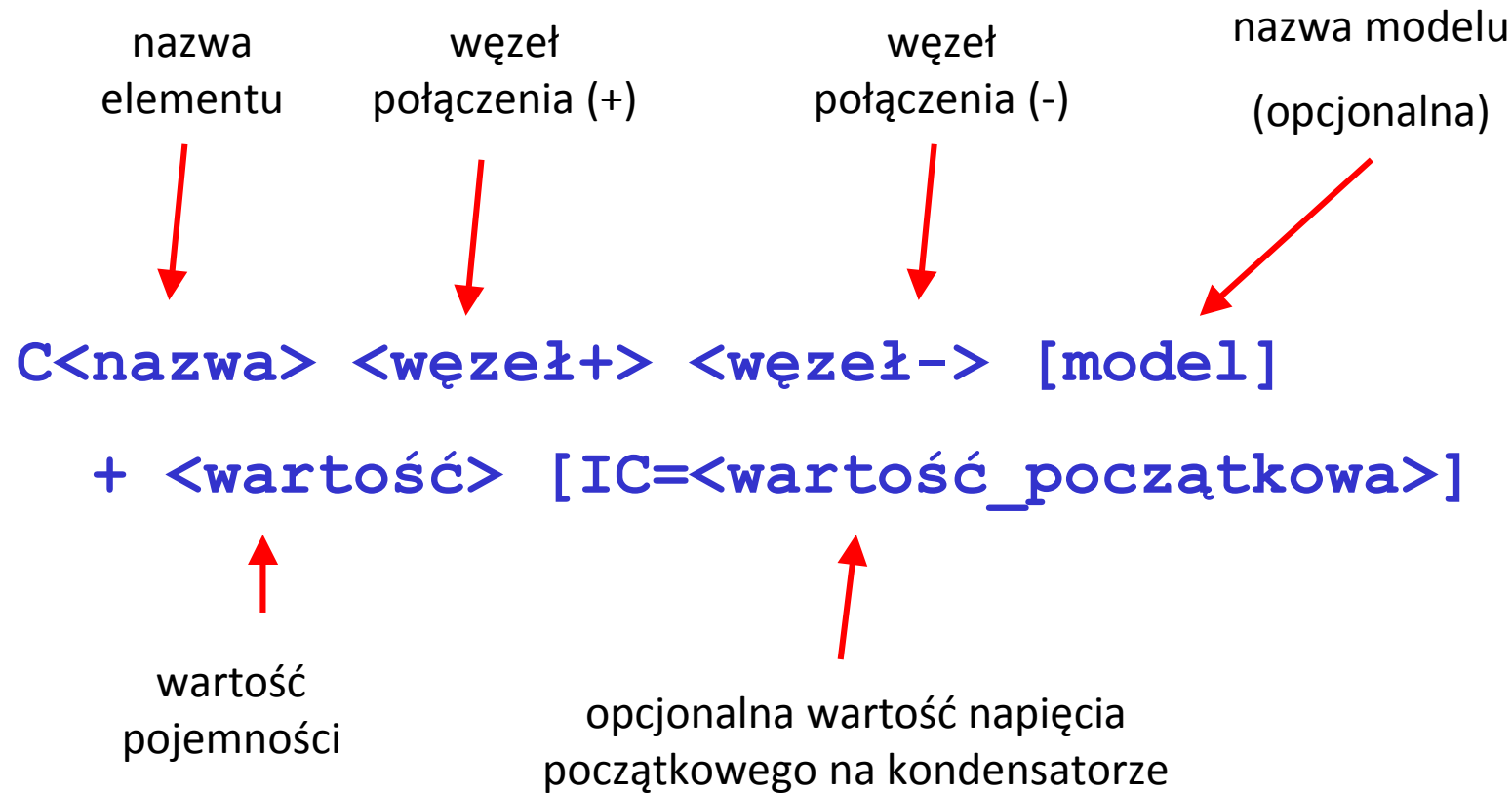
$$r = \langle \text{wartość} \rangle * R * \left(1 + TC1(T - TNOM) + TC2(T - TNOM)^2\right)$$

Szum rezystora to szum biały o gęstości widmowej mocy szumów równej:

$$i^2 = 4kT / r$$

Gdzie: k jest stałą Boltzmana a T temperaturą bezwzględną (wyjątkowo w tym miejscu w Kelwinach)

Kondensator



W przypadku użycia modelu rzeczywista wartość pojemności jest modyfikowana zgodnie z równaniem modelu!

Kondensator c. d.

Parametr modelu	Opis	Jednostka	Wartość domyślna
C	mnożnik		1.0
TC1	współczynnik temperaturowy liniowy	1/°C	0.0
TC2	współczynnik temperaturowy kwadratowy	1/°C²	0.0
VC1	współczynnik napięciowy liniowy	1/V	0.0
VC2	współczynnik napięciowy kwadratowy	1/V²	0.0

Kondensator c. d.

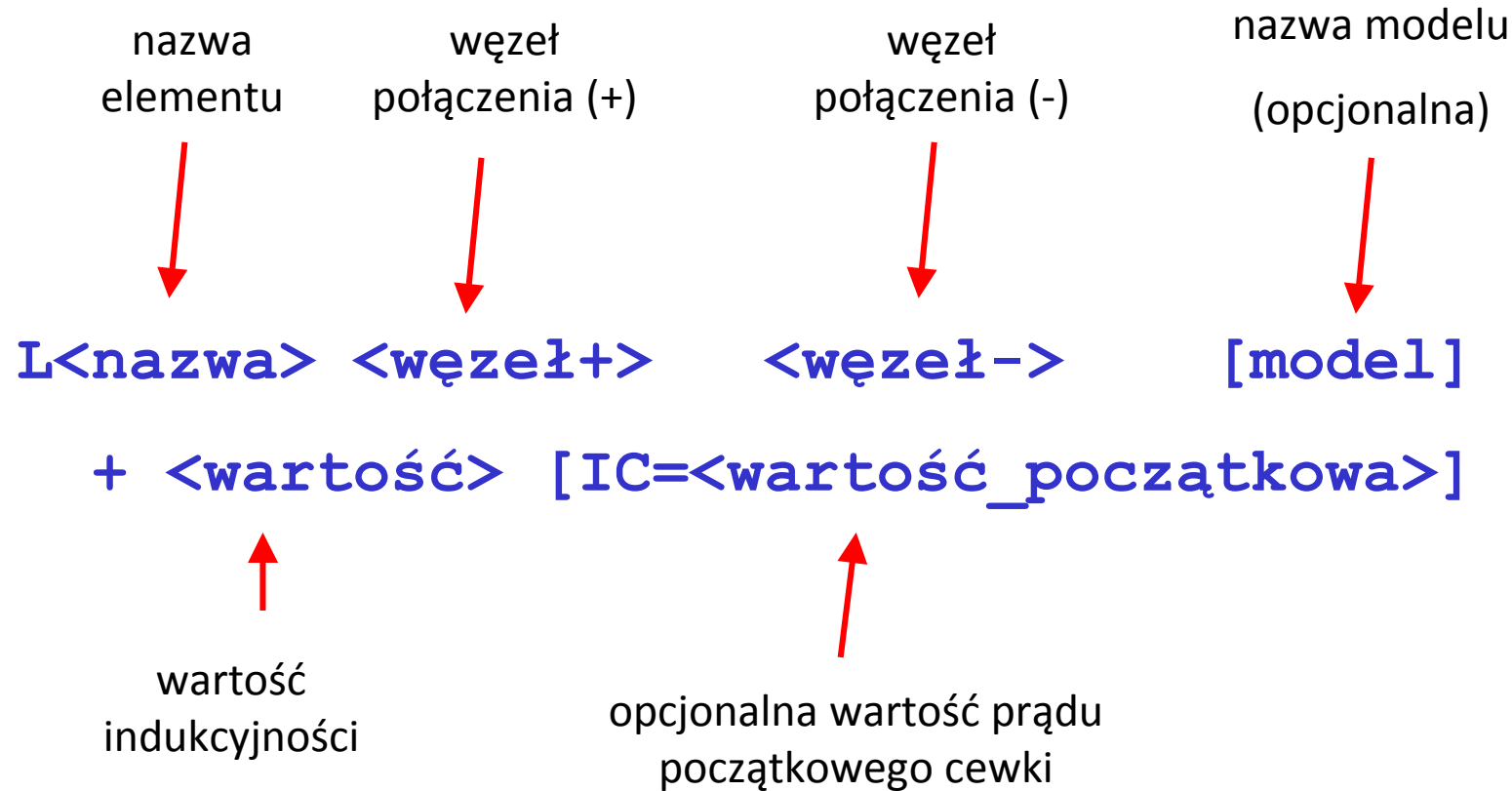
Równanie modelu kondensatora:

$$c = \langle \text{wartość} \rangle * C * \left(1 + TC1(T - TNOM) + TC2(T - TNOM)^2 \right) * \left(1 + VC1 * V + VC2 * V^2 \right)$$

Gdzie: V jest napięciem występującym na okładkach kondensatora.

Kondensator jest elementem bezszumnym.

Cewka



W przypadku użycia modelu rzeczywista wartość indukcyjności jest modyfikowana zgodnie z równaniem modelu!

Cewka c. d.

Parametr modelu	Opis	Jednostka	Wartość domyślna
L	mnożnik		1.0
TC1	współczynnik temperaturowy liniowy	1/°C	0.0
TC2	współczynnik temperaturowy kwadratowy	1/°C²	0.0
IL1	współczynnik prądowy liniowy	1/A	0.0
IL2	współczynnik prądowy kwadratowy	1/A²	0.0

Cewka c. d.

Równanie modelu cewki:

$$l = \langle \text{wartość} \rangle * L * \left(1 + TC1(T - TNOM) + TC2(T - TNOM)^2 \right) * \left(1 + IL1 * I + IL2 * I^2 \right)$$

Gdzie: I jest prądem wpływającym do cewki.

Cewka jest elementem bezszumnym.

Niezależne źródło napięciowe i prądowe

`V<nazwa> <węzeł+> <węzeł->`

`+ [ [DC] <wartość> ]`

`+ [ AC <wartość_amplitudy>`

`+ [wartość_fazy]]`

`+ [specyfikacja_transient]`

Źródło napięciowe i prądowe jest definiowane identycznie, jedyną różnicą jest litera definicji **V** lub **I**.

Przykłady:

`IBIAS 13 0 DC 2.3mA AC 1`

`VPULSE 1 0 PULSE(-1mA 1mA 2ns 2ns 2ns 50ns 100ns)`

Niezależne źródło V, I, c. d.

<węzeł+> <węzeł-> - węzły połączeniowe,

[[DC] <wartość>] – wydajność źródła dla analizy stałoprądowej (DC),

[AC <wartość_amplitudy>

+<wartość_fazy>] – parametry źródła dla analizy małosygnałowej częstotliwościowej (AC), amplituda w V lub A oraz opcjonalnie faza w stopniach,

[specyfikacja_transient] - specyfikacja przebiegu czasowego dla analizy czasowej (TRAN).

Niezależne źródło V, I, c. d.

- można podać dowolną ilość specyfikacji analiz – nawet zero, wówczas zastaną zastosowane wartości domyślne równe zero dla każdej analizy t.j. AC, DC i TRAN,
- słowo kluczowe DC jest opcjonalne i jego występowanie nic nie zmienia,
- dla analizy AC faza jest w stopniach,
- dla analizy TRAN tylko jeden typ specyfikacji może być podany,

Niezależne źródło, specyfikacje czasowe

[specyfikacja_transient] – typ przebiegu dla analizy czasowej (**TRAN**) wraz z listą wartości jego parametrów,

Typ przebieg może przyjąć jedną z następujących wartości:

- **EXP** – dla przebiegu eksponentialnego,
- **PULSE** – dla przebiegu prostokątnego,
- **PWL** – dla przebiegu w postaci połączonych odcinków,
- **SFFM** – dla przebiegu harmonicznego zmodulowanego częstotliwościowo,
- **SIN** – dla przebiegu sinusoidalnego

Specyfikacja czasowa typu EXP

Format ogólny:

EXP (<v1> <v2> [td1] [tc1] [td2] [tc2])

Przykład:

VA 1 0 EXP(1 2 1 .2 3 .3)

Przy deklarowaniu pobudzenia EXP jak i każdego innego czasowego można w nawiasie podać mniej parametrów, wówczas, pozostałe (nie podane) przyjmują wartości domyślne.

Specyfikacja czasowa typu EXP, c. d.

Parametr	Opis	Jednostka	Wartość domyślna
<v1>	Wartość początkowa	V lub A	brak
<v2>	Wartość szczytowa	V lub A	brak
[td1]	Opóźnienie do zbocza narastającego	sec	0
[tc1]	Stała czasowa zbocza narastającego	sec	TSTEP
[td2]	Opóźnienie do zbocza narastającego	sec	td1 + TSTEP
[tc2]	Stała czasowa zbocza narastającego	sec	TSTEP

Parametry **TSTEP** i **TSTOP** są parametrami ustalnymi przy wywoływaniu analizy **TRAN**.

Specyfikacja czasowa typu EXP, c. d.

Dla czasu od 0 do **td1**:

$$v = v1$$

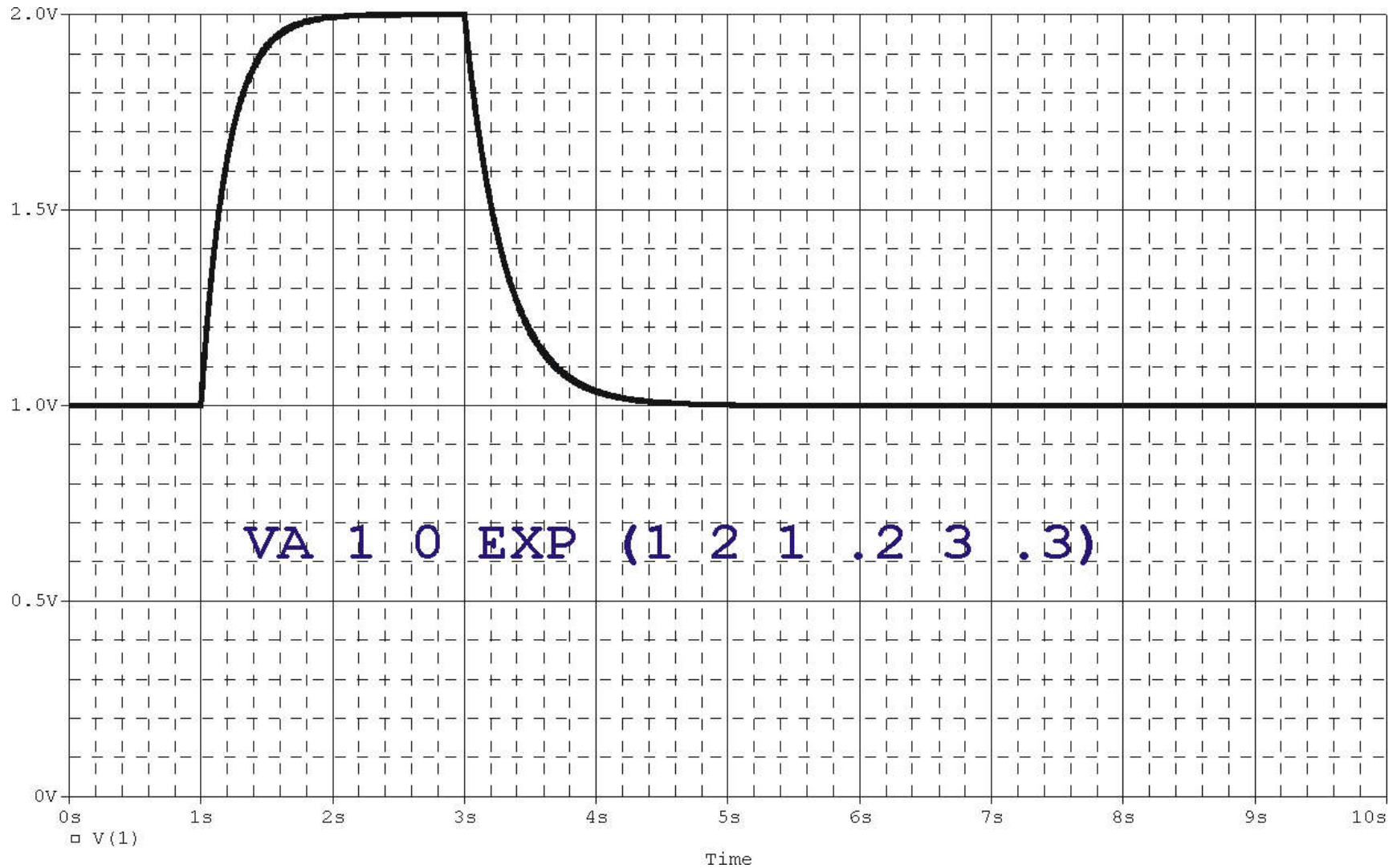
Dla czasu od **td1** do **td2**:

$$v = v1 + (v2 - v1) \left(1 - e^{-(TIME - td1)/tc1} \right)$$

Dla czasu od **td2** do **TSTOP**:

$$v = v1 + (v2 - v1) \left[\left(1 - e^{-(TIME - td1)/tc1} \right) - \left(1 - e^{-(TIME - td2)/tc2} \right) \right]$$

Specyfikacja czasowa typu EXP, c. d.



Specyfikacja czasowa typu PULSE

Format ogólny:

PULSE (<v1> <v2> [td] [tr] [tf] [pw] [per])

Przykład:

**Vpul 1 0 PULSE(1A 3A 2sec .15sec .14sec .7sec
+ 2sec)**

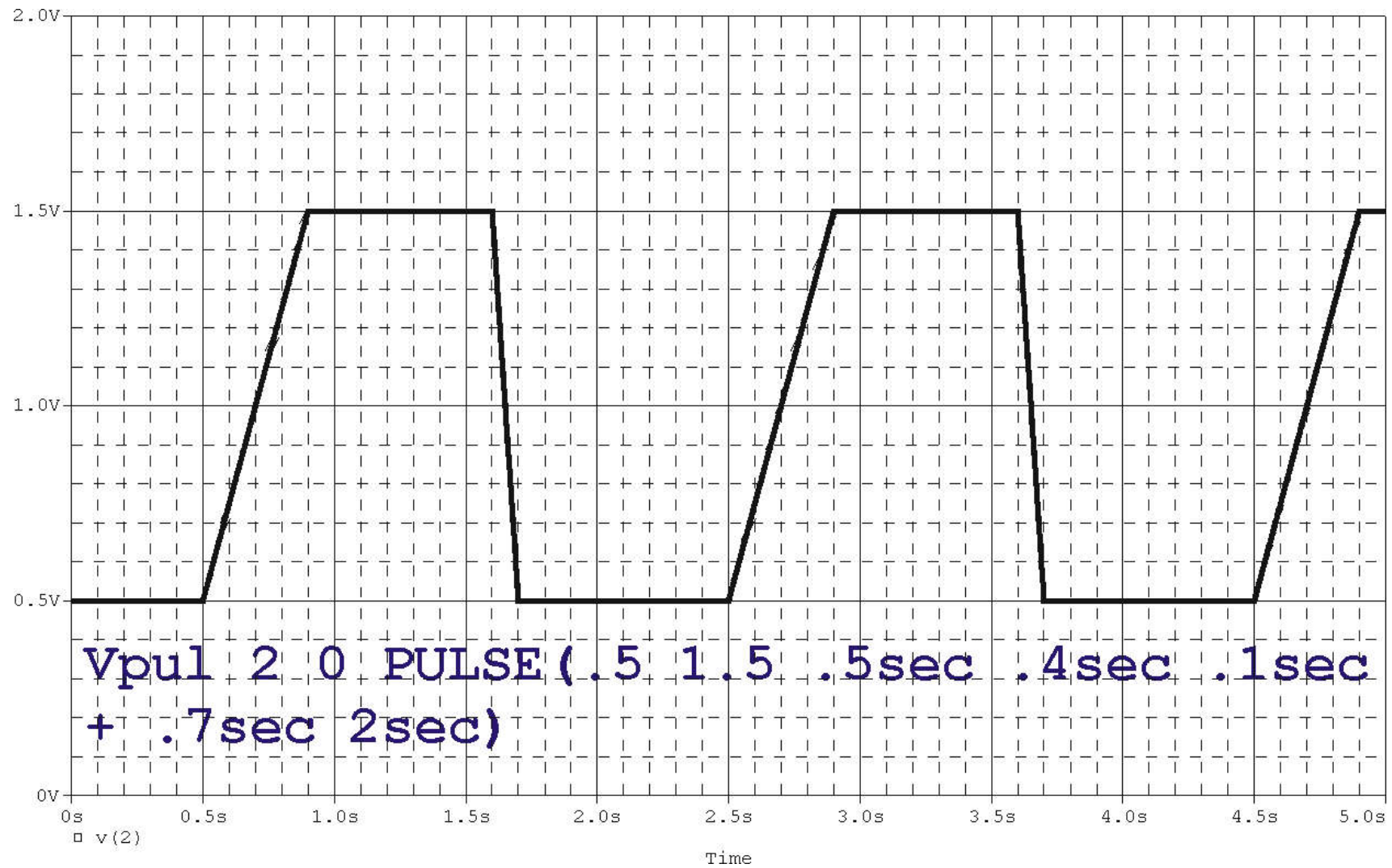
Pobudzenie czasowe **PULSE** daje przebieg o wartości początkowej **v1**, który trwa przez **td** sekund a następnie zmienia się liniowo do wartości **v2** w czasie **tr** sekund i pozostaje stałe przez czas **pw** sekund aby ponownie liniowo zmienić wartość do poziomu **v1** w czasie **tf** sekund, następnie pozostaje w stanie **v1** przez czas **[per - (tr+pw+tf)]** sekund a następnie cykl jest powtarzany co **per** sekund z wyłączeniem odcinka początkowego **td**.

Specyfikacja czasowa typu PULSE...

Parametr	Opis	Jednostka	Wartość domyślna
<v1>	Wartość początkowa	V lub A	brak
<v2>	Wartość końcowa	V lub A	brak
[td]	Czas opóźnienia	sec	0
[tr]	Czas narastania	sec	TSTEP
[tf]	Czas opadania	sec	TSTEP
[pw]	Czas trwania	sec	TSTOP
[per]	Okres przebiegu	sec	TSTOP

Parametry **TSTEP** i **TSTOP** są parametrami ustalnymi przy wywoływaniu analizy **TRAN**.

Specyfikacja czasowa typu PULSE...



Specyfikacja czasowa typu SIN

Format ogólny:

```
SIN (<voff> <vamp1> [freq] [td] [df] [phase])
```

Przykład:

```
Vsin 1 0 5 SIN(2 2 5Hz 1sec 1 30)
```

Pobudzenie czasowe **SIN** jest tłumionym przebiegiem sinusoidalnym.

Specyfikacja czasowa typu SIN, c. d.

Parametr	Opis	Jednostka	Wartość domyślna
<voff>	Wartość przesunięcia	V lub A	brak
<vamp>	Amplituda	V lub A	brak
[freq]	Częstotliwość przebiegu	Hz	1/TSTOP
[td]	Czas opóźnienia	sec	0
[df]	Współczynnik tłumienia	1/sec	0
[phase]	Faza początkowa	stopnie	0

Parametry **TSTEP** i **TSTOP** są parametrami ustalnymi przy wywoływaniu analizy **TRAN**.

Specyfikacja czasowa typu SIN, c. d.

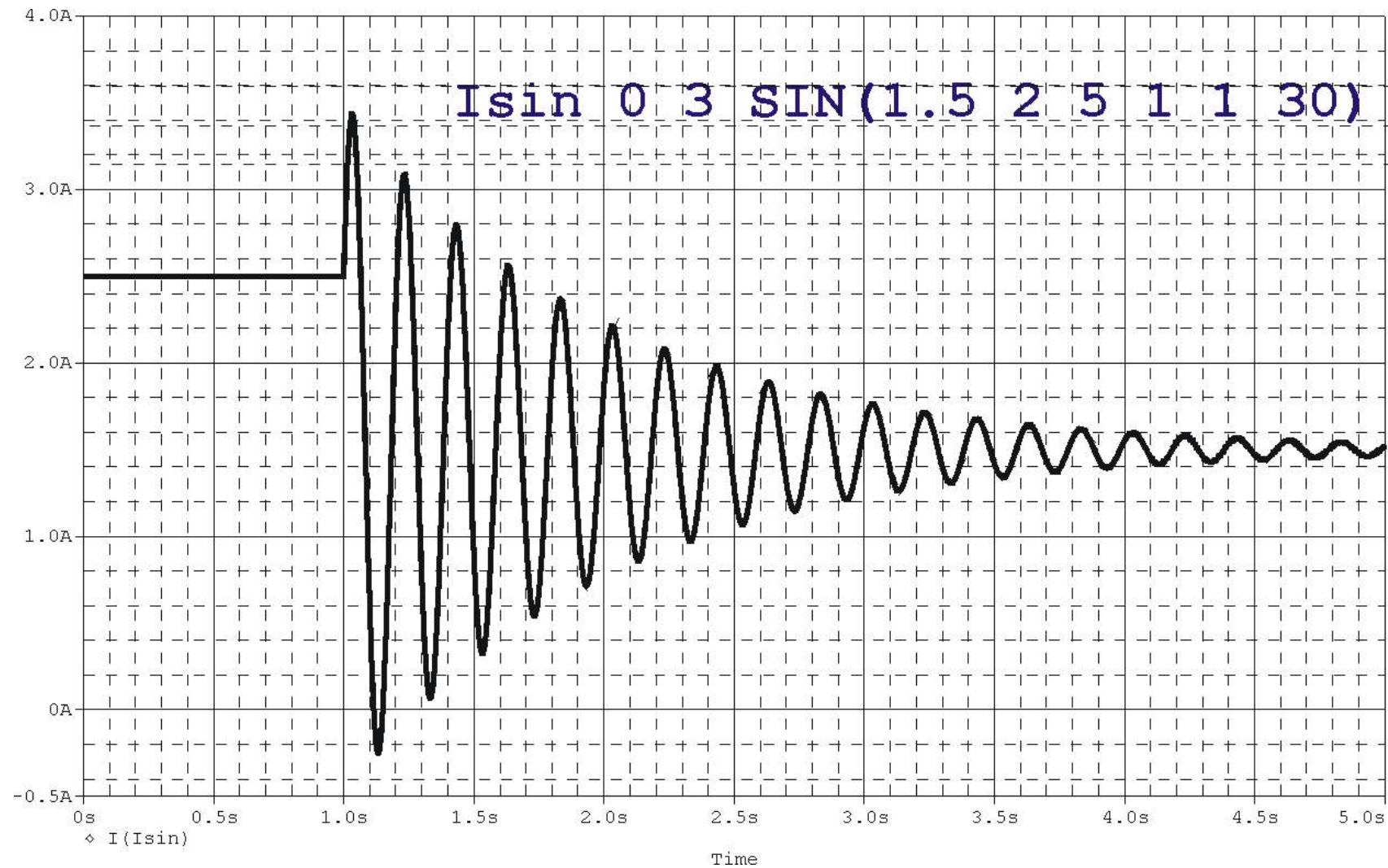
Dla czasu od 0 do **td**:

$$v = v_{off} + v_{ampl} * \sin(2\pi * phase / 360)$$

Dla czasu od **td** do **TSTOP**:

$$v = v_{off} + v_{ampl} \cdot \sin(2\pi(freq \cdot (TIME - td) + phase / 360)) \cdot e^{(TIME - td) \cdot df}$$

Specyfikacja czasowa typu SIN, c. d.



Sterowanie wyjściem

Polecenia PSPICE służące do określania miejsca umieszczania wyników:

- **.PROBE** - polecenie przekazywania wyników do postprocesora graficznego,
- **.PRINT** - polecenie wydruku wyników do pliku wyjściowego „***.out**”,
- **.PLOT** - polecenie wykreślenia wykresu tekstowego (ze znaków ASCII) w pliku wyjściowym „***.out**”.

Sterowanie wyjściem, .PROBE

Format ogólny:

```
.PROBE [/CSDF] [zmienna_wyjściowa]
```

Przykłady:

```
.PROBE
```

```
.PROBE V(3) V(2,3) V(R1) I(VIN) I(R2) IB(Q13)  
+VBE(Q13)
```

```
.PROBE/CSDF
```

W pierwszym przykładzie wszystkie napięcia i prądy układowe zostaną zapisane do pliku „***.dat**”. W drugim przykładzie zapisane zostaną tylko wybrane sygnały. W trzecim przykładzie zapisane zostaną wszystkie sygnały do pliku w formacie **CSDF**. Format ten daje większe pliki ale umożliwia przenoszenie ich do innych programów.

Sterowanie wyjściem, .PRINT

Format ogólny:

```
.PRINT <rodzaj_analizy> [zmienna_wyjściowa]
```

Przykłady:

```
.PRINT DC V(3) V(2,3) V(R1) I(VIN)
```

```
.PRINT NOISE INOISE ONOISE DB(INOISE)  
+DB(ONOISE)
```

W pierwszym przykładzie wyszczególnione sygnały dla analizy **.DC** zostaną umieszczone w pliku „***.out**”. W drugim przykładzie zapisane zostaną wybrane sygnały dla analizy **.NOISE**.

Można wyszczególnić tylko jeden rodzaj analizy ale można podać kilka poleceń **.PRINT**.

Sterowanie wyjściem, .PLOT

Format ogólny:

```
.PLOT <typ_analizy> [zmienna_wyjściowa]  
+ ( [<dolny_limit>,<górnny_limit>] )
```

Przykład:

```
.PLOT TRAN V(3) V(2,3) (0,5V) ID(M2) I(VCC) (-50mA,50mA)
```

Można wyszczególnić tylko jeden rodzaj analizy ale można podać kilka poleceń **.PLOT**. Można wyszczególnić max. 8 zmiennych dla jednego polecenia. Limity, jeśli są podane, oznaczają zakres osi Y dla wszystkich zmiennych stosowanych na tej osi.

Polecenie **.PLOT** lepiej jest zastąpić poleceniem **.PROBE** a wynik oglądać w postprocesorze graficznym.

Sterowanie wyjściem, .PLOT, c. d.

Właściwości polecenia **.PLOT**:

- zakresy, jeśli są stosowane dotyczą wszystkich zmiennych tego samego rodzaju,
- dla analizy **AC** limity nie są stosowane,
- dla analizy **AC** oś Y jest zawsze logarytmiczna.

Analizy dostępne w PSPICE

ANALIZY PODSTAWOWE

- analiza stałoprądowa (**DC**),
- analiza częstotliwościowa (**AC**),
- analiza czasowa (**TRAN**).

ANALIZY POCHODNE

- Dla każdej z powyższych analiz istnieją analizy pochodne tzn. bazujące na analizach podstawowych, np.:
 - **DC -> TF**
 - **AC -> NOISE**
 - **TRAN -> FOUR**

Analiza stałoprądowa .DC

Analiza **.DC** wykonuje sparametryzowane obliczenie punktu pracy układu. Elementy inercyjne są pomijane (C -> rozwarcie, L-> zwarcie), elementy nieliniowe zachowują nieliniowy charakter. Argumentem tej analizy jest zmieniany parametr (pierwszy lub oba) a wynikiem rozptyw stałych prądów w układzie oraz wartości stałych napięć w węzłach.

Analiza **.DC** występuje w 4 formach przemiatania parametrów analizy: **LIN**, **OCT**, **DEC** oraz **LIST**. Analiza może być zagnieżdżona tzn. zmiana parametru pierwszego jest wykonywana w pętli wewnętrznej i następuje częściej niż parametru drugiego.

Analiza stałoprądowa .DC, c. d.

Format ogólny dla przemiatań liniowego (LIN):

`.DC [LIN] <nazwa przemiataanej zmiennej>`
`+ <start> <koniec> <wartość inkrementu>`
`+ [specyfikacja zagnieżdżenia]` - (takie same zasady
jak dla podstawowego przemiatań)

Przykłady:

`.DC VIN -.25 .25 .05`

`.DC LIN I2 5mA -2mA 0.1mA`

`.DC VCE 0V 10V .5V IB 0mA 1mA 50uA`

Analiza stałoprądowa .DC, c. d.

Przemiatanymi zmiennymi mogą być:

Zmienna	Zapis	Znaczenie
Źródło	Nazwa niezależnego źródła napięciowego lub prądowego.	Podczas przemiatania zmienia się wydajność źródła.
Parametr modelu	Typ i nazwa modelu oraz nazwa parametru w nawiasie.	Zmieniany jest wyszczególniony parametr modelu. Nie można zmieniać niektórych parametrów modeli, są to: W i L dla tran. MOS, oraz parametry temperaturowe.
Temperatura	Słowo TEMP	Zmieniana jest bieżąca temperatura symulacji.
Parametr globalny	Słowo kluczowe PARAM i nazwa parametru.	Zmieniana jest wartość parametru. Wszystkie wartości zależne od tego parametru są wyliczane na nowo.

Analiza stałoprądowa .DC, c. d.

Format ogólny dla przemiatania logarytmicznego (LOG i OCT):

.DC [DEC lub OCT] <nazwa przemiatanej zmiennej>
+ <start> <koniec> <liczba pkt. na dekadę lub oktawę>
[specyfikacja zagnieżdżenia] - (takie same zasady jak dla podstawowego przemiatania)

Przykład:

.DC DEC NPN QFAST(IS) 1E-18 1E-14 5

Analiza stałoprądowa .DC, c. d.

Format ogólny dla przemiatań LIST:

`.DC <nazwa przemiataanej zmiennej> [LIST]`

`+ <lista wartości>`

`+ [specyfikacja zagnieżdżenia]` - (takie same zasady jak dla podstawowego przemiatań)

Przykład:

```
.DC VDD LIST 2 3 4 5 6
```

```
.dc Vce list 1 2 3 4 5 6 Ib list 10u 100u 1m
```

Analiza stałoprądowa .DC, c. d.

Qexp

Ib 0 B 1u

Vce c 0 1

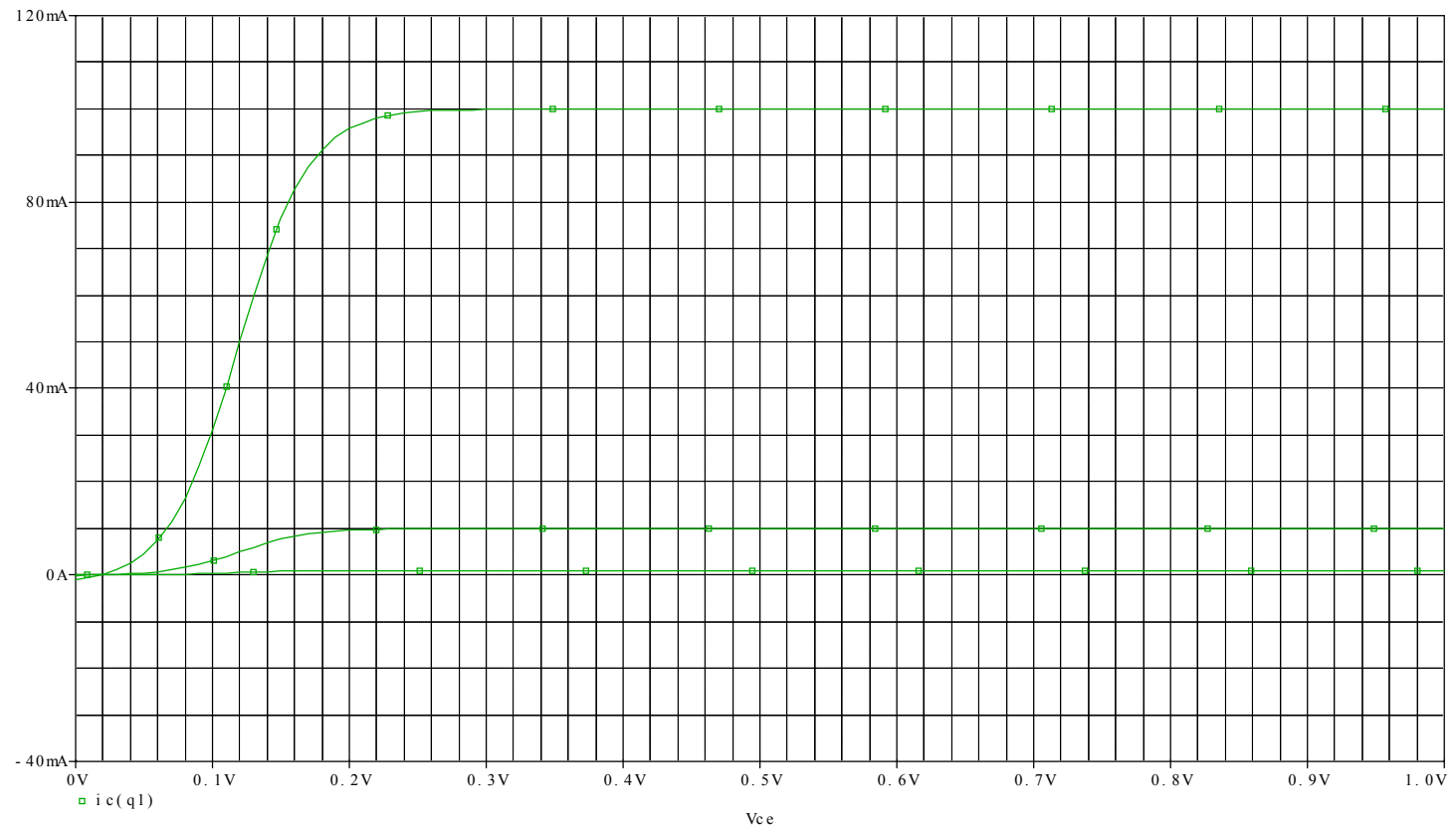
Q1 c b 0 qnnp

.model qnnp npn ; (BF=200)

.dc Vce 0 10 .1 Ib list 10u 100u 1m

.probe

.end



Analiza stałoprądowa .OP

Format ogólny:

`.op`

Analiza wyznacza punkt pracy a szczegółowe wyniki umieszcza w pliku wyjściowym „`.out`”. Bez polecenia `.op` w pliku wyjściowym podawane są tylko wartości napięć węzłowych.

Analiza małosygnałowa .AC

Format ogólny:

```
.AC <typ przemiatania> <liczba punktów>  
+ <częstotliwość początkowa>  
+ <częstotliwość końcowa>
```

Przykłady:

```
.ac lin 201 1k 2k - 201 punktów częstotliwościowych  
.ac dec 50 100Hz 1GHz - 50 punktów na każdą dekadę  
.ac oct 30 1 20 - 30 punktów na każdą oktawę
```

Analiza małosygnałowa .AC, c. d.

Właściwości analizy:

- jest to analiza liniowa,
- najpierw obliczany jest punkt pracy,
- następnie linearyzowane są wszystkie elementy nieliniowe (zastępowane modelami małosygnałowymi),
- następnie obliczana jest charakterystyka częstotliwościowa,
- wejściami do układu są wszystkie niezależne źródła napięciowe i prądowe z niezerową specyfikacją AC
- wszystkie obliczone wielkości są liczbami zespolonymi.

Analiza czasowa .TRAN

Format ogólny:

```
.TRAN [/OP] <krok_wydruku> <czas_analizy>  
+ [nie_drukować [krok_obliczeniowy]] [SKIPBP]
```

Przykłady:

.TRAN 1ns 100ns - analiza do 100ns z krokiem wydruku 1ns

.TRAN 1ns 100ns 0ns .1ns SKIPBP – analiza do 100ns z krokiem obliczeniowym 0,1ns bez obliczania punktu pracy

Opcja **/OP** powoduje umieszczenie szczegółowych danych dotyczących punktu pracy w pliku wyjściowym „***.out**”.

Opcja **SKIPBP** powoduje pominięcie obliczania punktu pracy, gdy użyte punkty pracy jest ustalony za pomocą wartości **IC** w deklaracjach kondensatorów i cewkach.

Analiza czasowa .TRAN, c. d.

Właściwości analizy .TRAN:

- oblicza zachowanie się układu w czasie, argumentem dla analizy jest czas,
- analiza zawsze rozpoczyna się w czasie równym 0,
- analiza kończy się w czasie **czas_analizy**,
- przed rozpoczęciem analizy obliczany jest punkt pracy, który może być inny niż dla AC bo mogą być inne wartości specyfikacji pobudzeń,

Analiza czasowa .TRAN, c. d.

- domyślny krok analizy dobierany jest w zależności od aktywności układu (zmian w układzie),
- domyślna wartość kroku analizy wynosi **czas_analizy/50**, ale w przypadku gdy nie ma w układzie elementów inercyjnych krok analizy jest równy **krok_wydruku**,
- analiza **.TRAN** ustawia wartości globalnych zmiennych **TSTEP** oraz **TSTOP**, które to są następnie używane do wyznaczania niektórych wartości domyślnych,
- **TSTEP = krok_wydruku**
- **TSTOP = czas_analizy**

Analiza czasowa .TRAN, c. d.

- dla parametru **krok_obliczeniowy** można zastosować funkcję:
SCHEDULE (time1, val1, time2, valn... timen, valn),
- funkcja ta określa jaki krok obliczeniowy ma być użyty w kolejnych przedziałach czasowych,
- znaczenie jest następujące: od czasu **time1** użyj wartości **val1**, następnie od czasu **time2** użyj wartości **val2** i.t.d.

Przykład użycia funkcji:

```
.TRAN 1ns 90ns 0ns  
+ { SCHEDULE (0, 1ns, 25ns, .1ns) }
```

Analiza Fouriera .FOUR

Format ogólny:

```
.FOUR <częstotliwość> [liczba_harmoniczných]  
+ <zmienna_wyjściowa>
```

Przykłady:

```
.FOUR 10kHz 20 v([inp])
```

 - dekompozycja sygnału wokół częstotliwości podstawowej 10kHz

```
.FOUR 20 10 v([out1],[out2])
```

Analiza **.FOUR** wykonuje rozłożenie wyniku analizy **.TRAN** na składniki harmoniczne i umieszczenie wyników obliczeń w pliku wyjściowym „***.out**”.

Analiza Fouriera .FOUR, c. d.

Właściwości analizy **.FOUR**:

- dla analizy **.FOUR** brane są wyniki analizy **.TRAN** z czasu od **TSTOP-1/częstotliwość** do końca analizy czasowej,
- analiza czasowa musi trwać conajmniej 1 okres częstotliwości rozkładu,
- jeśli nie podano wartości parametru **liczba_harmonicznych** obliczana jest składowa stała, składnik podstawowy oraz harmoniczne od 2 do 9 tej.

Analiza Fouriera .FOUR, c. d.

Przykład wykonania analizy .FOUR, polecenie:

.FOUR 10kHz v([out]) Wyniki z pliku „*.out”:

```
****          FOURIER ANALYSIS          TEMPERATURE =    27.000 DEG C
*****
DC COMPONENT =  -5.386184E-03

HARMONIC    FREQUENCY    FOURIER    NORMALIZED    PHASE    NORMALIZED
   NO          (HZ)    COMPONENT  COMPONENT    (DEG)    PHASE (DEG)
   1    1.000E+04    2.944E-01    1.000E+00    1.794E+02    0.000E+00
   2    2.000E+04    7.813E-03    2.654E-02    8.750E+01   -2.714E+02
   3    3.000E+04    1.255E-05    4.263E-05   -4.447E+01   -5.828E+02
   4    4.000E+04    1.622E-05    5.511E-05    1.654E+02   -5.524E+02
   5    5.000E+04    1.183E-05    4.019E-05   -1.667E+02   -1.064E+03
   6    6.000E+04    7.385E-06    2.508E-05   -1.705E+02   -1.247E+03
   7    7.000E+04    7.439E-06    2.527E-05    1.788E+02   -1.077E+03
   8    8.000E+04    7.327E-06    2.489E-05   -1.716E+02   -1.607E+03
   9    9.000E+04    5.683E-06    1.931E-05   -1.650E+02   -1.780E+03
TOTAL HARMONIC DISTORTION =    2.654097E+00 PERCENT
```

Analiza .TF (funkcja przenoszenia)

Format ogólny:

```
.TF <zmienna_wyjściowa> <źródło_wejściowe>
```

Przykład:

```
.TF V([out]) vin
```

Analiza **.TF** jest pochodną analizy **.DC** i wyznacza stałoprądową, małosygnałową funkcję przenoszenia wyznaczoną wokół punktu pracy. Jako **zmienna_wyjściowa** mogą być użyte napięcia i prądy obwodu. Wyznaczane jest wzmocnienie liczone od **źródło_wejściowe** do **zmienna_wyjściowa** oraz rezystancje wyjściowa i wejściowa. Wyniki analizy **.TF** są umieszczane wyłącznie w pliku wyjściowym „***.out**”.

Analiza .TF (funkcja przenoszenia), c.d.

Polecenie:

```
.TF v([c]) va
```

Wynik z pliku „*.out”:

```
****          SMALL-SIGNAL CHARACTERISTICS
V(c)/Va =  9.083E-02
INPUT RESISTANCE AT Va =  1.100E+01
OUTPUT RESISTANCE AT V(c) =  9.083E-01
```

Analiza wrażliwościowa .SENS

Format ogólny:

```
.SENS <zmienna_wyjściowa>
```

Przykład:

```
.SENS V([out]) v(2,1)
```

Analiza **.SENS** jest pochodną analizy **.DC** i wyznacza stałoprądowe czułości napięć i prądów w układzie na zmiany wszystkich wartości elementów i parametrów modeli. Jako **zmienna_wyjściowa** mogą być użyte napięcia węzłowe i prądy źródeł napięciowych.

Wyniki analizy **.SENS** są umieszczane wyłącznie w pliku wyjściowym „***.out**”.

Analiza wrażliwościowa .SENS, c. d.

Przykład zlecenia analizy wrażliwościowej, polecenie:

`.sens v([c])` Wyniki z pliku „`*.out`”:

DC SENSITIVITIES OF OUTPUT V(c)

ELEMENT NAME	ELEMENT VALUE	ELEMENT SENSITIVITY (VOLTS/UNIT)	NORMALIZED SENSITIVITY (VOLTS/PERCENT)
Rs	4.000E+03	0.000E+00	0.000E+00
R1	1.000E+04	2.298E-04	2.298E-02
Rc	4.000E+03	-9.724E-04	-3.890E-02
RL	4.000E+03	0.000E+00	0.000E+00
Vcc	1.000E+01	5.427E-01	5.427E-02
Vs	0.000E+00	0.000E+00	0.000E+00
Q1			
RB	0.000E+00	0.000E+00	0.000E+00
RC	0.000E+00	0.000E+00	0.000E+00
BF	2.000E+02	-2.068E-04	-4.136E-04

...

Analiza szumowa .NOISE

Format ogólny:

```
.NOISE V(<węzeł> [,<węzeł>])  
+<nazwa_źródła_wejściowego> [wartość_interwału]
```

Przykłady:

```
.NOISE V([out]) vin 2  
.NOSIE V(2,1) Iin
```

Analiza **.NOISE** jest pochodną analizy **.AC** i wyznacza wartości szumu pojawiające się na **V(<węzeł> [,<węzeł>])** oraz wartość szumu odniesioną do wejścia widzianego jako **nazwa_źródła_wejściowego**. Dla wykonania analizy **.NOISE** musi w układzie występować analiza **.AC**. Parametr **wartość_interwału** określa co który krok analizy **.AC** wykonywana jest analiza **.NOISE**, domyślnie parametr ten jest równy 1.

Analiza szumowa .NOISE, c. d.

Właściwości analizy **.NOISE**:

- wyjściem dla analizy szumowej jest zawsze napięcie,
- jeśli wyjście podane jest dla dwóch węzłów po przecinku (np. **v(1,2)**) oznacza to, że jako wyjście brana jest różnica napięć występująca między tymi węzłami,
- **nazwa_źródła_wejściowego** oznacza nazwę niezależnego źródła napięciowego lub prądowego,
- symulator wyznacza: szum każdego elementu układu przeniesiony do wyjścia oraz szum całkowity na wejściu i wyjściu,

Analiza szumowa .NOISE, c. d.

- wartość szumu na wyjściu wyznaczana jest dla każdej częstotliwości analizy i podawana jako gęstość widmowa napięcia skutecznego (RMS) w jednostkach $[V/Hz^{1/2}]$,
- wyznaczony jest szum całkowity na wyjściu, wzmacnienie od wejścia do wyjścia i szum odniesiony do wejścia (poprzez podzielenie szumu na wyjściu przez wzmacnienie),
- dla napięciowego źródła wejściowego jednostką szumu odniesioną do wejścia jest $[V/Hz^{1/2}]$,

Analiza szumowa .NOISE, c. d.

- dla prądowego źródła wejściowego jednostką szumu odniesioną do wejścia jest $[A/Hz^{1/2}]$,
- aby obliczyć wartość skuteczną napięcia szumów na wejściu lub wyjściu należy zastosować odpowiednią całkę:

$$V_{NOISE_RMS} = \sqrt{\int_{f_{START}}^{f_{STOP}} V_{NOISE}^2(out) df}$$

Polecenie .IC, ustalenie punktu pracy

Format ogólny:

```
.IC < V(<węzeł> [,<węzeł>])=<wartość> >
```

```
.IC < I(<cewka>)=<wartość>>
```

Przykłady:

```
.IC V(2)=3.4 V(102)=0 V(3)=-1V I(L1)=2uAmp
```

```
.IC V(InPlus, InMinus)=1e-3 V(100,133)=5.0V
```

Polecenie ustala punkt pracy dla analizy **.AC** i analizy **.TRAN**. Do wyliczenia punktu pracy, wyspecyfikowane w poleceniu węzły są przyłączone do źródła napięciowego o rezystancji szeregowej równej 0.0002Ω i wartości podanej w poleceniu **.IC**. Po wyliczeniu punktu pracy, wyspecyfikowane węzły są odłączane od źródeł napięciowych.

Polecenie .IC, c. d.

Właściwości polecenia **.IC**:

- w przypadku równoczesnego wystąpienia polecenia **.IC** i **.NODESET** dla tego samego węzła, używane jest polecenie **.IC**,
- nie można ustalać niezerowej wartości napięcia dla cewek, gdyż dla wyliczania punktu pracy są one zwarciami,
- dla cewek można natomiast ustalić niezerowy prąd.

Polecenie .NODESET, inicjalny pkt. pracy

Format ogólny:

```
.NODESET < V(<węzeł> [,<węzeł>])=<wartość> >
```

```
.NODESET <I(<cewka>)=<wartość>>
```

Przykłady:

```
.NODESET V(2)=3.4 V(102)=0 V(3)=-1V I(L1)=2uAmp
```

```
.NODESET V(InPlus,InMinus)=1e-3 V(100,133)=5.0V
```

Polecenie pomaga w ustaleniu punktu pracy poprzez podanie początkowych wartości napięć węzłowych i prądów cewek – **które służą tylko jako punkt wyjściowy do obliczenia właściwego punktu pracy**. Można podać wszystkie napięcia węzłowe lub tylko niektóre. Można również podawać napięcie pomiędzy węzłami.

Operacje na plikach

Operacje na plikach dostępne w PSPICE:

- **.INC** – polecenie włączenia pliku tekstowego,
- **.LIB** – polecenie wczytania biblioteki,
- **.SAVEBIAS** – zapisanie punktu polaryzacji,
- **.LOADBIAS** – załadowanie punktu polaryzacji.

Operacje na plikach, polecenie .INC

Format ogólny:

```
.INC <nazwa_pliku>
```

Przykłady:

```
.INC "SETUP.CIR"
```

```
.INC SETUP.CIR
```

```
.INC "C:\LIB\VCO.CIR"
```

We wczytywanym pliku należy zachować składnię zgodną ze standardem SPICE. Plik wczytywany nie powinien mieć linii tytułu (chyba, że będzie zakomentowana). Wczytywanie może być zagnieżdżone do 4 poziomów.

Operacje na plikach, polecenie .LIB

Format ogólny:

```
.LIB [nazwa_pliku]
```

Przykłady:

```
.LIB
```

```
.LIB linear.lib
```

```
.LIB "C:\lib\bipolar.lib"
```

W przypadku braku podania nazwy pliku wczytywana jest biblioteka "nom.lib". Plik ten zawiera odniesienia do elementów ze standardowej biblioteki ORCAD. Z plikiem bibliotecznym związany jest plik indeksowy – wykorzystywany do szybkiego odnalezienia modelu w dużych plikach. Plik indeksowy tworzony jest automatycznie przez symulator.

Operacje na plikach, polecenie .LIB

c.d.

W pliku .lib można umieszczać jedynie:

- linie z komentarzem,
- polecenia **.MODEL** z definicjami parametrów elementów,
- polecenia definicji podukładów (**. SUBCKT**, **. ENDS**), uwaga: nie działa jednak skrótowa wersja polecenia (**. SUB**)
- definicje parametrów **. PARAM**,
- definicje funkcji **. FUNC**,
- polecenia **. LIB**.

Operacje na plikach, polecenie .SAVEBIAS

Format ogólny:

```
.SAVEBIAS <"nazwa_pliku"> <[OP] [TRAN] [DC]> [NOSUBCKT]  
+ [TIME=<wartość> [REPEAT]] [TEMP=<wartość>]  
+ [STEP=<wartość>] [MCRUN=<wartość>] [DC=<wartość>]  
+ [DC1=<wartość>] [DC2=<wartość>]
```

Przykłady:

`.SAVEBIAS "OPPOINT" OP` – zapisanie punktu pracy (AC i OP)

`.SAVEBIAS "TRANDATA.BSP" TRAN NOSUBCKT TIME=10u` – zapisanie punktu z analizy czasowej z czasu najbliższego 10us (ale nie mniejszego niż 10us).

.SAVEBIAS, c. d.

Przykłady c.d.:

.SAVEBIAS "SAVETRAN.BSP" TRAN TIME=5n REPEAT – zapisanie punktu co każde 5ns dla przebiegu obliczeniowego, poprzednie wyniki są nadpisywane.

.SAVEBIAS "SAVEDC.BSP" DC MCRUN=3 DC1=3.5 DC2=100 – zapisanie punktu dla analizy **.DC** jeśli równocześnie spełnione są warunki: pierwsze przemiatanie DC równe 3.5, drugie przemiatanie DC równe 100 oraz 3 przebieg analizy Monte Carlo. Jeśli jest używane tylko jedno przemiatanie stałoprądowe można zamiast **DC1** użyć wyrażenia **DC**.

.SAVEBIAS, c. d.

Argumenty i opcje polecenia:

- nazwa pliku musi być w podwójnym cudzysłowie,
- **NOSUBCKT** – nie zapisuje napięć węzłowych i prądów cewek dla podukładów,
- **TIME=<wartość> [REPEAT]** używane dla punktów czasowych zapisów dla analizy czasowej, jeśli użyte jest **REPEAT** następuje nadpisywanie wyników więc tylko ostatnie wartości są dostępne,
- **TEMP=<wartość>** - definiuje temperatury dla których dokonywany jest zapis, i krok **STEP=<wartość>**,
- **MCRUN=<wartość>** - definiuje numer analizy Monte Carlo lub Worst Case dla której dokonywany jest zapis,

.SAVEBIAS, c. d.

Argumenty i opcje polecenia c.d.:

- **[DC=<wartość>] [DC1=<wartość>] [DC2=<wartość>]**
– używa się do specyfikacji kroku analizy DC, który ma być zapisany.

Uwagi:

- jeśli nie użyto **REPEAT** zapis dokonywany jest dla wartości równej lub większej niż **TIME**, jeśli użyto **REPEAT** tylko ostatnio zapisany punkt istnieje bo poprzednie są nadpisywane,
- dla niezagnieżdżonych analiz stałoprądowych należy używać **DC** zamiast **DC1** i **DC2**,
- w pliku zapisywane są: ***napięcia węzłowe i prądy cewek.***

Polecenie .LOADBIAS

Format ogólny:

```
.LOADBIAS <"nazwa_pliku">
```

Przykłady:

```
.LOADBIAS "OPPOINT.OP"
```

Nazwa pliku musi być w cudzysłowie. Wczytywane są przybliżone wartości napięć węzłowych i prądów cewek. Wczytywany plik musi zawierać polecenie **.NODESET**. Zawartość pliku można wygenerować poleceniem **.SAVEBIAS** lub wykonać ręcznie.

Polecenia .SAVEBIAS / .LOADBIAS

Uwagi do stosowania poleceń

.SAVEBIAS/.LOADBIAS:

- polecenia mogą być użyte do skrócenia czasu symulacji (punktu pracy) dla dużych układów,
- można też użyć polecenia do ustalenia stanu układów pamięciowych np. przerzutników,
- oba polecenia, jeśli użyte w jednym pliku wejściowym, nie mogą odnosić się do tego samego pliku,
- można użyć w.w. poleceń również w przypadku problemów ze zbieżnością obliczeń.

Wstawienie diody półprzewodnikowej

Format ogólny:

```
D<nazwa> <węzeł+> <węzeł-> <nazwa_modelu>  
[powierzchnia]
```

Przykłady:

```
DCLAMP 14 0 DMOD
```

```
D13 15 17 SWITCH 1.5
```

Opis modelu:

```
.MODEL <nazwa_modelu> D [parametry_modelu]
```

Anoda diody to **węzeł+** natomiast katoda to **węzeł-**. Parametr **powierzchnia** skaluje niektóre parametry modelu diody, jego domyślna wartość wynosi 1.

Wstawienie tranzystora bipolarnego

Format ogólny:

```
Q<nazwa> <kolektor> <baza> <emiter> [podłoże]  
+<nazwa_modelu> [powierzchnia]
```

Przykłady:

```
Q1 14 2 13 PNP NOM
```

```
Q13 15 3 0 1 NPN STRONG 1.5
```

```
Q7 VC 5 12 [SUB] LATPNPDCLAMP 14 0 DMOD
```

Opis modelu:

```
.MODEL <nazwa_modelu> NPN [parametry_modelu]
```

```
.MODEL <nazwa_modelu> PNP [parametry_modelu]
```

```
.MODEL <nazwa_modelu> LPNP [parametry_modelu]
```

Tranzystor bipolarny c. d.

Argumenty modelu:

podłoże - opcjonalny węzeł podłączenia podłoża umieszczany w nawiasach [], dla bocznych tranzystorów PNP

powierzchnia – względna powierzchnia elementu, skaluje niektóre parametry modelu, jego domyślna wartość wynosi 1.

Wstawienie tranzystora MOS

Format ogólny:

M<nazwa> <dren> <bramka> <źródło> <podłoże> <model>

+ [L=<value>] [W=<value>]

+ [AD=<value>] [AS=<value>]

+ [PD=<value>] [PS=<value>]

+ [NRD=<value>] [NRS=<value>]

+ [NRG=<value>] [NRB=<value>]

+ [M=<value>] [N=<value>]

Przykłady:

M16 17 3 0 0 PSTRONG M=2

M28 0 2 100 100 NWEAK L=33u W=12u

+ AD=288p AS=288p PD=60u PS=60u NRD=14 NRS=24 NRG=10₀₁

Wstawienie tranzystora MOS, c. d.

Opis modelu:

```
.MODEL <nazwa_modelu> NMOS [parametry_modelu]
```

```
.MODEL <nazwa_modelu> PMOS [parametry_modelu]
```

Argumenty i opcje:

L, **W** – długość i szerokość kanału tranzystora, parametry te są modyfikowane i w modelu obliczana jest efektywna długość kanału. Można te parametry podać również w definicji modelu **.MODEL** lub poprzez parametry poleceniem **.OPTIONS**. Wartość podana przy wywołaniu elementu wypiera wartość w **.MODEL**, która to wypiera wartość z polecenia **.OPTIONS**. Jeśli nie podano **W** lub **L** wartość domyślna wynosi 100um.

Wstawienie tranzystora MOS, c. d.

Argumenty i opcje c.d.:

AS, **AD** – powierzchnia obszaru źródła i drenu, wartość domyślna może być ustawiona w **.OPTIONS**, jeśli nie została ustawiona to wartość domyślna wynosi 0,

PS, **PD** – obwód obszaru źródła i drenu, wartość domyślna wynosi 0,

NRS, **NRD**, **NRG**, **NRB** – mnożniki rezystancji szeregowych wyprowadzeń tranzystora odpowiednio dla: źródła, drenu, bramki i podłoża, wartość domyślna wynosi 0, mnożony parametr to RSH,

M(NP) – mnożnik ilości równolegle połączonych tranzystorów MOS, wartość domyślna wynosi 1, **NP** oznacza to samo co **M**,

N(NS) – mnożnik długości kanału tranzystora, ważny tylko dla modeli MOS LEVEL=5, wartość domyślna wynosi 1, **NS** oznacza to samo co **N**.

Wstawienie tranzystora MOS, c. d.

PSPICE obsługuje 7 poziomów modeli MOS:

- **LEVEL=1** – model Shiman-Hodges,
- **LEVEL=2** – model geometryczny,
- **LEVEL=3** – model półempiryczny,
- **LEVEL=4** – model BSIM,
- **LEVEL=5** – model EKV,
- **LEVEL=6** – model BSIM3 v2.0,
- **LEVEL=7** – model BSIM3 v3.1.

Źródła sterowane napięciem, E i G

Format ogólny – podstawowe źródło sterowane:

E<nazwa> <węzeł+> <węzeł-> <węzeł_sterujący+>
+<węzeł_sterujący-> <wzmocnienie>

Przykłady:

E1 1 2 3 4 1

Gq8 3 4 5 6 10uS

E oznacza źródło napięciowe sterowane napięciem, **G** oznacza źródło prądowe sterowane napięciem. Dla **E** wzmocnienie jest w [V/V] dla **G** wzmocnienie wyrażone jest w [S].

Źródła sterowane napięciem, c. d.

Oprócz typowego źródła sterowanego można użyć następujących specyfikacji:

- **POLY** – deklaracja wielomianu sterującego,
- **VALUE** – deklaracja wyrażenia arytmetycznego sterującego wydajnością źródła,
- **TABLE** – deklaracja funkcji tabelarycznej,
- **LAPLACE** – deklaracja transformaty Laplace’a,
- **CHEBYSHEV** – deklaracja wielomianu Czebyszewa,
- **FREQ** – deklaracja funkcji częstotliwościowej.

Źródła sterowane napięciem, c. d.

Przykłady rozszerzone:

```
Ea 3 2 1 181 1.0
```

```
Eb 11 0 POLY(1) 12 0 0 230
```

```
Ec 100 101 POLY(2) 1 0 2 0 0.0 1.6 0.4 0.007
```

```
Epierwiastek 5 0 VALUE = {15V*SQRT(V(11,12))}
```

```
Et out 0 TABLE {V(A,B)} = (0,0) (15,3)
```

```
Elap out 0 LAPLACE {V(10)} = {10/(10+0.01*s)}
```

```
Elp out 0 FREQ {V(10)}=(0,0,0) (15kHz, 0,0) (16kHz -50,  
+ 0) DELAY=33ms
```

```
Elp2 out 0 CHEBYSHEV {V(10)} = LP 900 1.0k .1dB 50dB
```

Źródła sterowane prądem, H i F

Format ogólny – podstawowe źródło sterowane:

H<nazwa> <węzeł+> <węzeł->

+ <nazwa_napięciowego_źródła_sterującego>
<wzmocnienie>

Przykłady:

H1 1 2 vin 10

FSENSE 1 2 VSENSE 10.0

H oznacza źródło napięciowe sterowane prądem, **F** oznacza źródło prądowe sterowane prądem. Dla **H** wzmocnienie jest w [Ohm] dla **F** wzmocnienie wyrażone jest w [A/A].

Źródła sterowane prądem, c. d.

- w typowej sytuacji wydajność wyjściowa jest równa prądowi źródła sterującego pomnożonemu przez wzmocnienie,
- oprócz typowego źródła sterowanego można użyć specyfikacji **POLY** – deklaracja wielomianu sterującego,
- w takim przypadku wydajność określa wyrażenie wielomianu – szczegóły w instrukcji PSPICE.

Deklaracja podukładu

Format ogólny:

```
.SUBCKT <nazwa> [węzły]  
+ [OPTIONAL: < <węzeł_opcjonalny> = <węzeł_domyślny>>]  
+ [PARAMS: < <nazwa_parametru> = <wartość>>]  
+ [TEXT: < <nazwa> = <wartość_tekstowa>>]  
...  
.ENDS
```

Przykład:

```
.SUBCKT OPAMP 10 12 11 21 22  
...  
.ENDS
```

Deklaracja podukładu, c. d.

Przykłady c.d.:

```
.SUBCKT FILTR WE WY PARAMS: Fo=10kHz,  
+ Pasm=15kHz  
...  
.ENDS  
  
.SUBCKT PLD I1 I2 I3 O1  
+ PARAMS: M=0 IO=0  
+ TEXT: FILE="PRG.JED"  
...  
.ENDS  
  
.SUBCKT LS7400 Y A B  
+ OPTIONAL: DPWR=$N_PWR DGND=$N_DGND  
+ PARAMS: M=0 IO=0  
...  
.ENDS
```

Deklaracja podukładu, c. d.

Argumenty i opcje:

[węzły] - lista węzłów (formalnych) łączących podukład z otoczeniem (może być pusta),

OPTIONAL – umożliwia specyfikację opcjonalnych węzłów połączeniowych,

PARAMS – umożliwia specyfikację opcjonalnych parametrów przekazywanych do podukładu,

TEXT – umożliwia specyfikację opcjonalnych parametrów tekstowych przekazywanych do podukładu (używane tylko w symulacji układów cyfrowych),

.ENDS – oznacza koniec definicji podukładu.

Deklaracja podukładu, c. d.

Podukłady i ich używanie:

- przywołanie podukładu następuje poprzez użycie litery **x** jako typu wstawianego komponentu,
- przy powoływaniu podukładu liczba węzłów musi być taka sama jak w deklaracji,
- przywołanie podukładu powoduje zamianę nazw formalnych węzłów na nazwy aktualne (takie jak w przywołaniu),
- nie używa się węzła „**0**” na liście węzłów, ten węzeł jest globalną masą zawsze widzianą zarówno w układzie głównym jak i w podukładzie,

Deklaracja podukładu, c. d.

- węzły opcjonalne mogą ale nie muszą być specyfikowane przy wywołaniu podukładu, wówczas użyte zostaną połączenia domyślne,
- węzły opcjonalne są bardzo przydatne do podłączania zasilania np. w bramkach cyfrowych,
- przywołanie (**X**) podukładu może być zagnieżdżone,
- deklaracja (**. SUBCKT**, **. ENDS**) podukładu nie może być zagnieżdżona,

Deklaracja podukładu, c. d.

Wewnątrz definicji podukładu (czyli pomiędzy **.SUBCKT** i **.ENDS**) można używać:

- wstawiania elementów,
- polecenia **.IC** (inicjalny punkt pracy),
- polecenia **.NODESET** (przybliżony punkt pracy),
- polecenia **.MODEL** (definicja modelu),
- polecenia **.PARAM** (deklaracja parametru),
- polecenia **.FUNC** (deklaracje funkcji).

Deklaracja podukładu, c. d.

Podukłady, właściwości :

- modele, parametry i funkcje zdefiniowane w podukładzie są dostępne tylko w tym podukładzie,
- modele, parametry i funkcje zdefiniowane w głównym układzie są dostępne w tym układzie i wszystkich podukładach,
- nazwy węzłów, elementów i modeli są lokalne w podukładach i takie same nazwy mogą być używane w głównym układzie,
- nazwy węzłów, elementów w podukładach są widziane jako np. **x1.Q13** (element **Q13** w podukładzie **x1**) lub **x4.123** (węzeł **123** w podukładzie **x4**).

Wstawienie podukładu

Format ogólny:

```
X<nazwa> [węzły] <nazwa_podukładu> [PARAMS:  
+ <<nazwa_parametu> = <wartość>>]  
+ [TEXT: < <nazwa_par_text> = <text>>]
```

Przykłady:

```
Xwtornik WE WY VCC VEE WZMACNIACZ_12
```

```
Xfiltr out 0 FILTR PARAMS: Fo=10kHz
```

Musi być taka sama liczba węzłów w układzie wstawianym jak w zadeklarowanym. Wstawianie podukładów może być zagnieżdżone ale nie może być zapętłone. Jeśli użyto opcji **PARAMS**: wówczas wyszczególnione wartości parametrów zostaną zamienione z wartościami w definicji podukładu do wartości bieżących. Opcja **TEXT**: jest używana w symulacji cyfrowej.

Wstawienie podukładu, c. d.

Przykłady zaawansowane wstawienia podukładu, najpierw jego deklaracja:

```
.SUBCKT  LS7400 Y A B  
+  OPTIONAL: DPWR=$N_PWR DGND=$N_DGND  
+  PARAMS: M=0 IO=0  
...  
.ENDS
```

Przykłady wstawienia podukładu:

X1 WY WE1 WE2 LS7400 - użyte są domyślne węzły połączenia do zasilania **\$N_PWR** oraz **\$N_DGND**,

X2 WY WE1 WE2 LS7400 PWR GND - użyte są węzły połączenia do zasilania **PWR** oraz **GND**,

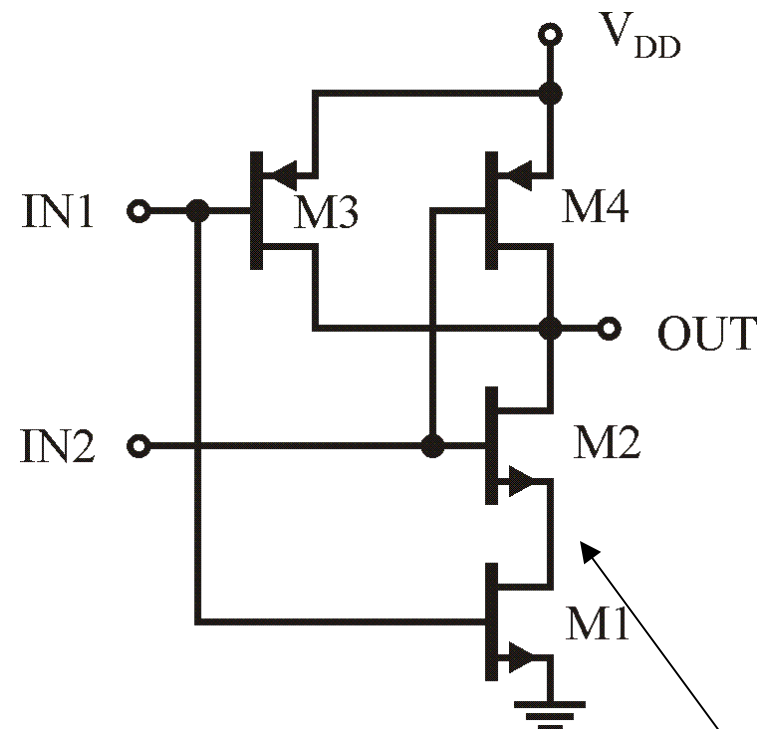
X3 WY WE1 WE2 LS7400 PWR - użyty jest jeden i pierwszy węzeł opcjonalny połączenia do zasilania **PWR** oraz domyślny **\$N_DGND**,

X4 WY WE1 WE2 LS7400 \$N_PWR GND – jeśli trzeba użyć drugiego węzła opcjonalnego wówczas należy wstawić również ten pierwszy.

Wstawienie podukładu, przykład 2 x bramka NAND

Opis bramki umieszczony pomiędzy słowami kluczowymi **.sub** i **.ends**.

```
*Zdefiniowanie bramki NAND
*      NAZWA      węzły połączeniowe
*      |          |||||
.sub nand      in1 in2 out vdd
M1  10 in1     0   0 nfet W=0.9u L=0.6u
M2  out in2    10   0 nfet W=0.9u L=0.6u
M3  out in1    vdd vdd pfet W=0.9u L=0.6u
M4  out in2    vdd vdd pfet W=0.9u L=0.6u
.ends
```



Węzeł wewnętrzny nazwany „10”

Wstawienie podukładu, przykład c. d.

```
*Zasilanie
Vdd vdd 0 3

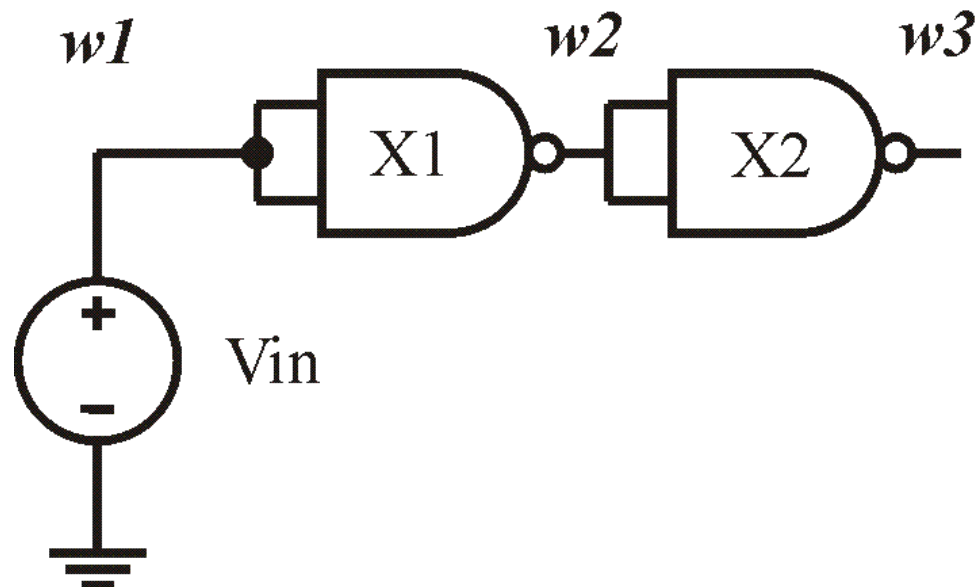
*Sygnał wejściowy
Vin w1 0 dc 0 pulse(0 3 1n 1p 1p 1n 2n )

* Badany układ 2 bramek jako inwerterów
* węzły połączeniowe      NAZWA
* |||||                    |
X1 w1  w1  w2  vdd  nand
X2 w2  w2  w3  vdd  nand

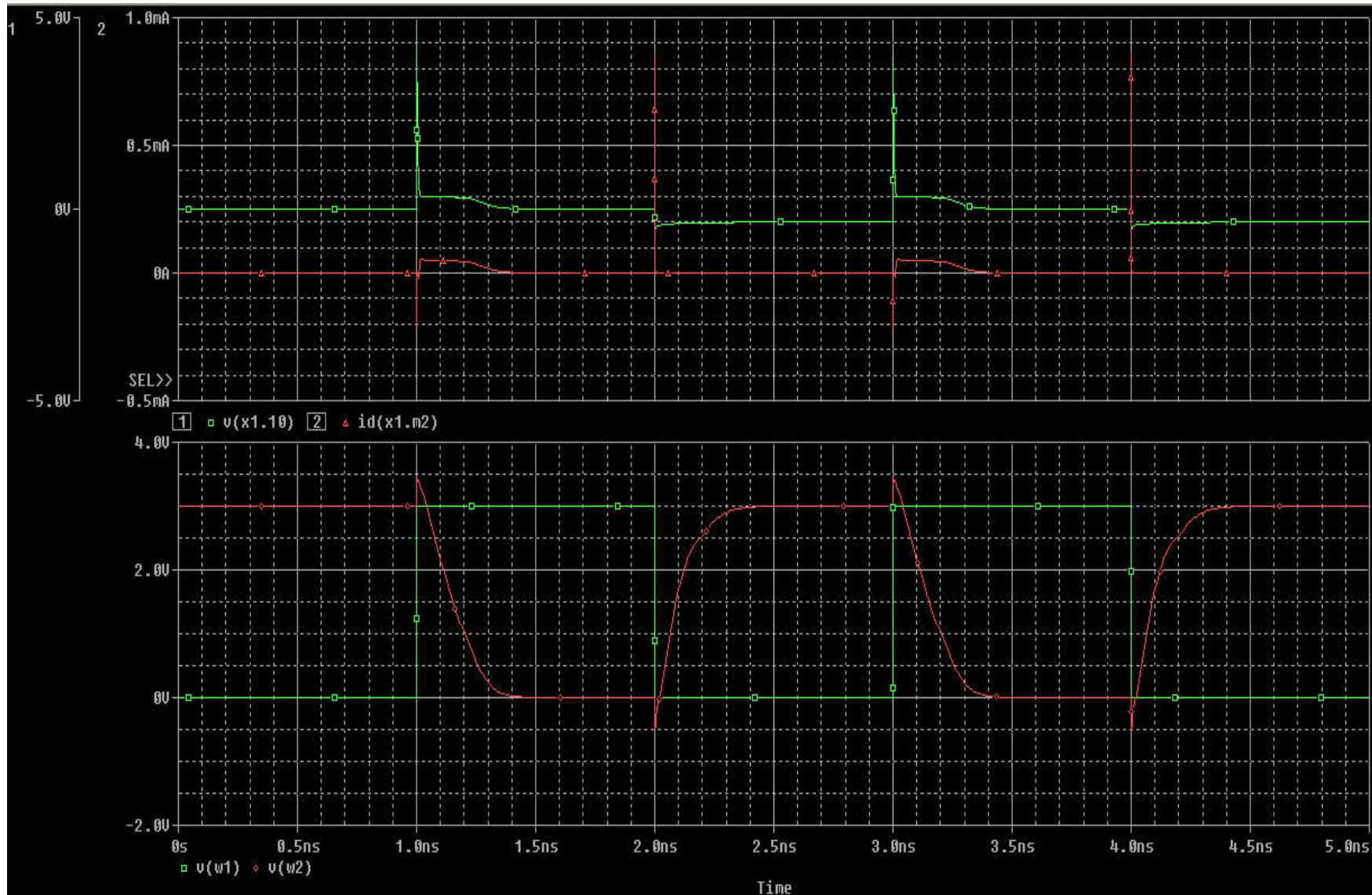
*Zdefiniowanie bramki NAND
*      NAZWA      węzły połączeniowe
*      |          |||||
.sub nand      in1 in2 out vdd
M1 10 in1  0   0 nfet W=0.9u L=0.6u
M2 out in2 10   0 nfet W=0.9u L=0.6u
M3 out in1 vdd vdd pfet W=0.9u L=0.6u
M4 out in2 vdd vdd pfet W=0.9u L=0.6u
.ends

*Analizy
.tran 5p 5n 0n 5p
.probe
.inc scn05mos59jmagic.lib
.end
```

Pełny plik
symulacyjny



Wstawienie podukładu – wyniki sym.



Deklaracja parametru .PARAM

Format ogólny:

```
.PARAM < <nazwa> = <wartość> >
```

```
.PARAM < <nazwa> = { <wyrażenie> } >
```

Przykłady:

```
.PARAM VCC = 12V, VEE = -12V
```

```
.PARAM BANDWIDTH = {100kHz/3}
```

```
.PARAM PI = 3.14159, TWO_PI = {2*3.14159}
```

```
.PARAM VNUM = {2*TWO_PI}
```

Nazwa nie może być nazwą predefiniowaną (**TEMP**, **VT**, **GMIN**,...).

Wartość musi być podana za pomocą stałej lub wyrażenia. W wyrażeniu można używać stałych lub innych parametrów.

Deklaracja parametru .PARAM, c. d.

Właściwości i używanie parametrów:

- kolejność deklaracji parametrów nie ma znaczenia,
- można definiować parametry w podukładzie, będą one widoczne wówczas tylko w tym podukładzie,
- parametry można używać w miejsce stałych z następującymi wyjątkami: współczynniki **TC1** i **TC2** rezystorów w linii ich deklaracji, wartości specyfikacji **PWL** niezależnych źródeł napięciowych i prądowych, współczynniki **POLY** dla elementów **E**, **G**, **H**, **F**, nazwy węzłów układu, wartości parametrów analiz **TRAN**, **AC** i innych.

Analiza parametryczna .STEP

Format ogólny:

```
.STEP [LIN] <zmienna> <początek> <koniec> <inkrement>
```

```
.STEP [DEC|OCT] <zmienna> <początek> <koniec>  
+<liczba_punktów_na_dekadę/oktawę>
```

```
.STEP <zmienna> LIST <lista wartości>
```

Polecenie **.STEP** wykonuje przemiatanie zmiennej dla wszystkich rodzajów analiz zleconych do wykonania w układzie. W plikach wyjściowych zapisywane są wyniki dla każdej wartości przemiatanej zmiennej. Przemiatanie może być wykonane liniowo (parametr **LIN**), logarytmicznie (parametr **OCT** lub **LOG**) lub można podać listę wartości (parametr **LIST**). Parametr **LIN** jest domyślny i można go nie podawać. Po użyciu parametru **LIST**, lista wartości musi być narastająca lub opadająca.

Analiza parametryczna .STEP, c. d.

Przykłady:

.STEP VCE 0V 10V .1V - liniowe przemieszczanie VCE co 0.1V od 0V do 10V

.STEP LIN Ibias 5mA -2mA 0.1mA - liniowe przemieszczanie Ibias

.STEP RES RModel(R) 0.9 1.1 .02 - liniowe przemieszczanie parametru R modelu RModel typu RES od wartości 0.9 do 1.1 co 0.02

.STEP DEC NPN Qslow(IS) 1E-18 1E-14 10 - logarytmiczne przemieszczanie parametru IS modelu Qslow typu NPN od wartości 1e-18 do 1e-14 z 10 punktami na każdą dekadę

.STEP TEMP LIST 0 20 27 60 80 100 – lista temperatur pracy układu

.STEP PARAM Fo 19.5kHz 20.5kHz 100Hz - liniowe przemieszczanie parametru CenterFreq.

Analiza parametryczna .STEP, c. d.

Opis	Zmienna	Znaczenie
Źródło	Nazwa niezależnego źródła napięciowego lub prądowego.	Podczas przemiatań zmienia się wydajność źródła.
Parametr modelu	Typ i nazwa modelu oraz nazwa parametru w nawiasie.	Zmieniany jest wyszczególniony parametr modelu.
Temperatura	Słowo TEMP	Zmieniana jest bieżąca temperatura symulacji.
Parametr globalny	Słowo kluczowe PARAM i nazwa parametru.	Zmieniana jest wartość parametru. Wszystkie wartości zależne od tego parametru są wyliczane na nowo.

Deklaracja funkcji .FUNC

Format ogólny:

```
.FUNC <nazwa>([argumenty]) {<ciało_funkcji>}
```

Przykłady:

```
.FUNC E(x) {exp(x)}
```

```
.FUNC DECAY(CNST) {E(-CNST*TIME)}
```

Polecenie **.FUNC** nie może redefiniować istniejących funkcji ani funkcji predefiniowanych w PSPICE. Argumenty funkcji nie mogą być węzłami układu. Ciało funkcji definiuje działanie deklarowanej funkcji i musi być wcześniej zdefiniowane (np. E w przykładach powyżej jest wykorzystywane w funkcji DECAY). Liczba argumentów definicji funkcji musi być równa liczbie w wywołaniu funkcji. Maksymalna liczba argumentów wynosi 10 minimalna 0. W ciele funkcji można używać parametrów, czasu **TIME**, innych funkcji (predefiniowanych i własnych), operatorów i zmiennej Laplacea **s**.

Operatory

Operator	Działanie	Uwagi
+	dodawanie	
-	odejmowanie	
*	mnożenie	
/	dzielenie	
**	potęgowanie	
~	negacja	operator logiczny wykorzystywany w funkcji IF
	OR	operator logiczny wykorzystywany w funkcji IF
^	XOR	operator logiczny wykorzystywany w funkcji IF
&	AND	operator logiczny wykorzystywany w funkcji IF

Operatory, c. d.

Operator	Działanie	Uwagi
<code>==</code>	równość	operator relacji wykorzystywany w funkcji IF
<code>!=</code>	nierówność	operator relacji wykorzystywany w funkcji IF
<code>></code>	większe	operator relacji wykorzystywany w funkcji IF
<code>>=</code>	większe lub równe	operator relacji wykorzystywany w funkcji IF
<code><</code>	mniejsze	operator relacji wykorzystywany w funkcji IF
<code><=</code>	mniejsze lub równe	operator relacji wykorzystywany w funkcji IF

Funkcje predefiniowane

Funkcja	Działanie	Uwagi
ABS(x)	$ x $	
SQRT(x)	$x^{1/2}$	
EXP(x)	e^x	
LOG(x)	$\ln(x)$	podstawą logarytmu jest e
LOG10(x)	$\log(x)$	podstawą logarytmu jest 10
PWR(x,y)	$ x ^y$	
PWRS(x,y)	$+ x ^y$ $- x ^y$	dla $x > 0$ dla $x < 0$
SIN(x)	$\sin(x)$	gdzie x jest w radianach
ASIN(x)	$\sin^{-1}(x)$	gdzie wynik jest w radianach

Funkcje predefiniowane, c. d.

Funkcja	Działanie	Uwagi
SINH(x)	$\sinh(x)$	gdzie x jest w radianach
COS(x)	$\cos(x)$	gdzie x jest w radianach
ACOS(x)	$\cos^{-1}(x)$	gdzie wynik jest w radianach
COSH(x)	$\cosh(x)$	gdzie x jest w radianach
TAN(x)	$\tan(x)$	gdzie x jest w radianach
ATAN(x) ARCTAN(x)	$\tan^{-1}(x)$	gdzie wynik jest w radianach
ATAN2(x,y)	$\tan^{-1}(y/x)$	gdzie wynik jest w radianach
TANH(x)	$\tanh(x)$	gdzie x jest w radianach
M(x)	moduł	to samo co ABS(x) używane tylko w wyrażeniach Laplace'a

Funkcje predefiniowane, c. d.

Funkcja	Działanie	Uwagi
$P(x)$	faza(x)	w stopniach używane tylko w wyrażeniach Laplace'a
$R(x)$	część rzeczywista z x	używane tylko w wyrażeniach Laplace'a
$IMG(x)$	część urojona x	używane tylko w analizach AC
$DDT(x)$	różniczka x względem czasu	używane tylko w analizach TRAN
$SDT(x)$	całka x względem czasu	używane tylko w analizach TRAN
$TABLE(x_1, y_1, \dots)$	wartość y z x	gdzie punkty x_n, y_n są połączone ze sobą liniami prostymi

Funkcje predefiniowane, c. d.

Funkcja	Działanie	Uwagi
MIN(x,y)	minimum z x i y	
MAX(x,y)	maksimum z x i y	
LIMIT(x,min,max)	min max x	jeśli $x < \min$ jeśli $x > \max$ x w pozostałych przypadkach
SGN(x)	+1 0 -1	jeśli $x > 0$ jeśli $x = 0$ jeśli $x < 0$
STP(x)	1 0	jeśli $x > 0$ 0 w pozostałych przypadkach
IF(t,x,y)	x jeśli t jest prawdą y w przeciwnym przypadku	gdzie t jest operatorem logicznym lub relacyjnym z tabeli operatorowej

Analiza Monte Carlo .MC

Format ogólny:

```
.MC <liczba_analiz> <typ_analizy> <zmienna_wyjściowa>  
+ <funkcja> [OPCJE] [SEED=wartość]
```

Przykłady:

```
.MC 50 DC IC(Q7) YMAX LIST
```

```
.MC 20 AC VP(13,5) YMAX LIST OUTPUT ALL
```

Przy analizie MC zmianie podlega wartość parametru modelu dla którego podano wartość DEV lub LOT (lub oba). Pierwszy przebieg wykonywany jest dla wartości nominalnych wszystkich elementów, kolejne przebiegi wykonywane są dla wartości liczonych zgodnie ze specyfikacjami DEV i LOT podanymi w modelach.

liczba_analiz - liczba wykonywanych analiz, dla drukowanych wyników górny limit wynosi 2000 dla pliku „***.out**”, dla PROBE 400,

typ_analizy - specyfikuje typ analizy dla której będzie wykonywane Monte Carlo, ta analiza musi być zdefiniowana szczegółowo do analizy poza poleceniem MC,

Analiza Monte Carlo .MC, c. d.

Format ogólny c.d.:

zmienna_wyjściowa – zmienna wyjściowa specyfikowana jak dla polecenia .PRINT

funkcja – specyfikuje operacje wykonywane na **zmienna_wyjściowa** i redukuje wynik do pojedynczej wartości, można wpisać jedną z następujących specyfikacji:

YMAX - znajduje wartość bezwzględną największej różnicy z każdym wykresie w stosunku do wykresu nominalnego,

MAX - znajduje wartość maksymalną w każdym wykresie,

MIN - znajduje wartość minimalną w każdym wykresie,

RISE_EDGE(val) – znajduje pierwszy przypadek przekroczenia wykresu ponad wartość **val**, wykres musi mieć jeden lub więcej punktów poniżej **val**, wartość wyjściowa będzie pierwszym punktem wykresu przekraczającym tę wartość,

Analiza Monte Carlo .MC, c. d.

Format ogólny c.d.:

FALL_EDGE (val) – znajduje pierwszy przypadek przekroczenia wykresu poniżej wartości **val**, wykres musi mieć jeden lub więcej punktów powyżej **val**, wartość wyjściowa będzie pierwszym punktem wykresu przekraczającym tą wartość,

<funkcja> [opcje] nie mają znaczenia dla danych generowanych do postprocesora graficznego PROBE, mają one zastosowanie do pliku „***.out**”. Wyjątkiem jest opcja **<typ_wyjścia>**.

OPCJE: lista możliwych do użycia opcji:

LIST - na początku każdego nowego przebiegu listuje bieżące parametry modeli,

Analiza Monte Carlo .MC, c. d.

Format ogólny c.d.:

OPCJE: lista możliwych do użycia opcji c.d.:

OUTPUT – specyfikuje które parametry są wpisywane do plików wyjściowych, jeśli nic nie podano tylko przebiegi nominale są przekazywane do wyjścia, przykłady:

OUTPUT ALL - wszystkie przebiegi są zapisywane do wyjścia,

OUTPUT FIRST N - N pierwszych symulacji przekazywane jest do wyjścia,

OUTPUT EVERY N - co N-ty przebieg jest kierowany do wyjścia,

SEED=n - definiuje wartość inicjalizującą generatora liczb losowych, wartość **n** musi być z przedziału 1 – 32767.

Analiza .MC specyfikacja tolerancji

Specyfikację tolerancji umieszcza się w modelu bezpośrednio za parametrem którego ma dotyczyć, format ogólny jest następujący:

[DEV [track&dist] <val> [%]]

[LOT [track&dist] <val> [%]]

gdzie:

DEV - indywidualne tolerancje parametru, każdy element ma inną wartość w zakresie dopuszczalnej tolerancji,

LOT - wspólne tolerancje parametrów identyczne co do wartości dla wszystkich elementów opisanych danym modelem,

Jeśli występuje znak % wówczas wyspecyfikowana tolerancja jest w procentach wartości nominalnej, w przeciwnym wypadku tolerancja jest w jednostkach jak dany parametr.

Analiza .MC specyfikacja tolerancji, c.d.

track&dist – specyfikuje numer użytego generatora i dystrybucję (jeżeli nie ma być użyta domyślna UNIFORM), **track** podaje się jako numer w zakresie od 0 do 9 a **dist** jako jedna z wartości: UNIFORM, GAUS lub zdefiniowaną przez użytkownika.

UNIFORM – generuje równomiernie rozłożone wartości w zakresie podanych wartości, dystrybucja domyślna, dystrybucję domyślną na inną można zmienić poleceniem **.options**

GAUSS – generuje wartości w zakresie $\pm 3\sigma$ zgodnie z dystrybucją Gaussa, wartość specyfikowana w LOT/DEV jest równa 1σ ,

Przykłady specyfikacji tolerancji:

```
.MODEL CMOD CAP (C=1 DEV 5%)
```

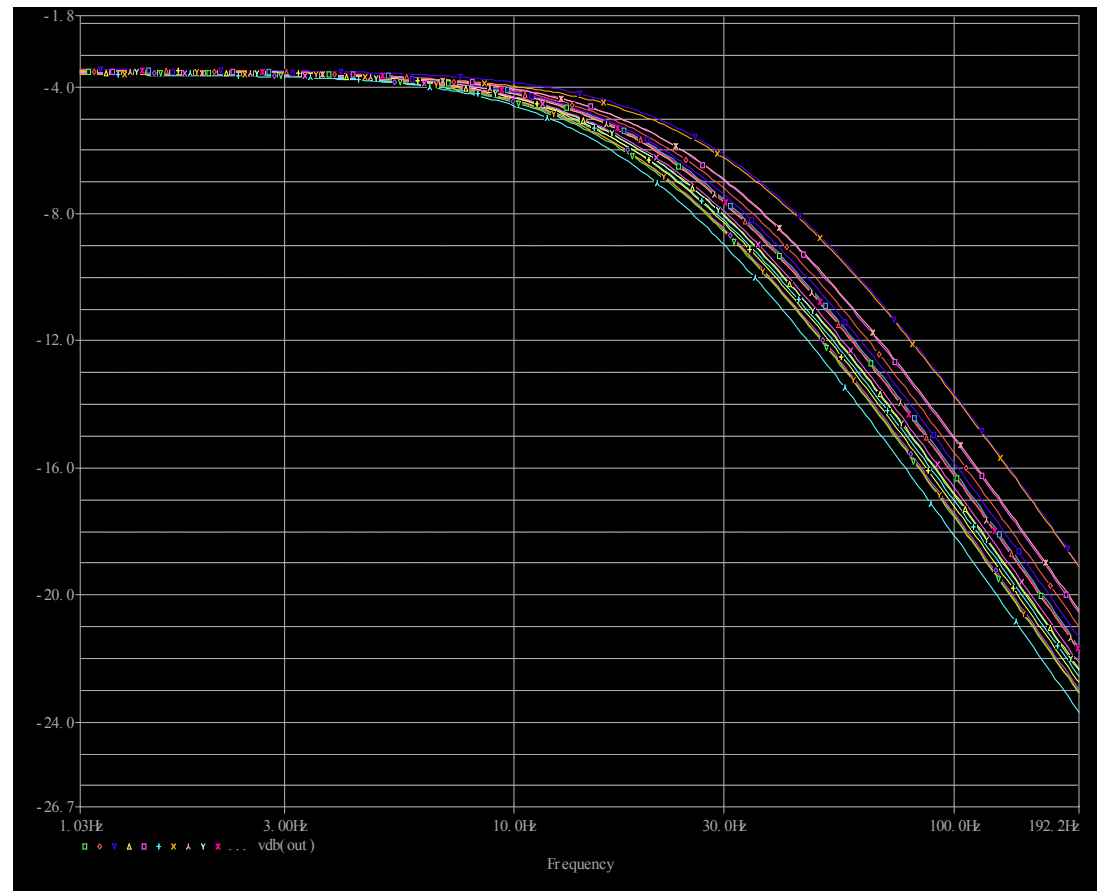
```
.MODEL DLOAD D (IS=1E-9 DEV .5% LOT 10%)
```

```
.MODEL RTRACK RES (R=1 DEV/GAUSS 1% LOT/UNIFORM 5%)
```

Analiza .MC, prosty przykład

Monte Carlo analysis

```
Vin in 0 dc 0 ac 1
R1 in out rmod 10k
R2 out 0 rmod 20k
C1 out 0 cmod 1u
.dc Vin 0 10 .01
.ac dec 100 1 100k
.MC 20 AC V([out]) YMAX LIST
+ OUTPUT ALL
.model cmod cap (C=1 dev 1%
+ lot/gauss 10% vc1=0.01 lot=10%)
.model rmod res (R=1 dev=2%
+ lot=15% )
.probe
.end
```



W powyższym przykładzie wykonana jest 20 krotna analiza AC przy zmianie parametrów modeli losowanych w zadanych granicach.

Przykład symulacji wzmacniacza WE

Dane dla tranzystora Q:

$f_t = 400\text{MHz}$

$C_\mu = 2\text{pF}$

$V_T = 25\text{mV}$ (pot. termiczny)

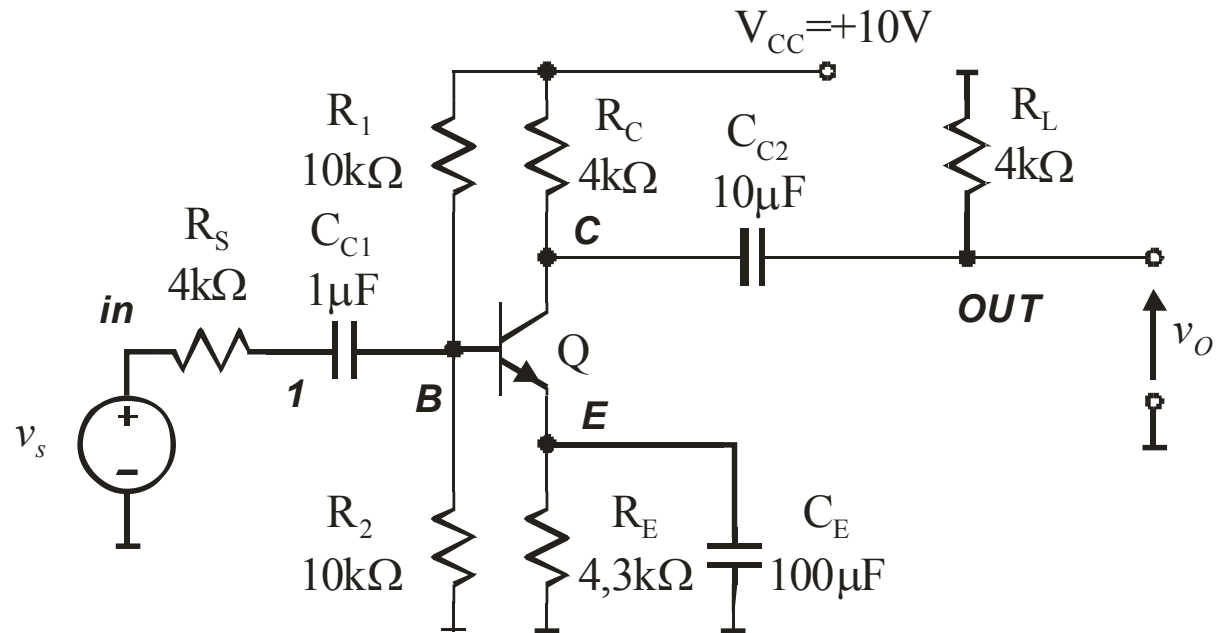
$r_o = \infty$

$\beta = 200$

$V_{BE} = 0,7\text{V}$

Należy obliczyć:

- punkt pracy tranzystora Q ,
- wzmocnienie v_o/v_s w środku pasma przenoszenia,
- dolną częstotliwość graniczną f_{L3dB} ,
- górną częstotliwość graniczną f_{H3dB} .



Obliczenia ręczne:

$V_B = 5\text{V}$, $V_E = 4,3\text{V}$, $V_C = 6\text{V}$, $V_{CE} = 1,7\text{V}$, $I_C = 1\text{mA}$ $g_m = 40\text{mS}$,

$R_{IN} = 2,5\text{k}$, $V_S/V_{OUT} = -30,8\text{V/V}$, $f_{3dBL} = 72,4\text{Hz}$, $f_{3dBH} = 602,3\text{kHz}$

Przykład symulacji wzmacniacza, c. d.

Dane dla tranzystora Q:

$f_t = 400\text{MHz}$

$C_\mu = 2\text{pF}$

$V_T = 25\text{mV}$ (pot. termiczny)

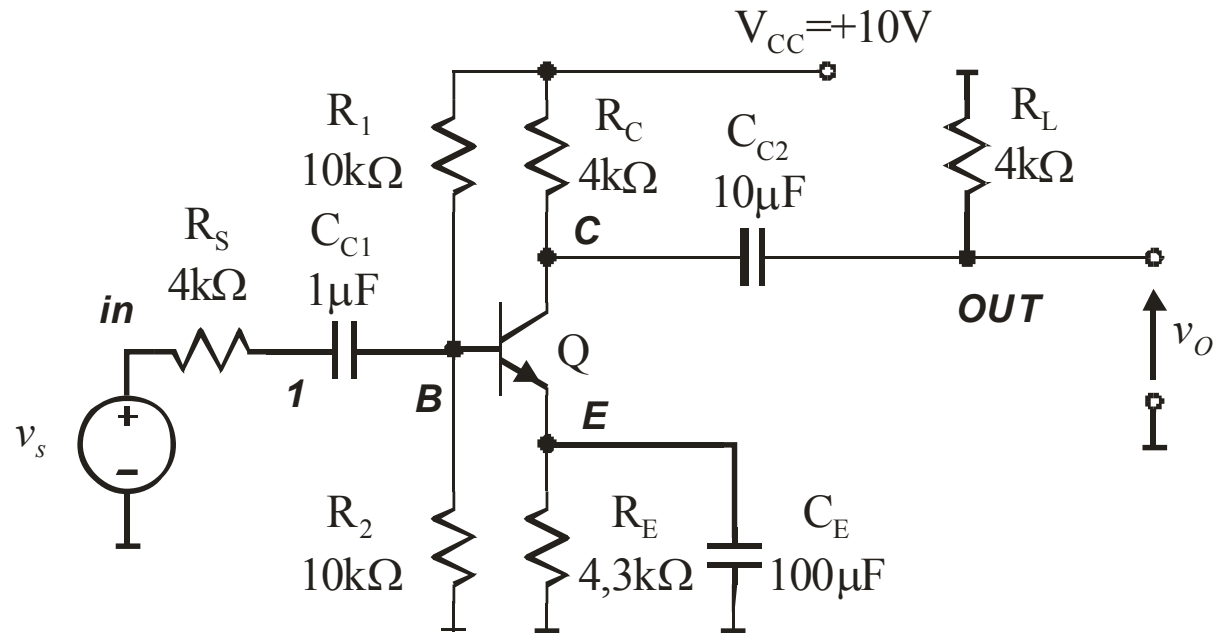
$r_o = \infty$

$\beta = 200$

$V_{BE} = 0,7\text{V}$

Należy obliczyć:

- punkt pracy tranzystora Q ,
- wzmocnienie v_o/v_s w środku pasma przenoszenia,
- dolną częstotliwość graniczną f_{L3dB} ,
- górną częstotliwość graniczną f_{H3dB} .



Przykład 2 wzmacniacz BJT

Vcc vcc 0 dc 10

Vs in 0 dc 0 ac 1 sin(0 10mV 10kHz)

Rs in 1 4k

Cc1 1 B 1u

R1 vcc B 10k

R2 B 0 10k

Rc vcc C 4k

Re E 0 4.3k

Ce E 0 100u

Cc2 C out 10u

RL out 0 4k

Q1 C B E qnpn

.model qnpn npn (BF=200)

Cu C B 2p

Cpi B E 13.9p

.op

.dc Vcc 5 15 .1

.ac dec 100 1 .1g

.tran .001m .3m 0 .001m

.probe

.end

Przykład symulacji wzmacniacza, c. d.

Wybrane fragmenty pliku wyjściowego:

```
NODE    VOLTAGE      NODE    VOLTAGE      NODE    VOLTAGE      NODE    VOLTAGE
(      1)      0.0000  (      B)      4.9757  (      C)      6.1104  (      E)      4.2022
(    in)      0.0000  (   out)      0.0000  (   vcc)     10.0000
```

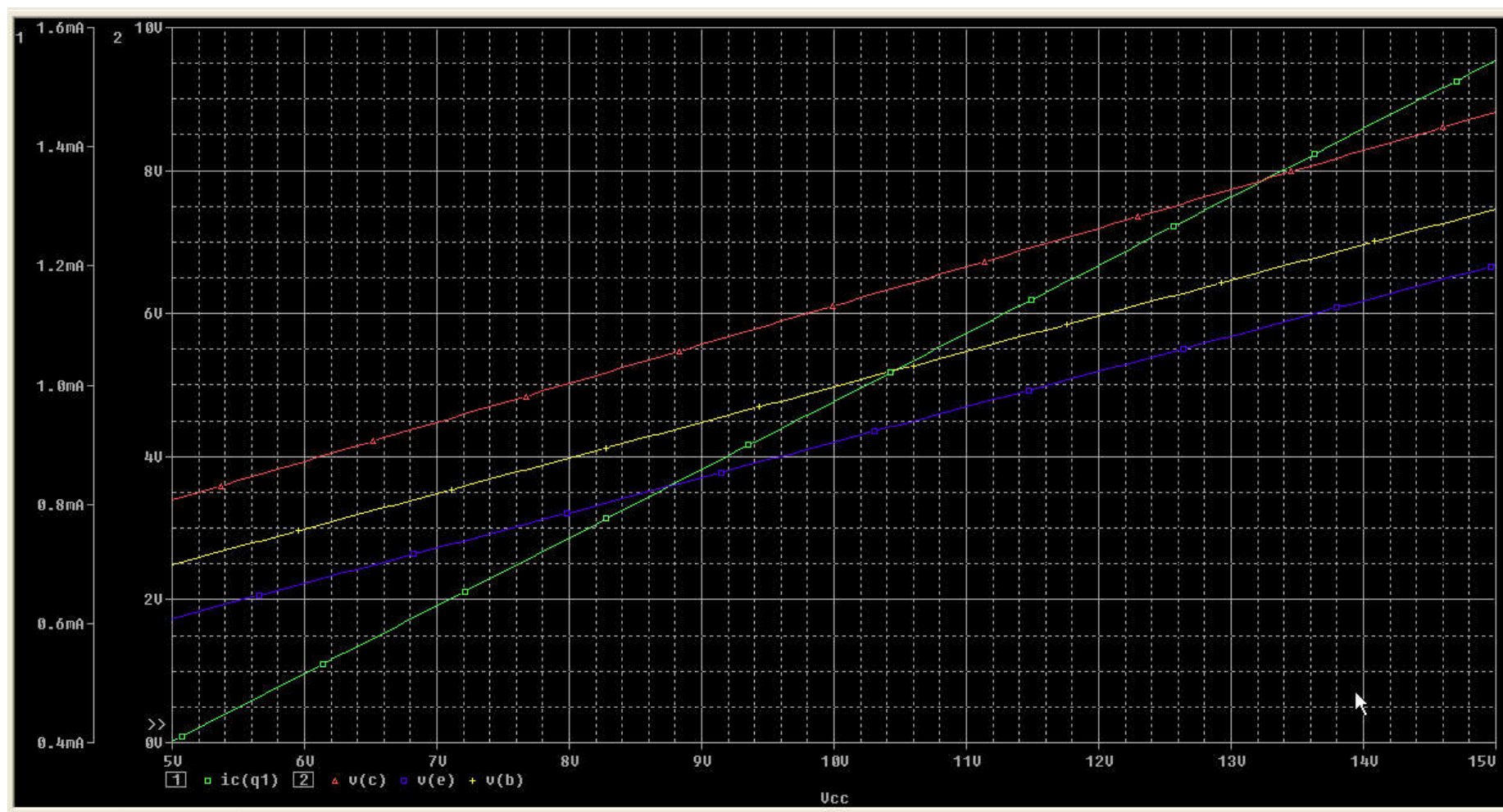
qnpn

```
          NPN
IS 100.000000E-18
BF 200
NF 1
BR 1
NR 1
CN 2.42
D .87
```

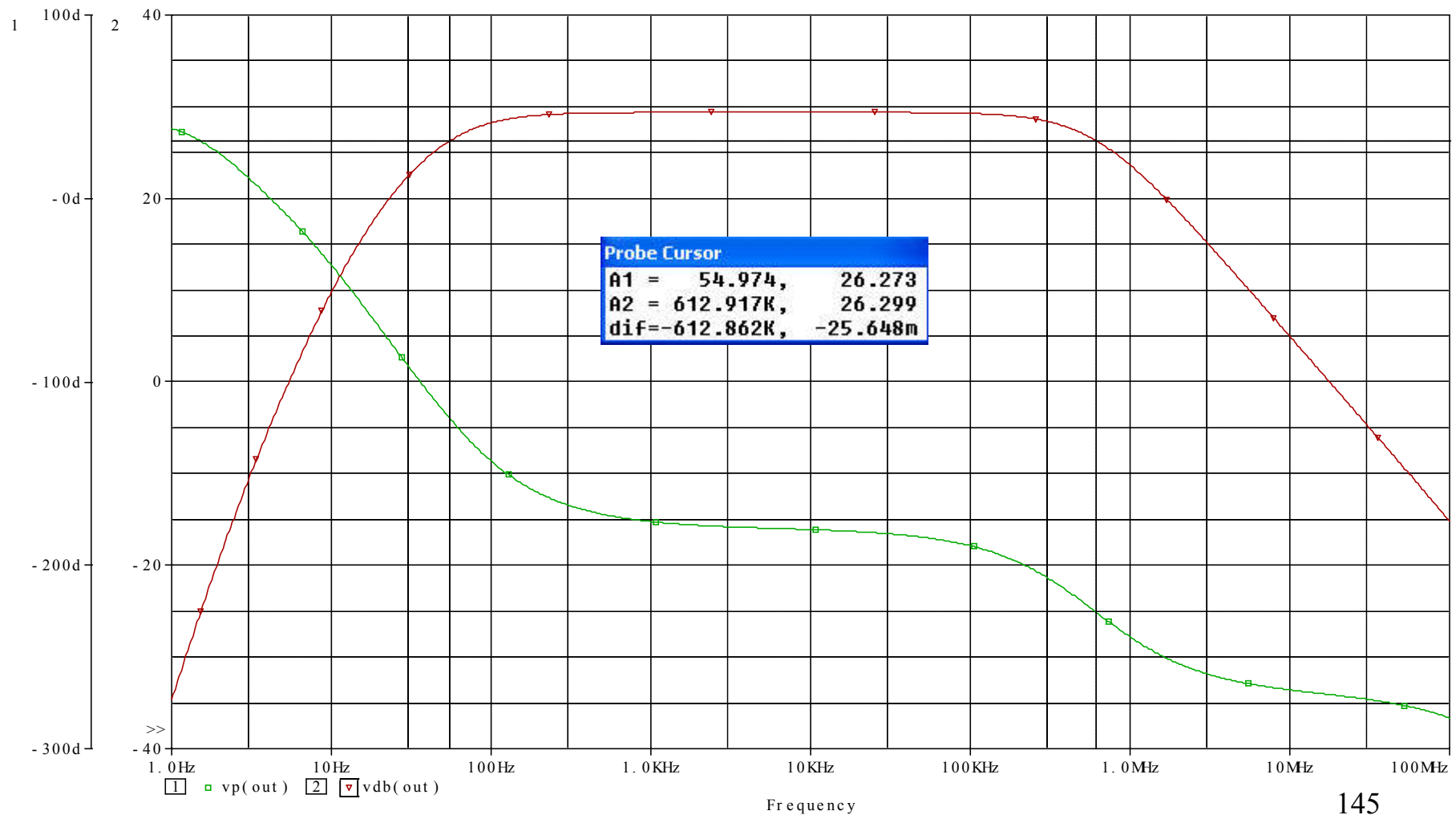
**** BIPOLAR JUNCTION TRANSISTORS

```
NAME      Q1
MODEL     qnpn
IB        4.86E-06
IC        9.72E-04
VBE       7.73E-01
VBC       -1.13E+00
VCE       1.91E+00
BETADC    2.00E+02
GM        3.76E-02
RPI       5.32E+03
RX        0.00E+00
RO        1.00E+12
```

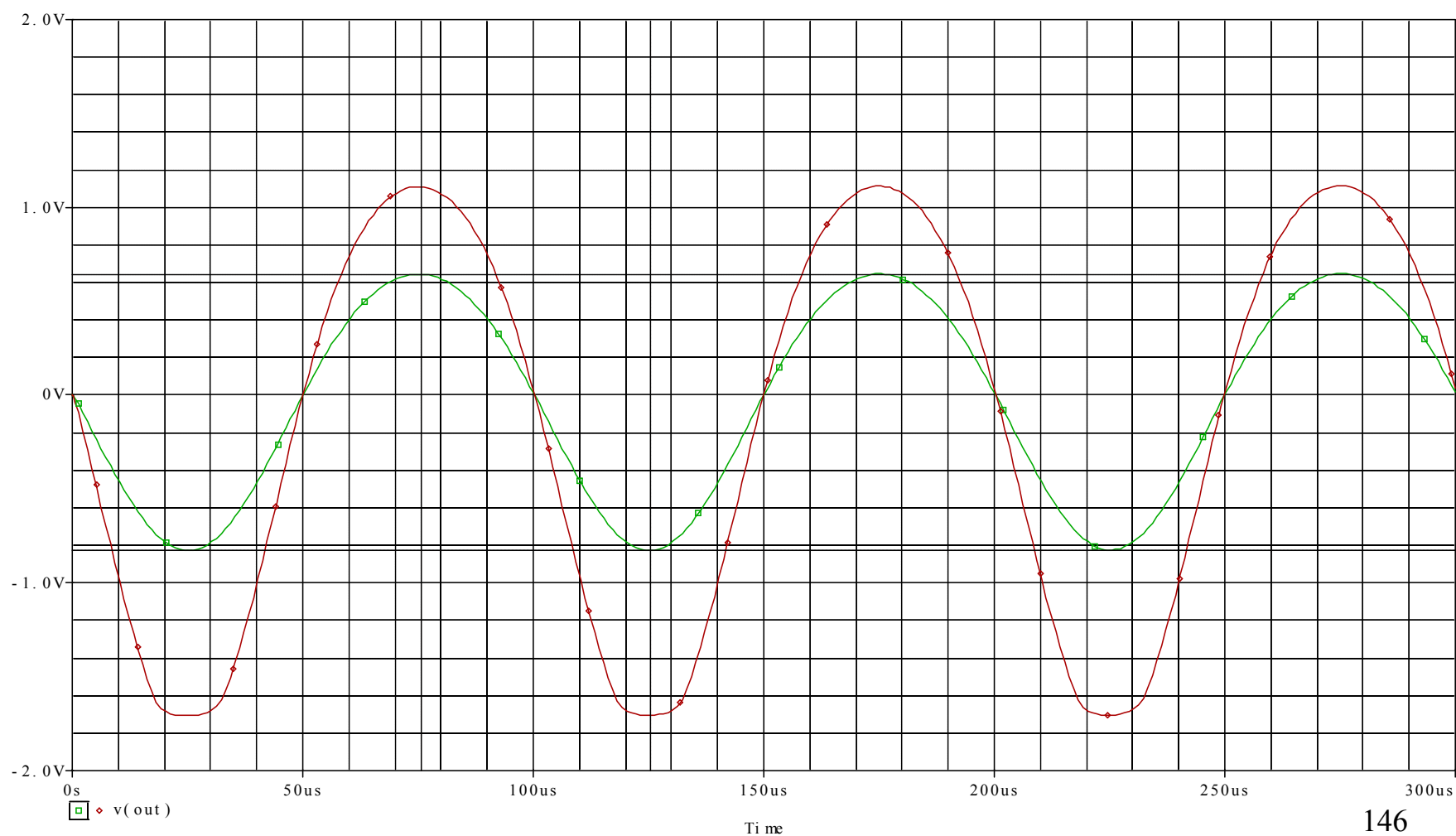
Przykład symulacji wzmacniacza, c. d.



Wybrane charakterystyki analizy .AC:



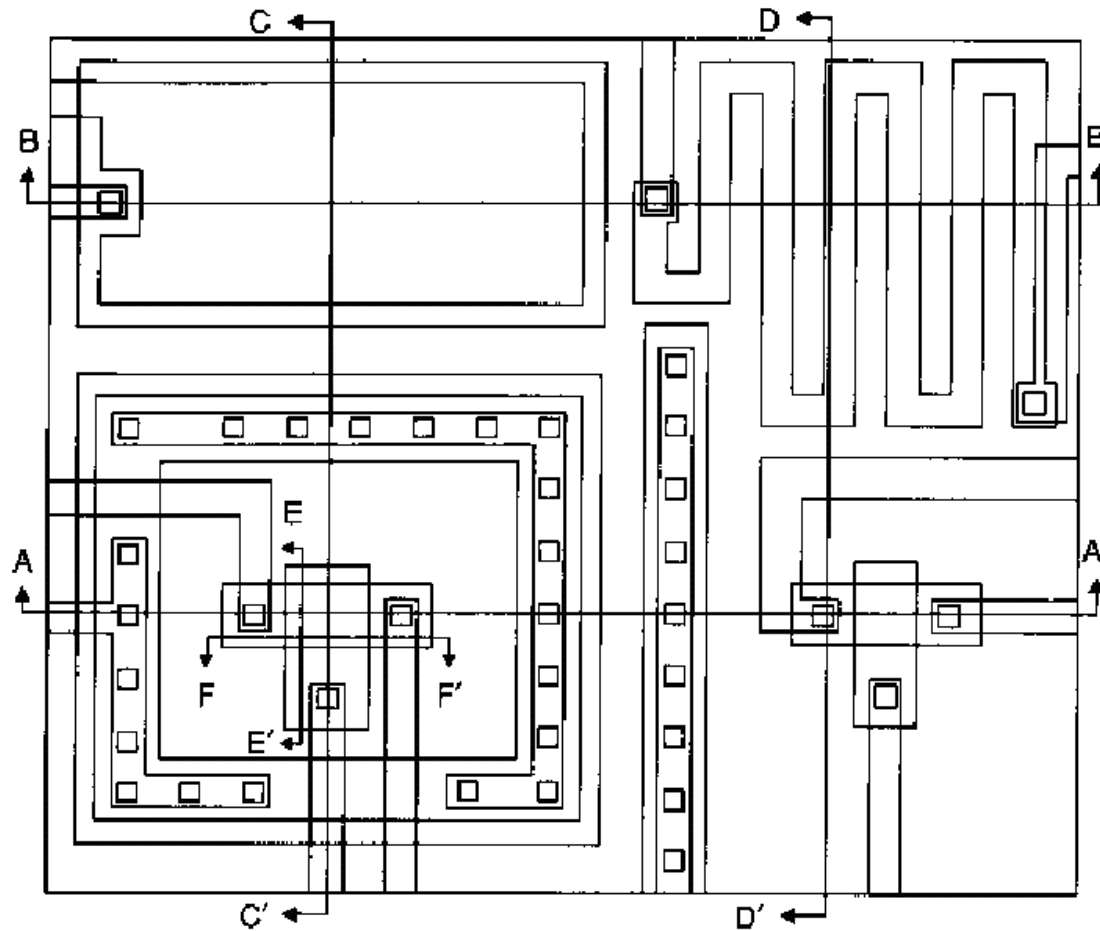
Wyniki analizy .TRAN dla amplitudy $V_s = 25\text{mV}$ i 50mV :



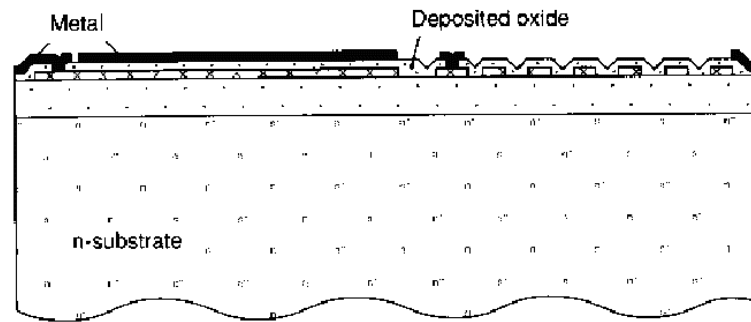
Technologie produkcji (2005)

- **CMOS (90%)**
- **BiCMOS (5%)**
- **Bipolar (2%)**
- **GaAs (2%)**
- **SOI (1%)**

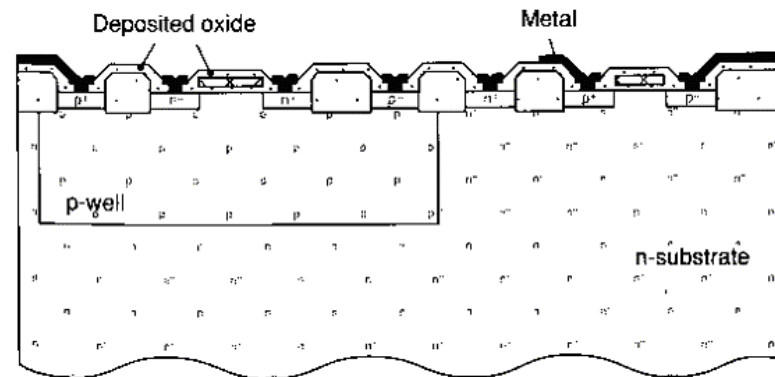
Widok topografii NMOS, PMOS, R i C z góry [2]



Widok topografii NMOS, PMOS, R i C z góry w przekrojach (przed pasywacją i trawieniem otworów PADów [2]

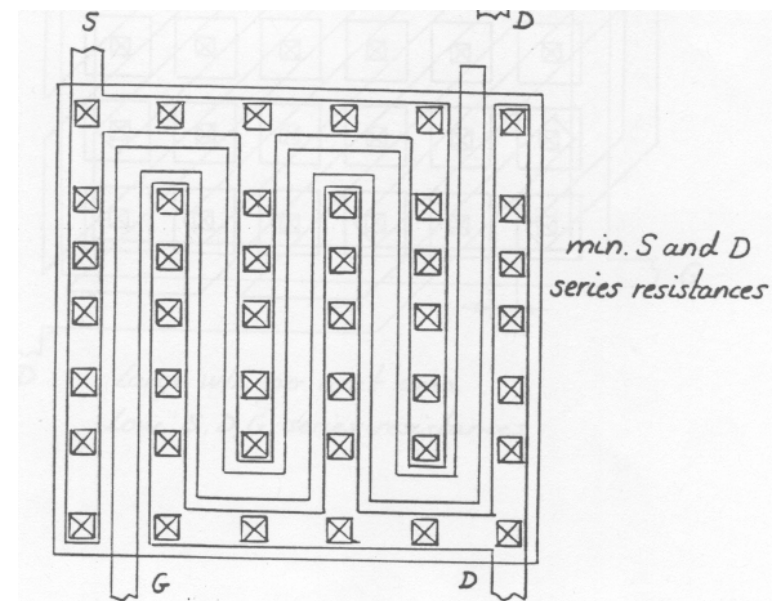
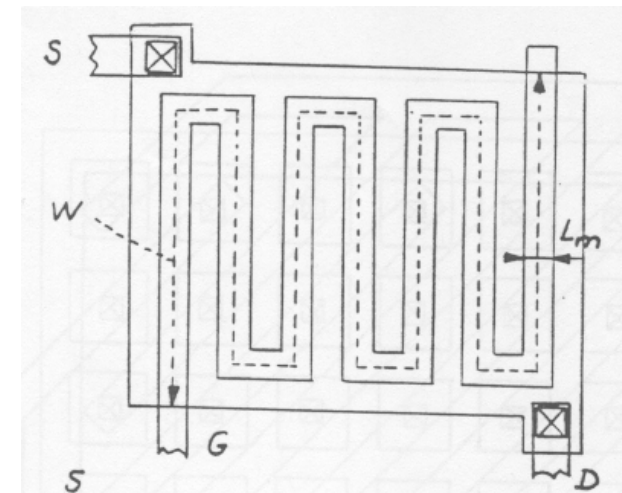
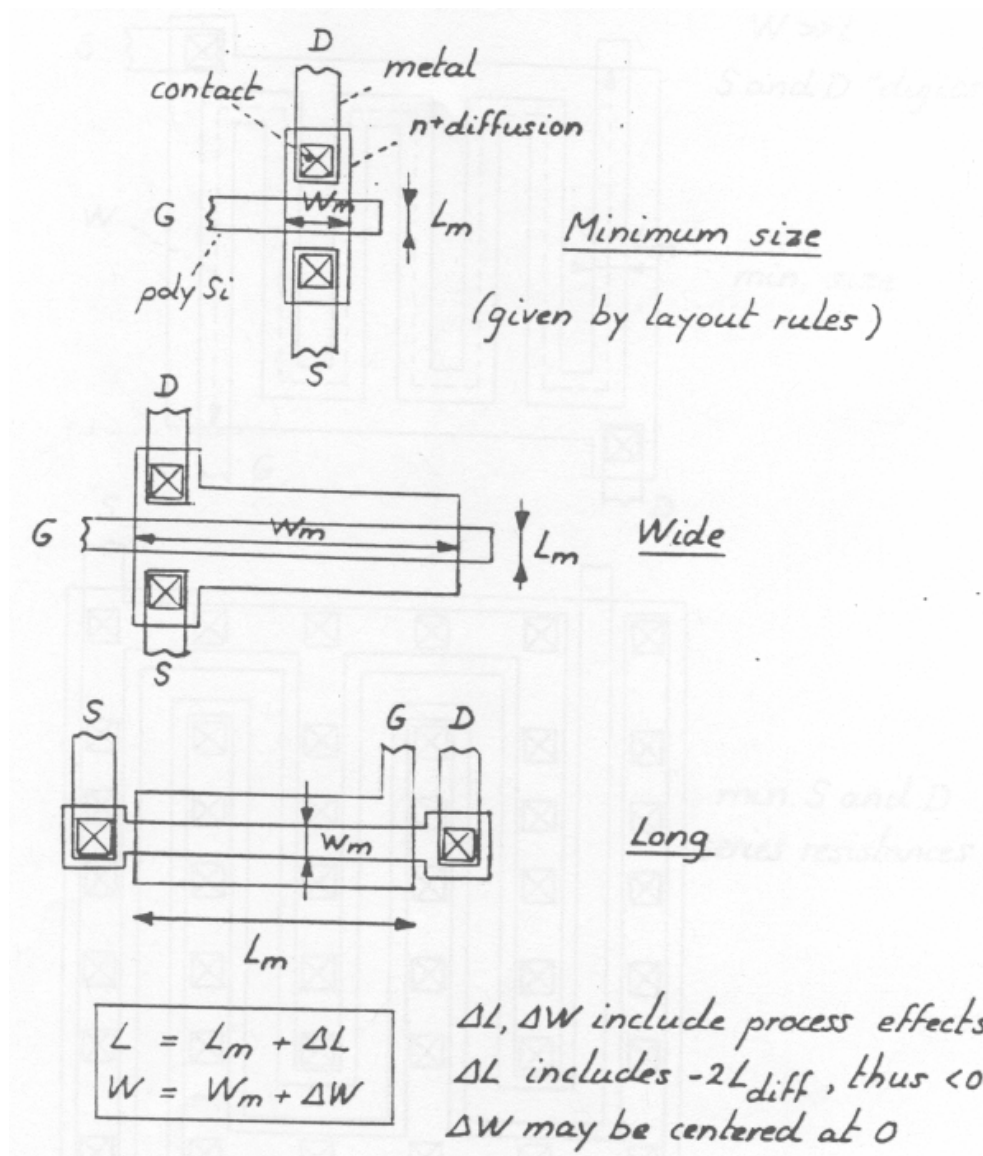


Przekrój B-B [2]

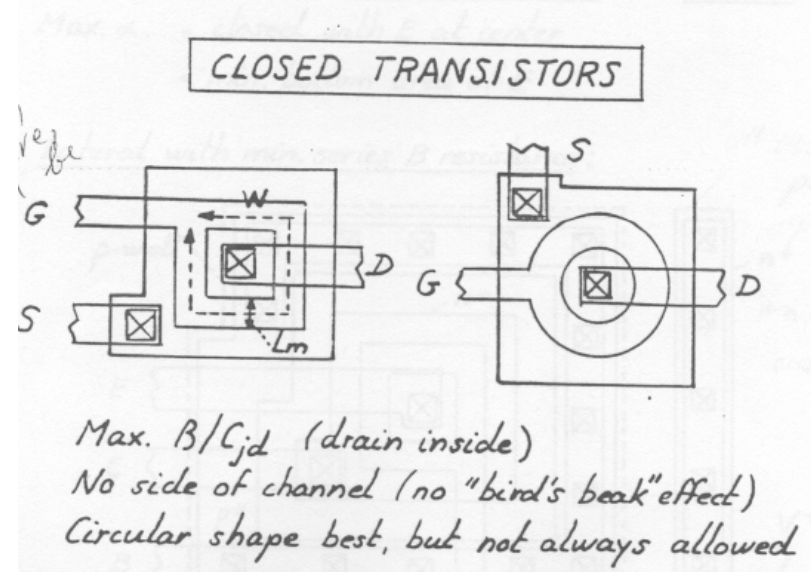
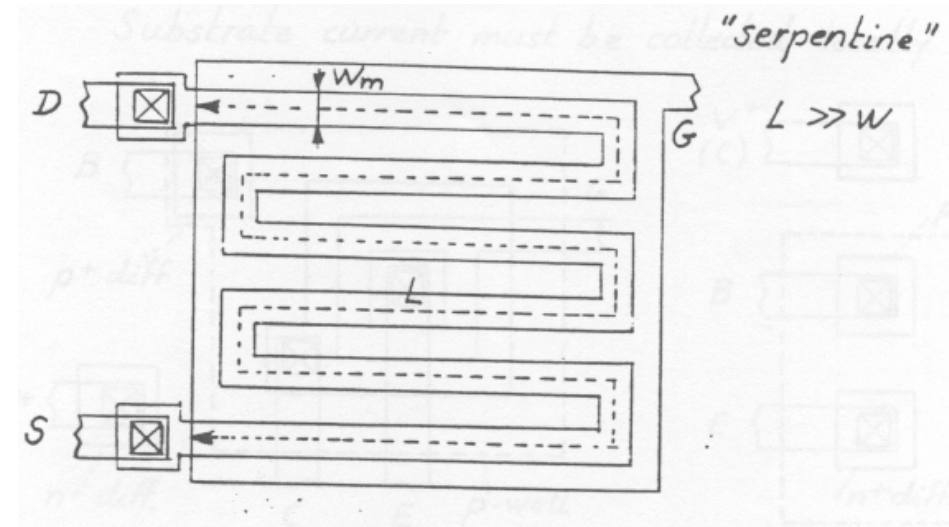
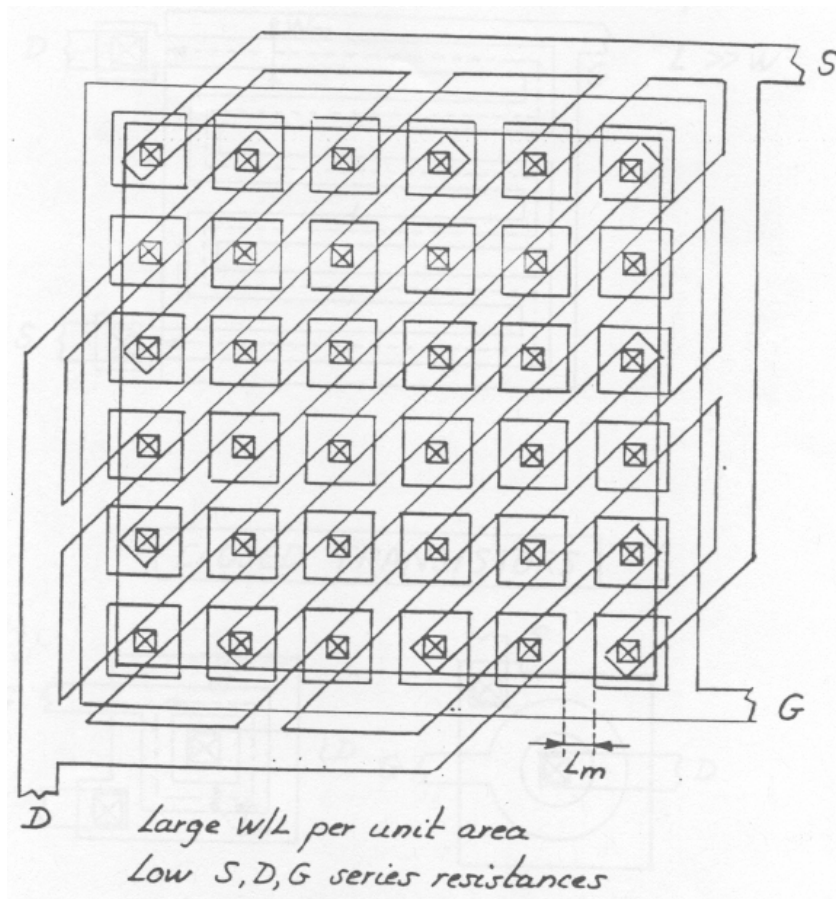


Przekrój A-A [2]

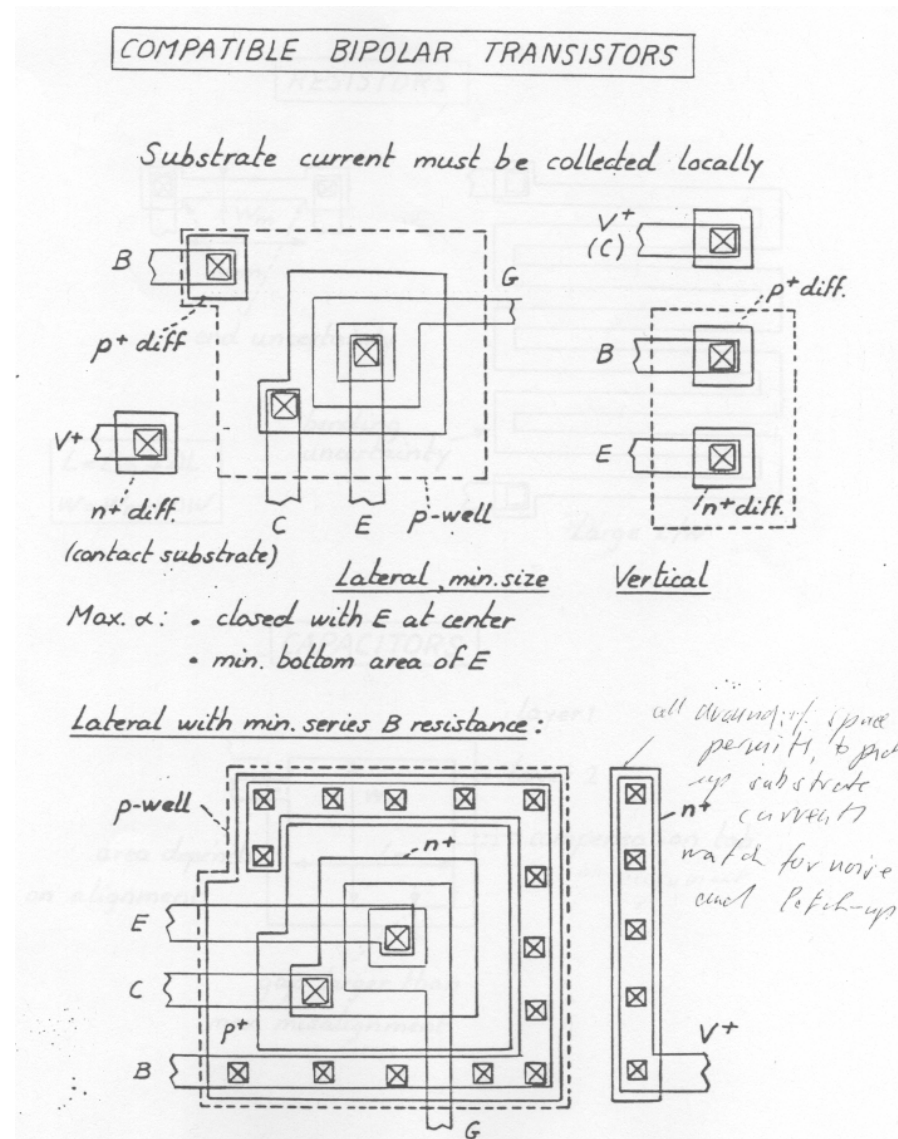
Topografia tranzystorów MOS [8]



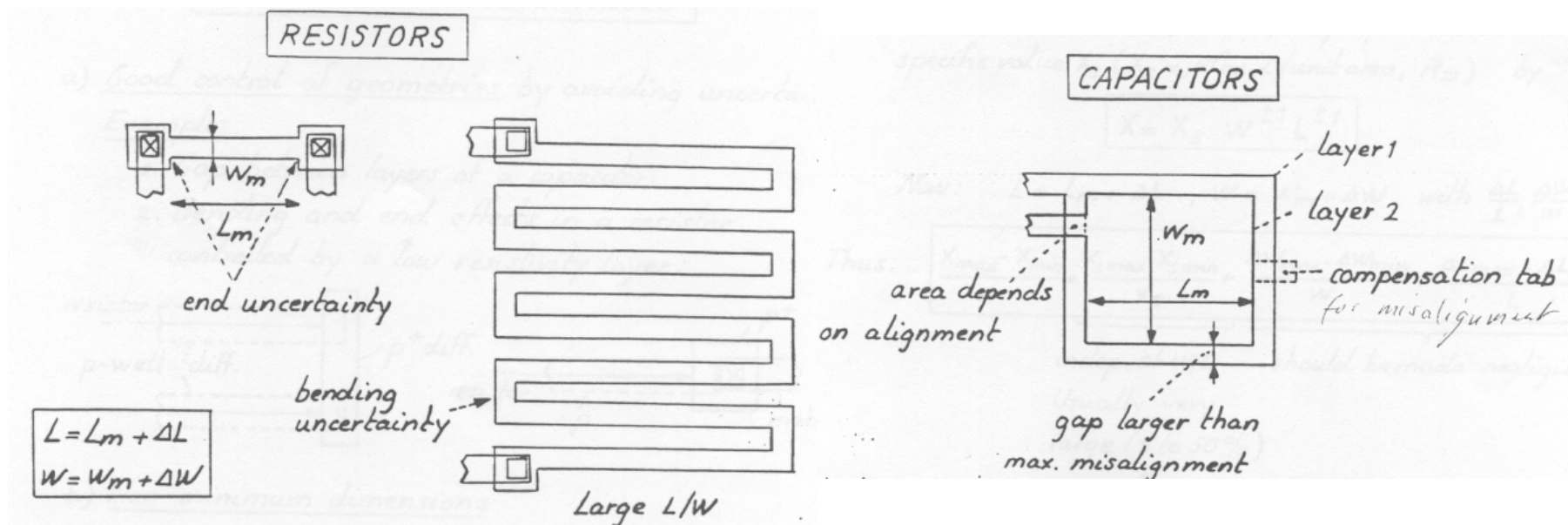
Topografia tranzystorów MOS [8] c.d.



Topografia tranzystorów BJT [8]



Topografia elementów pasywnych [8]

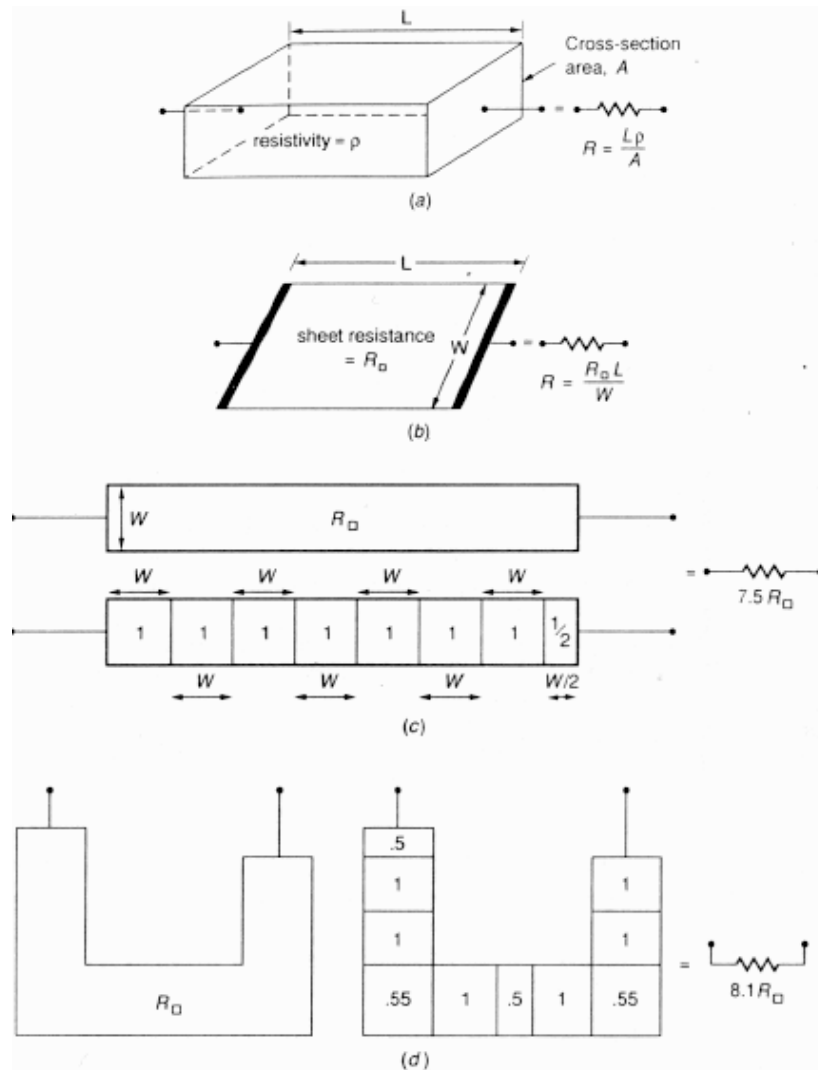


Rezystor monolityczny c.d.

Parametry rezystorów monolitycznych:

- rezystancja powierzchniowa warstwy (rezystancja na kwadrat),
- temperaturowy współczynnik rezystancji,
- napięciowy współczynnik rezystancji,
- dokładność bezwzględna,
- dokładność względna (dopasowanie).

Rezystor monolityczny c.d.



$$R_{KW} = \frac{\rho}{z}$$

Rezystancja powierzchniowa (na kwadrat).

Rys. 0.4. Własności rezystywne materiałów a)rezystywność, b)rezystancja powierzchniowa (inaczej na kwadrat), c) i d) przykłady obliczenia rezystancji przy zastosowania rezystancji powierzchniowej. [1]

Parametry temperaturowe i napięciowe rezystorów i kondensatorów

Współczynnik zmian temperaturowych.

$$TC = \left(\frac{1}{x} \right) \left(\frac{dx}{dT} \right) \text{ w jednostkach [1/°C]}$$

$$TC = \left(\frac{1}{x} \right) \left(\frac{dx}{dT} \right) 10^6 \text{ w jednostkach [ppm/°C]}$$

Współczynnik zmian napięciowych.

$$VC = \left(\frac{1}{x} \right) \left(\frac{dx}{dV} \right)$$

Dokładne wyznaczenie wartości parametru w temperaturze T2.

$$x(T_2) = x(T_1) e^{[TC(T_2 - T_1)]}$$

Przybliżone wyznaczenie wartości parametru w temperaturze T2.

$$x(T_2) = x(T_1) [1 + (T_2 - T_1)TC]$$

Rezystory – parametry dla typowego procesu CMOS 0,8 μ m [1, 2]

Element	Zakres wartości	Bezwzględna dokładność wykonania	Względna dokładność wykonania	Współczynnik temperaturowy	Uwagi
Rezystor polikrzemowy	Do kiloomów	$\pm 30\%$	$\pm 2\%$	1500ppm/°C	Niewielka zależność napięciowa
Rezystor dyfuzyjny	Do kiloomów	$\pm 35\%$	$\pm 2\%$	1500ppm/°C	Niewielka zależność napięciowa
Rezystor aktywny, Tranzystor MOS w zakresie omowym	Do setek kiloomów				Tylko dla małych sygnałów napięciowych

Kondensatory – tabela [1]

Rodzaj kondensatora	Proces	Dielektryk	Dokładność bezwzględna	Dokładność względna	Zależność napięciowa	Zależność temperaturowa	Uwagi
Poly - poly	MOS/CMOS	SiO ₂	±20%	±0,06%	-5 ppm/V	25 ppm/°C	Najpopularniejszy, najlepszy
Poly - dyfuzja	MOS/CMOS	SiO ₂	±10%	±0,06%	-20 ppm/V	25 ppm/°C	Dolna okładka często na masie
Metal - dyfuzja	MOS/CMOS/ bipolarny	SiO ₂	±10%	±0,06%	-20 ppm/V	25 ppm/°C	Najczęściej stosowany dla procesu bipolarnego

Elementy pasywne - podsumowanie

Trudności realizacyjne monolitycznych elementów pasywnych:

- niewielkie uzyskiwane wartości,
- często występują silne zależności temperaturowe i napięciowe,
- niska dokładność bezwzględna,
- dobra powtarzalność – jednak przy spełnieniu szeregu dodatkowych warunków,
- szereg zjawisk pasożytniczych – niepożądanych,
- zazwyczaj duża zajmowana powierzchnia (w stosunku do tranzystorów).

Reguły technologiczne

Reguły technologiczne – zbiór ograniczeń narzuconych przez producenta, których spełnienie gwarantuje sprawność układu scalonego.

Podział reguł:

- reguły geometryczne - zestaw ograniczeń dotyczących możliwych do stosowania wymiarów i względnego położenia poszczególnych elementów układu, przykłady:

- minimalne i maksymalne wymiary poszczególnych warstw,
- minimalne odstępów pomiędzy tymi samymi i różnymi warstwami,
- konieczne wartości nakładek warstw,
- maksymalna dopuszczalna odległość pomiędzy kontaktami do wysp i podłoża.

- reguły elektryczne - zestaw ograniczeń na wartości napięć i prądów dopuszczonych do występowania, przykłady:

- zakres napięć zasilających,
- maksymalne gęstości prądu poszczególnych warstw przewodzących,
- dopuszczalna tracona moc w układzie.

Reguły technologiczne c.d.

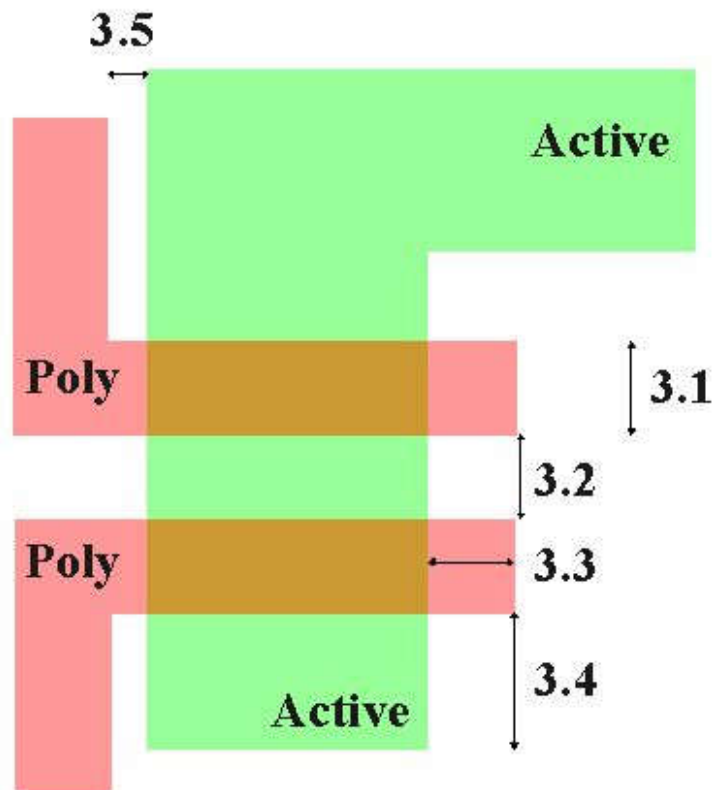
UWAGA:

Reguły elektryczne – ciężar sprawdzenia poprawności zazwyczaj jest na projektancie układu scalonego.

Reguły geometryczne – większość reguł sprawdzana jest przez program projektowy.

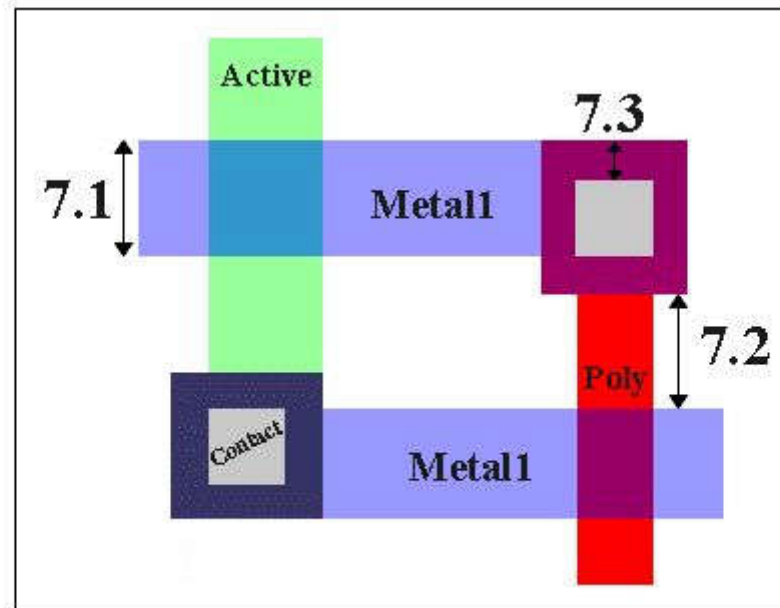
SCMOS Layout Rules - Poly

Rule	Description	Lambda		
		SCMOS	SUBM	DEEP
3.1	Minimum width	2	2	2
3.2	Minimum spacing over field	2	3	3
3.2.a	Minimum spacing over active	2	3	4
3.3	Minimum gate extension of active	2	2	2.5
3.4	Minimum active extension of poly	3	3	4
3.5	Minimum field poly to active	1	1	1



SCMOS Layout Rules - Metal1

Rule	Description	Lambda		
		SCMOS	SUBM	DEEP
7.1	Minimum width	3	3	3
7.2	Minimum spacing	2	3	3
7.3	Minimum overlap of any contact	1	1	1
7.4	Minimum spacing when either metal line is wider than 10 lambda	4	6	6

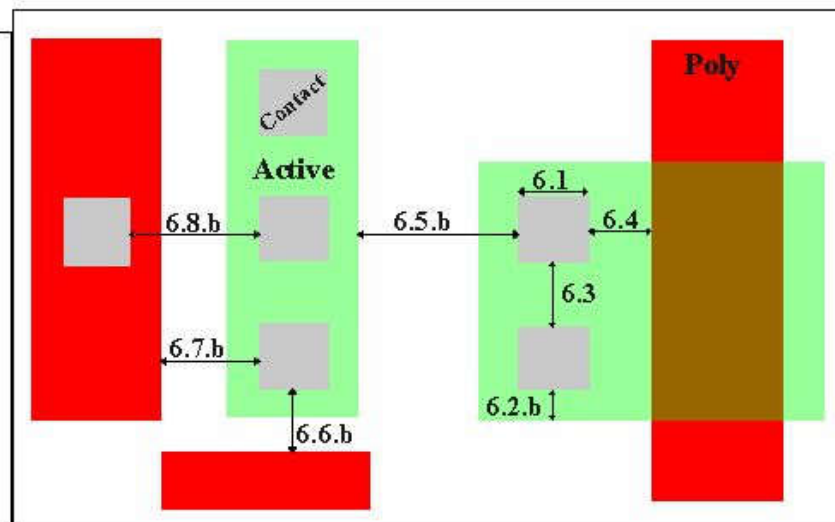
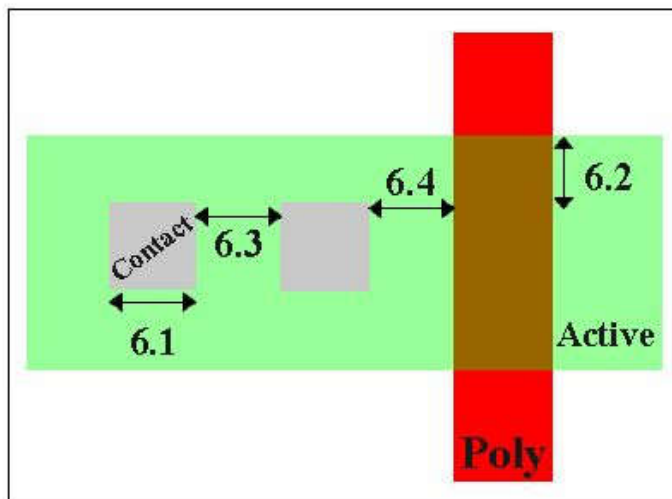


Simple Contact to Active

Rule	Description	Lambda		
		SCMOS	SUBM	DEEP
6.1	Exact contact size	2x2	2x2	2x2
6.2	Minimum active overlap	1.5	1.5	1.5
6.3	Minimum contact spacing	2	3	4
6.4	Minimum spacing to gate of transistor	2	2	2

Alternative Contact to Active

Rule	Description	Lambda		
		SCMOS	SUBM	DEEP
6.2.b	Minimum active overlap	1	1	1
6.5.b	Minimum spacing to diffusion active	5	5	5
6.6.b	Minimum spacing to field poly (one contact)	2	2	2
6.7.b	Minimum spacing to field poly (many contacts)	3	3	3
6.8.b	Minimum spacing to poly contact	4	4	4



Parametry procesu ORBIT 2um

[www.mosis.com]

MOSIS PARAMETRIC TEST RESULTS

RUN: N71V

VENDOR: ORBIT

TECHNOLOGY: SCNA20

FEATURE SIZE: 2.0 microns

COMMENTS: Orbit Semiconductor 2.0 um n-well.

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	3/2			
Vth		0.87	-0.99	Volts
SHORT	18/2			
Vth		0.79	-0.96	Volts
Vpt		10.0	-10.0	Volts
Vbkd		14.3	-15.9	Volts
Idss		132	-60	uA/um
WIDE	120/2			
Ids0		0.3	-0.2	pA/um
LARGE	50/50			
Vth		0.82	-0.95	Volts
Vjbkd		15.5	-17.1	Volts
Ijlk		-33.1	-1.3	pA
Gamma		0.21	0.66	V^0.5
Delta length (L_eff = L_drawn-DL)		0.15	0.19	microns
Delta width (W_eff = W_drawn-DW)		0.00	0.00	microns
K' (Uo*Cox/2)		25.5	-9.1	uA/V^2
POLY2 TRANSISTORS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	6/4			
Vth		0.84	-1.34	Volts
SHORT	12/4			
Vth		0.81	-1.31	Volts
LARGE	36/36			
Vth		0.80	-1.32	Volts
Delta length (L_eff = L_drawn-DL)		-0.05	-0.78	microns
Delta width (W_eff = W_drawn-DW)		0.36	0.49	microns
K' (Uo*Cox/2)		21.1	-7.1	uA/V^2

FOX TRANSISTORS

Vth Poly 22.4 -13.6 Volts

BIPOLAR PARAMETERS

W/L NPN UNITS

2X1	2X1			
Beta		145		
V_early		62.0		Volts
Vce,sat		0.4		Volts
2X2	2X2			
Beta		145		
V_early		60.1		Volts
Vce,sat		0.2		Volts

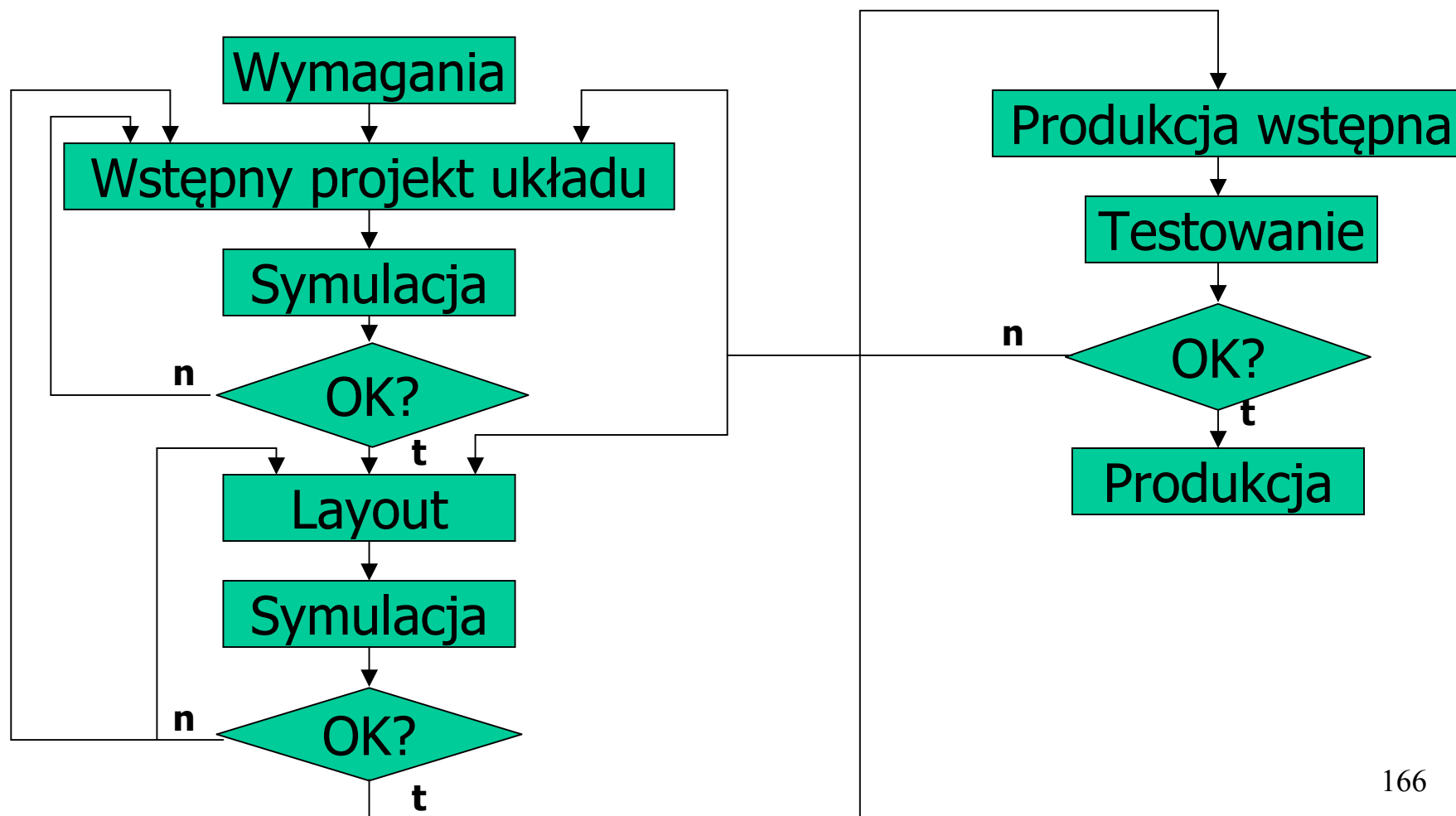
PROCESS PARAMETERS

	N+DIFF	P+DIFF	POLY	POLY2	METAL1	METAL2	N_WELL	UNITS
Sheet Resistance	26.3	55.6	24.3	20.1	0.05	0.03	2474	ohms/sq
Width Variation (measured - drawn)	0.41	0.08	-0.07	-0.01	-0.40	0.11		microns
Contact Resistance	13.5	130.1	9.5	9.3		0.04		ohms
Gate Oxide Thickness	410							angstroms

CAPACITANCE PARAMETERS

	N+DIFF	P+DIFF	POLY	POLY2	METAL1	METAL2	UNITS
Area (substrate)	125	307	57		27	21	aF/um^2
Area (poly)				504	43	23	aF/um^2
Area (poly2)					43		aF/um^2
Area (metal1)						38	aF/um^2
Area (N+active)			841	669	47	27	aF/um^2
Area (P+active)			836	664			aF/um^2
Fringe (substrate)	548	400					aF/um
Fringe (N+active)			128				aF/um
Fringe (P+active)			145				aF/um

Uproszczony proces projektowania układu scalonego



Koszty produkcji układów [1].

Koszt wstępnego projektu:

- koszt trudny do oszacowania ze względu na wielość wpływających czynników
- koszt bardzo duży rzędu 400 000\$ - 1 000 000\$ a nawet więcej dla układów mocno zaawansowanych,
 - koszt wynagrodzenia projektanta jest tylko nieznaczną kwotą i wynosi ok. 40 000\$ rocznie,
 - pozostałe koszty to: suport techniczny producenta, koszty sprzętu komputerowego i oprogramowania CAD, przygotowanie dokumentacji, przygotowanie procedury testowania, produkcja pilotowa i inne.

Koszty produkcji układów [1] c.d. przykład - technologia CMOS 3um produkcja seryjna.

Typical processing and packaging costs for 12-mask,
3 μ CMOS process (1988) based upon volume production

Processing costs		
	4" process	5" process
Wafer fabrication		
Blank wafer	$x_1 = \$10$	$x_1 = \$15$
Wafer processing	$x_2 = \$140$	$x_2 = \$150$
Wafer probe (per wafer)	$x_3 = \$25$	$x_3 = \$40$
Wafer sawing (per wafer)	$x_4 = \$3$	$x_4 = \$3$
Die attach and		
bonding (per wafer)	$x_5 = \$3$	$x_5 = \$5$
Packaging	x_6 (see below)	x_6 (see below)
Final test (per package)	$x_7 = 30\text{¢}/\text{cm}^2$	$x_7 = 30\text{¢}/\text{cm}^2$
Package costs†		
Plastic DIP	8 pin	\$0.032
Plastic DIP	16 pin	0.048
Plastic DIP	24 pin	0.091
Plastic DIP	64 pin	0.70
Ceramic side brazed	16 pin	1.05
Ceramic side brazed	24 pin	1.50
Ceramic side brazed	64 pin	4.95
Ceramic CERDIP	16 pin	0.096
Ceramic CERDIP	24 pin	0.26
Ceramic CERDIP	40 pin	0.64
Ceramic pin grid array	68 pin	6.40
Ceramic pin grid array	84 pin	7.50
Ceramic pin grid array	132 pin	10.15
Ceramic pin grid array	224 pin	18.00

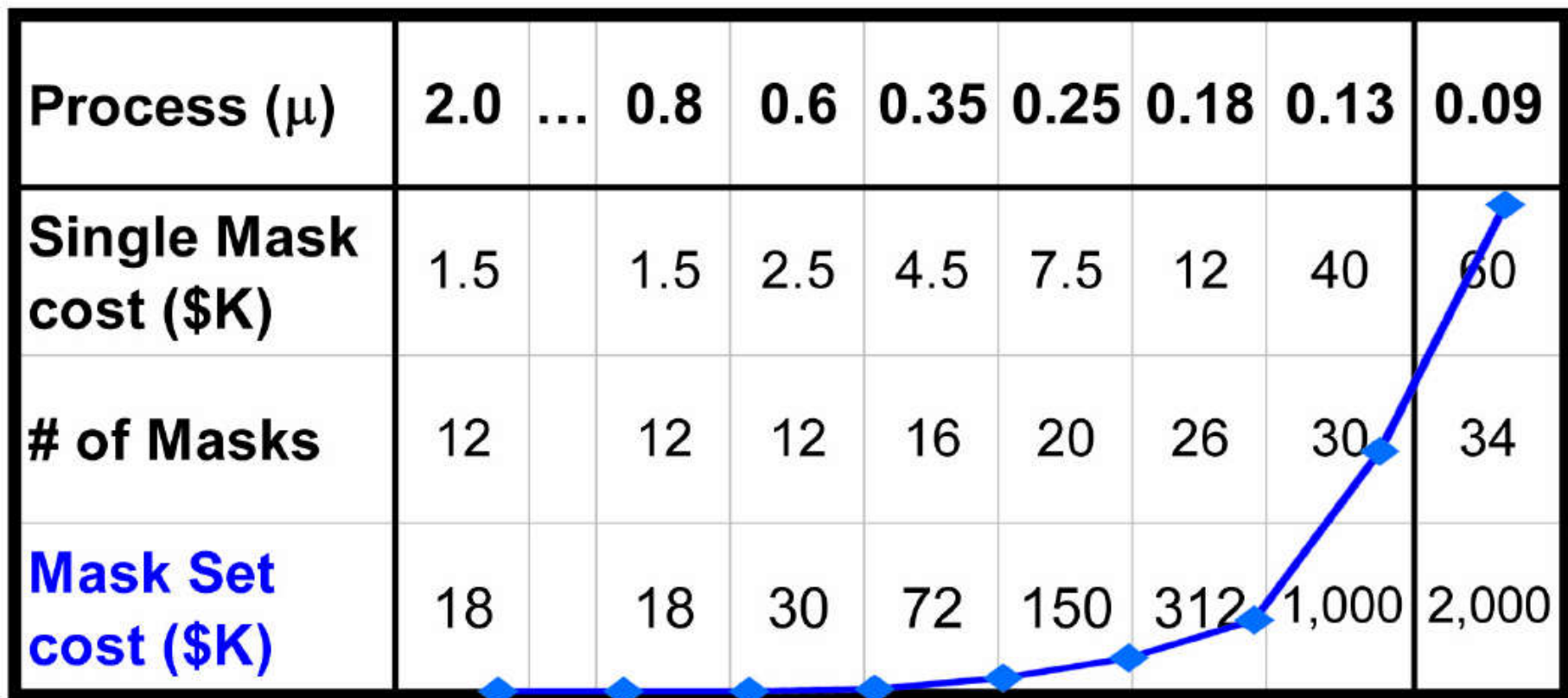
†Packaging cost estimates courtesy Dr. W.E. Loeb of W.E. Loeb and Associates.¹³

Zmiana warfa z 4" na 5" daje
zwiększenie kosztów produkcji
z 183\$ na 208\$ (o 13,6%) przy
zwiększeniu powierzchni o
56,3% !!! Dla większych
wafrów korzyści są bardziej
widoczne.

Koszty produkcji układów scalonych c.d. przykład - technologia CMOS TSMC 0.18um.

Element	Koszt
Jednokrotne komercyjne wykorzystanie pakietu CADENCE w wersji akademickiej	13 000 Euro
Produkcja prototypów (40 szt.) 30mm2 technologia cyfrowa TSMC CL018	56 900 Euro
Pakowanie prototypów (40 szt.)	1 915 Euro
Koszt bibliotek I/O HSTL	47 000 Euro
Koszt układu ASIC przy serii 1 000szt.	159 Euro
Koszt układu ASIC przy serii 10 000szt.	26 Euro
Koszt układu ASIC przy serii 100 000szt.	9,5 Euro

Koszty produkcji układów scalonych [9] c.d.
 przykład – koszty produkcji masek.



Rodzaje uszkodzeń, okno procesu oraz uzysk produkcyjny. [1]

Procentowa zawartość takich chipów, które spełniają wymagania projektowe nazywana jest uzyskiem na poziomie płytki półprzewodnikowej.

W ogólności uzysk spada ze wzrostem powierzchni chipa.

W konsekwencji powierzchnia chipa jest istotna z punktu ekonomii projektu i zgrubne jej oszacowanie jest bardzo ważne w początkowym procesie projektowania.

Uzysk zależy od:

- typu układu,
- metodologii projektowania,
- procesu produkcyjnego,
- topografii układu i innych czynników.

Rodzaje uszkodzeń, okno procesu oraz uzysk produkcyjny c.d. [1]

Czynniki które wpływają na uzysk to:

- cząstki zanieczyszczeń (z definicji są to każde niechciane obce obiekty w ciele stałym, cieczach oraz gazach),
- defekty kryształów,
- defekty masek,
- błędy pozycjonowania,
- błędy ludzkie oraz
- zmiany parametrów procesu.

Przyjmuje się równomierne występowanie powyższych defektów w obrębie płytki półprzewodnikowej.

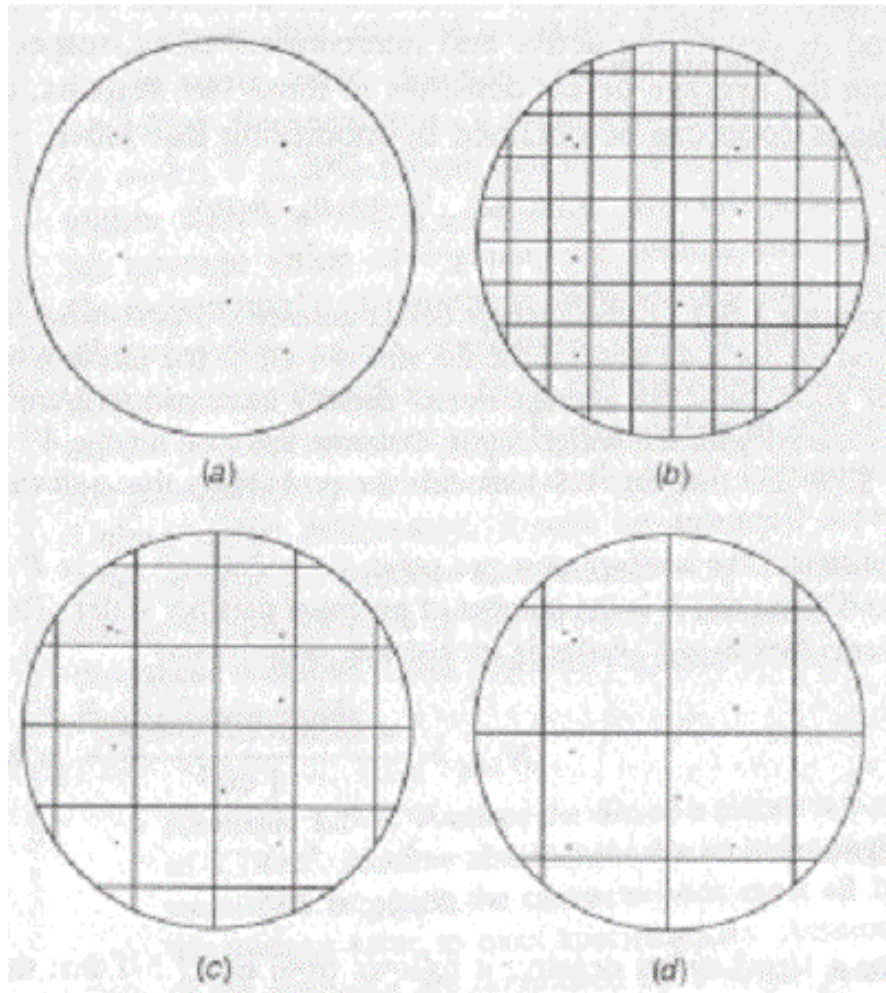
Rodzaje uszkodzeń, okno procesu oraz uzysk produkcyjny c.d. [1]

Podział wad w wyprodukowanym, gotowym układzie scalonym:

- wady z tytułu zmian parametrów elementów (tranzystorów, rezystorów i innych elementów) nazywane są wadami miękkimi.
- wady twarde to całkowita niesprawność tranzystora, przerwa lub zwarcie.

Podczas gdy wady twarde powodują całkowitą niesprawność części lub całego projektu, wady miękkie powodują najczęściej, że układ działa poprawnie, jednakże nie spełnia wszystkich założonych parametrów. Pojedyncza twarda lub miękka wada zazwyczaj powoduje odrzucenie chipa. Większość układów cyfrowych jest tak projektowana, że nie wpływa na nie zmiana parametrów. W związku z tym wady w układach cyfrowych są zazwyczaj spowodowane uszkodzeniami twardymi.

Rodzaje uszkodzeń, okno procesu oraz uzysk produkcyjny c.d.



- (b) 52 chipy – 42 sprawne,
- (c) 12 chipów – 7 sprawnych,
- (d) 4 chipy – 0 sprawnych.

Rys. 4.1. Wpływ defektów na uzysk [1].

2. Rodzaje uszkodzeń, okno procesu oraz uzysk produkcyjny c.d. [1]

Modele uzysku produkcyjnego:

- rozkład Poisson:

$$P = e^{-AD}$$

- z podziałem na obszary aktywne i połączeń:

$$P = e^{-(A_A D_A + A_I D_I)}$$

- model Seeds:

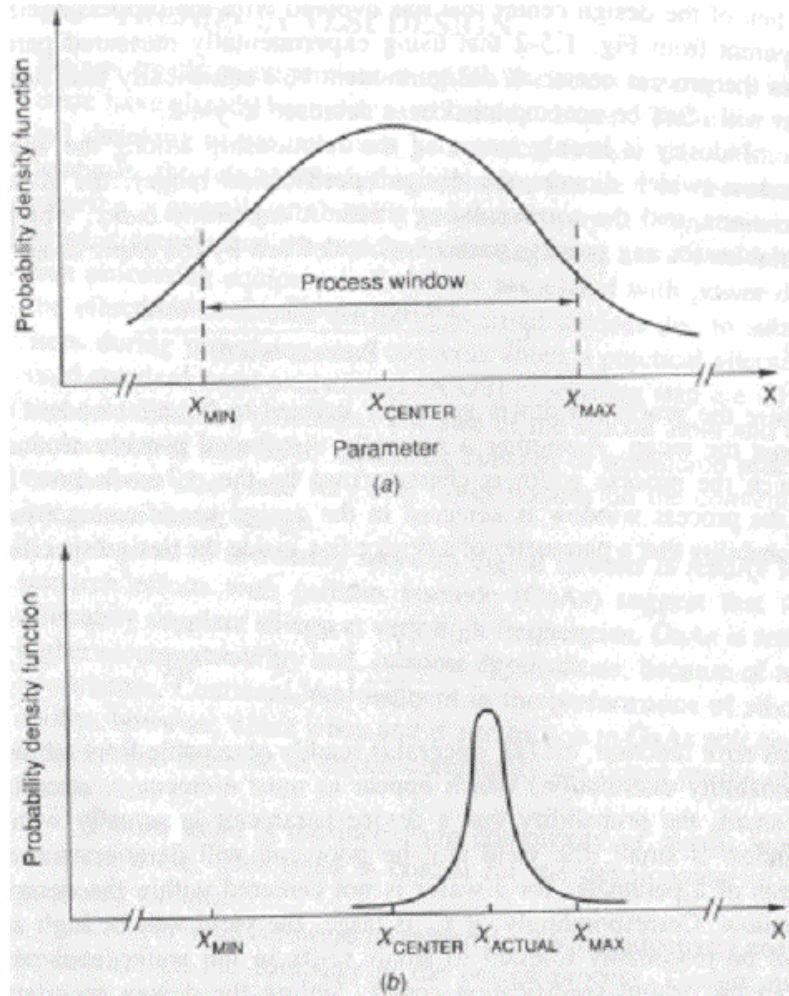
$$P = e^{-\sqrt{AD}}$$

- model Murphy:

$$P = \left(\frac{1 - e^{-AD}}{AD} \right)^2$$

gdzie: P – prawdopodobieństwo, że układ o powierzchni A jest bez wad,
 D – gęstość występowania defektów w układzie scalonym.

Rodzaje uszkodzeń, okno procesu oraz uzysk produkcyjny c.d.



Niestety powszechny jest brak szczegółowych krzywych z rys. 4.2 dla konkretnych procesów. Podawane są natomiast zamiennie dane typu: $V_T=0.5V\pm 20\%$ co oznacza, że wartość napięcia progowego będzie się zazwyczaj znajdowała w zakresie 20% do 0.5V. W rzeczywistości, w zależności od kryteriów akceptowalności dla danego procesu, wartość średnia napięcia progowego będzie w zakresie 20% od 0.5V dla wszystkich zaakceptowanych płytek półprzewodnikowych. Odpowiednio komentarz typu „dopasowanie napięcia progowego wynosi 5mV” oznacza, że zmiany parametru V_T na poziomie płytki wynoszą mniej niż 5mV od zmierzonej wartości średniej. Podczas gdy granice okna technologicznego na poziomie procesu mogą zostać ustalone i nie są przekraczane (poprzez odrzucanie płytek półprzewodnikowych nie mieszczących się w oknie procesu), **zmiany na poziomie płytki są zasadniczo nieograniczone**. Jeśli nie jest zaznaczone to inaczej, będzie to tutaj rozumiane jako okno o szerokości 3 odchyłeń standardowych co odpowiada poziomowi ufności o wartości 99.73%, a kształt rozkładu funkcji gęstości prawdopodobieństwa dla poziomu płytki półprzewodnikowej przyjęto jako rozkład normalny.

Rys. 4.2. Rozrzut statystyczny parametru X na poziomie (a) procesu
(b) pojedynczej płytki półprzewodnikowej. [1]

Rodzaje uszkodzeń, okno procesu oraz uzysk produkcyjny c.d. [1]

Przykład 4.1 Załóżmy, że chip układu ma wymiary 6mm x 6mm a gęstość defektów wynosi 0.7/cm². Załóżmy również, iż chip zawiera część analogową składającą się ze 100 tranzystorów, które muszą pasować do wartości średniej na płycie z dokładnością 0.5% aby cały układ spełniał wymagania projektowe. Załóżmy także, że charakterystyka dopasowania tranzystorów jest zdominowana przez jeden parametr z dewiacją ± 3 odchylenia standardowego o wartości 0.5% od wartości średniej. Należy:

- Używając modelu Seeds należy określić przybliżony uzysk produkcyjny z zaniechaniem defektów miękkich w części analogowej.
- Obliczyć uzysk dla obu rodzaju uszkodzeń.
- Powtórzyć obliczenia z pkt. (b) jeśli wymagane jest dopasowanie o poziomie 0.25%.

Rozwiązanie:

- Używając równania (4.3) uzysk wynosi: $P_H = e^{-\sqrt{AD}} = e^{-\sqrt{6mm*6mm*0.7*10^{-2}/mm^2}} = 0.605 = 60.5\%$

- Prawdopodobieństwo, że chip nie ma wady miękkiej jest równe prawdopodobieństwu, że wszystkie 100 tranzystorów spełnia parametry dotyczące dopasowania. Stąd prawdopodobieństwo braku wad miękkich wynosi: $P_S = 0.9973^{100} = 0.7631 = 76.31\%$

stąd całkowite prawdopodobieństwo braku wad wynosi: $P = P_S P_H = 0.7631 * 0.605 = 0.4617 = 46.17\%$

- Dla dopasowania tranzystorów równego 0,25% wynika z rozkładu normalnego odchylenie od wartości średniej ± 1.5 odchylenia standardowego. Stąd, biorąc z tabel dla rozkładu normalnego prawdopodobieństwo dopasowania dla pojedynczego elementu równe 0.8664. Dlatego dla 100 elementów otrzymujemy następujące wyniki:

$$P_S = 0.8664^{100} = 5.913 * 10^{-5}\% \quad P = P_S P_H = 3,5 * 10^{-5}\%$$

2. Rodzaje uszkodzeń, okno procesu oraz uzysk produkcyjny c.d. [1]

Wskaźnik możliwości procesu:

$$C_p = \frac{\text{Szerokość specyfikacji projektu}}{\text{Szerokość procesu}}$$

gdzie: szerokość procesu jest równa ± 3 standardowe dewiacje (σ) w okolicy wartości średniej.

Zastosowanie wskaźnika możliwości procesu do obliczenia prawdopodobieństwa zachowania parametru wykonanego układu w zakresie projektowanym (przy założeniu wycentrowania rozkładu projektowego i wynikowego):

$$P = \frac{1}{\sqrt{2\pi}} \int_{-3C_p}^{3C_p} e^{-(x^2/2)} dx$$

Wartość $C_p=2$ skutkuje rozsądną wartością wynikowego uzysku dla większości typowych aplikacji. Im większa wartość C_p tym wyższe prawdopodobieństwo P .

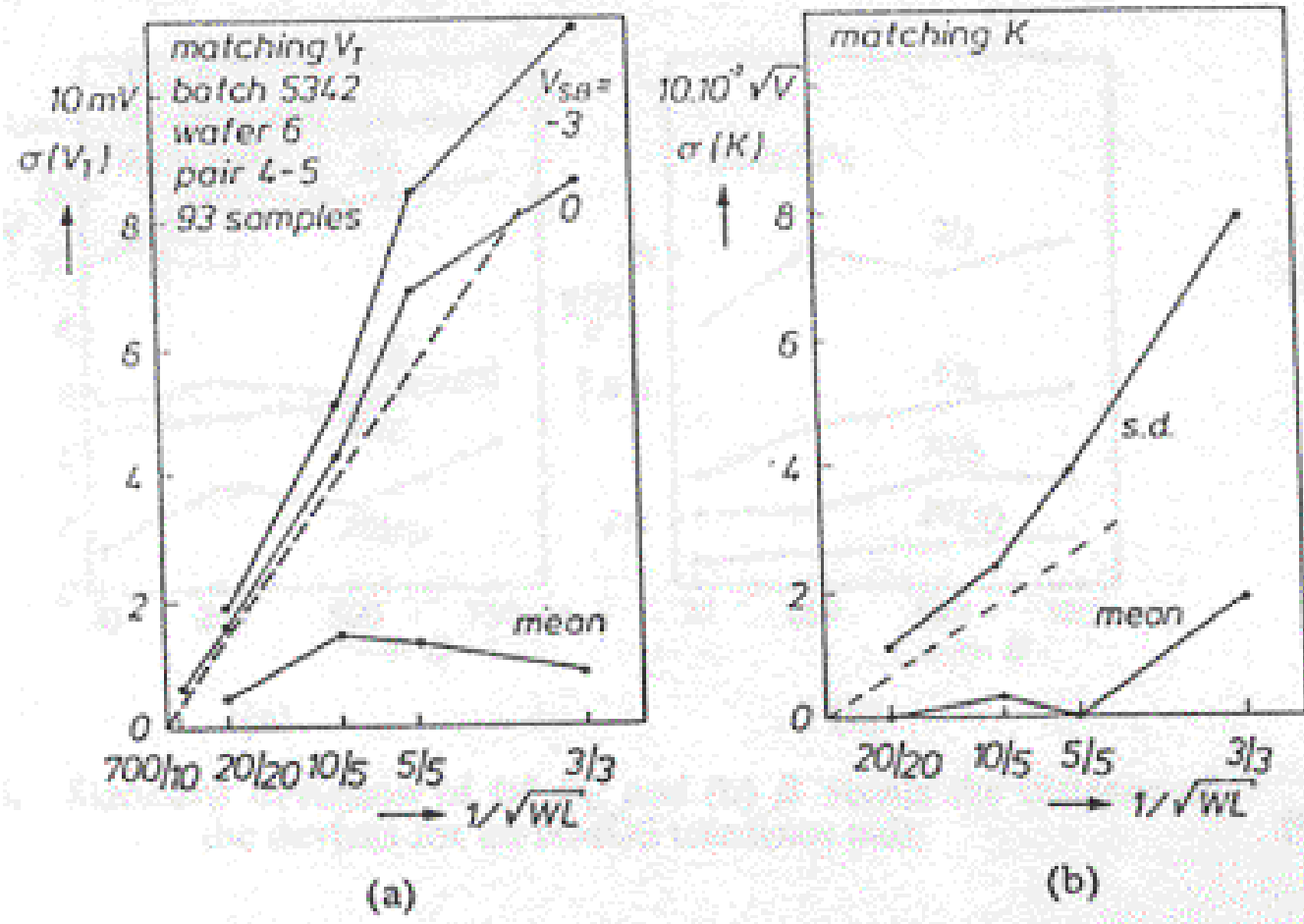
Rodzaje uszkodzeń, okno procesu oraz uzysk produkcyjny c.d. [1]

Przykład 4.2 Jeśli parametr każdego ze 1000 elementów chipa musi leżeć w założonym oknie projektowym, wyznacz uzysk miękkiej dla procesów scharakteryzowanych wskaźnikiem C_p o wartościach kolejno 0.5, 1.0, 1.5 oraz 2.0

Rozwiązanie: Dla $C_p=0.5$ całka z poprzedniego slajdu wynosi $P=0.8664$ a stąd prawdopodobieństwo, że każdy z 1000 elementów jest w założonym zakresie wynosi $0.8664^{1000} \approx 0$. Dla $C_p=1.0$ mamy $P=0.9973$ a $P_{1000}=0.9973^{1000}=0.067=6.7\%$. Dla $C_p=1.5$ otrzymujemy wartości: $P=0.999993$, $P_{1000}=0.999993^{1000}=0.993=99.3\%$. Dla $C_p=2.0$ $P=0.999999998$ oraz $P_{1000}=0.999999993^{1000} \approx 1$ co daje 100% uzysk miękkiej.

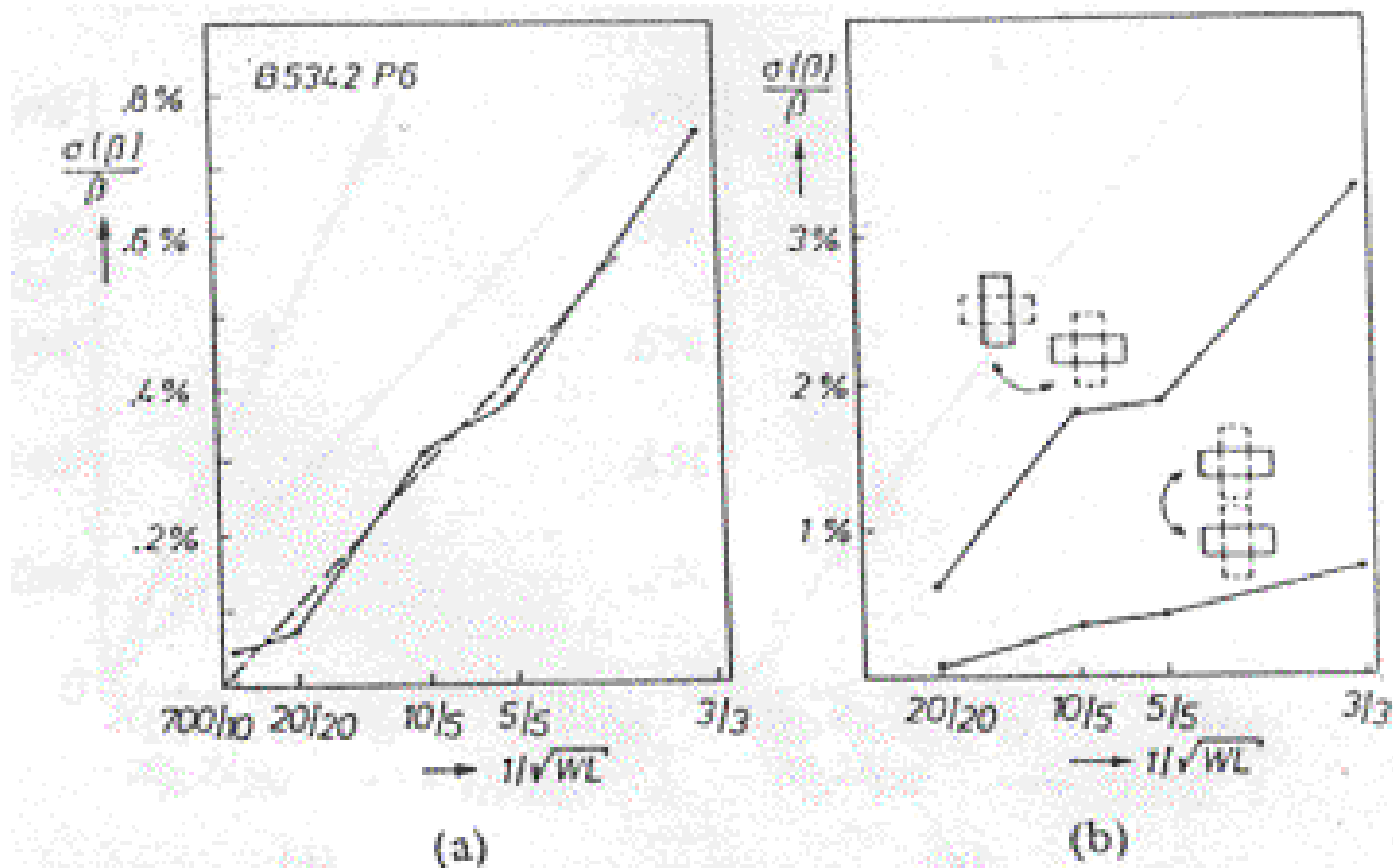
Rozrzuty względne i bezwzględne i ich wpływ na pracę układów scalonych. [5]

Dopasowanie tranzystorów MOS – wyniki pomiarów wg [5].



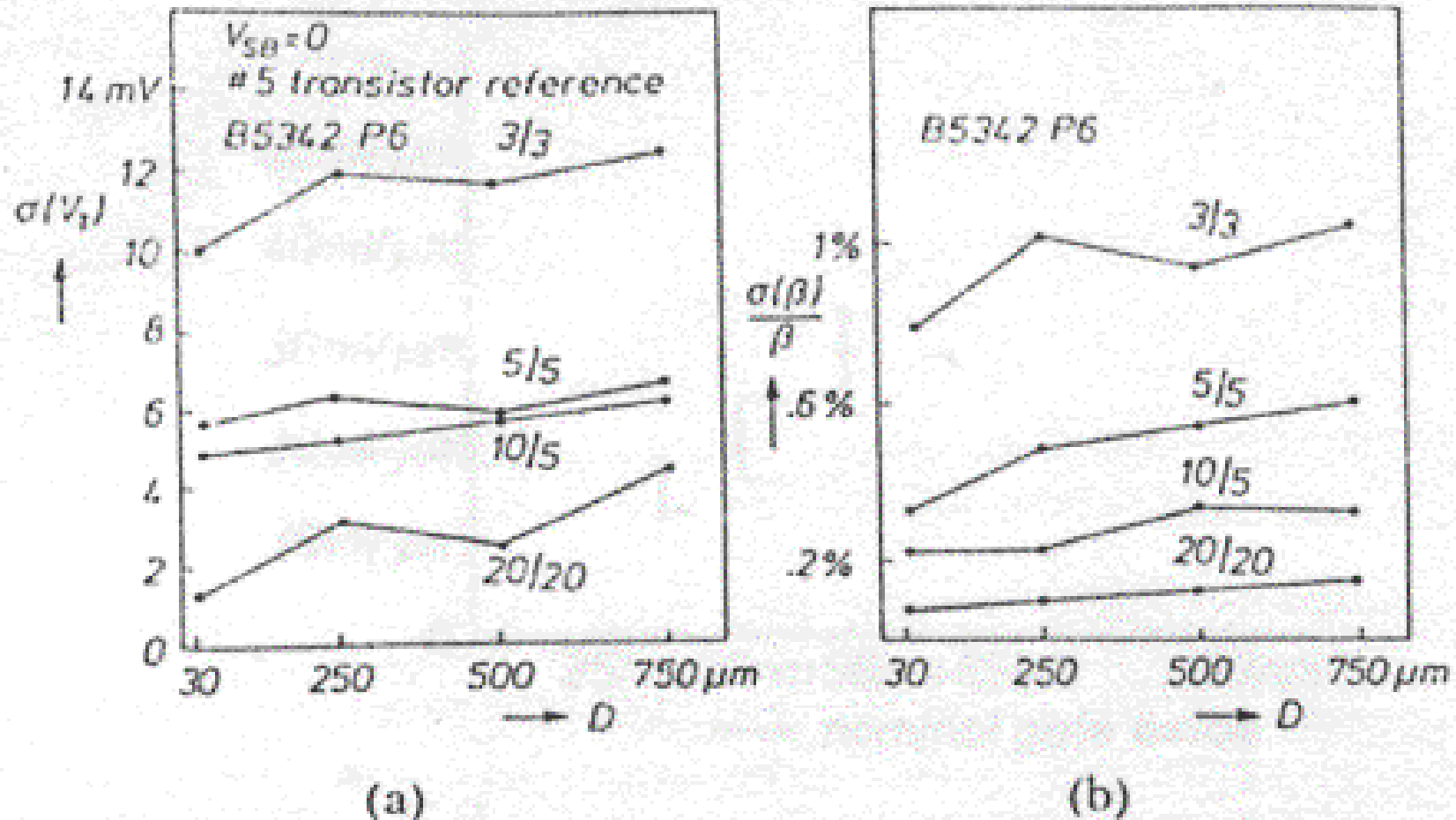
Rys. 5.1. Standardowa dewiacja napięcia progowego V_T (a) oraz współczynnika podłożowego K (b) [5].

Rozrzuty względne i bezwzględne i ich wpływ na pracę układów scalonych c.d. [5]



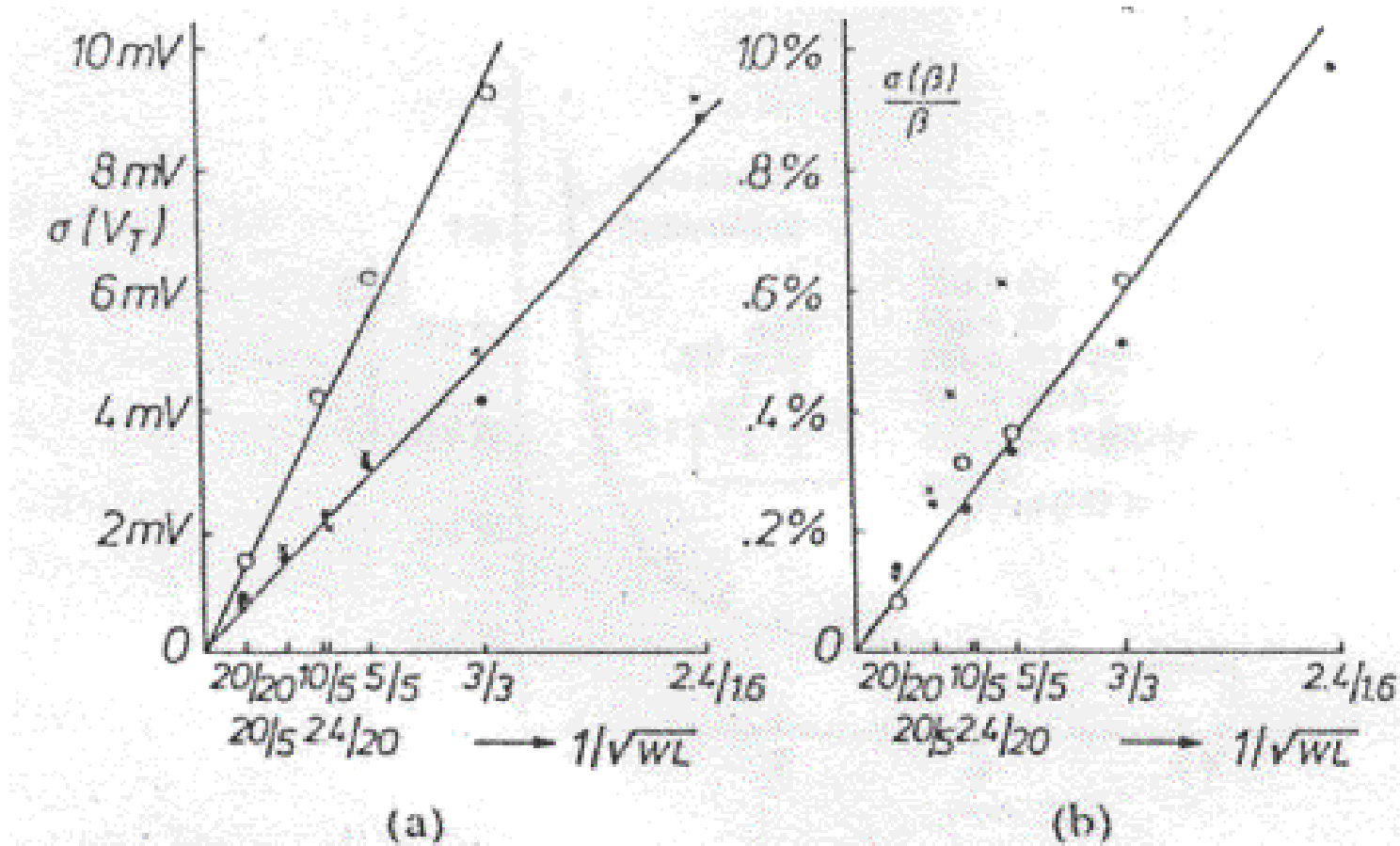
Rys. 5.2. Standardowa dewiacja współczynnika transkonduktancyjnego β (a) w funkcji odwrotności powierzchni tranzystora oraz porównanie standardowej dewiacji współczynnika transkonduktancyjnego β dla elementów umieszczonych równolegle i prostopadle (b) [5]

Rozrzuty względne i bezwzględne i ich wpływ na pracę układów scalonych c.d. [5]



Rys. 5.3. Standardowa dewiacja napięcia progowego V_T (a) oraz współczynnika transkonduktancyjnego β w funkcji odległości elementów. [5]

Rozrzuty względne i bezwzględne i ich wpływ na pracę układów scalonych c.d. [5]



Rys. 5.4. Standardowa dewiacja (a) napięcia progowego oraz (b) współczynnika transkonduktancyjnego w funkcji odwrotności powierzchni pary tranzystorów MOS dla 25nm procesu (kropki) oraz 50nm procesu (okręgi). [5]

Rozrzuty względne i bezwzględne i ich wpływ na pracę układów scalonych c.d. [5]

Dopasowanie wynikowych parametrów elementów zrealizowanych geometrycznie jako prostokąty można zamodelować równaniem [5]:

$$\sigma^2(\Delta P) = \frac{A_p^2}{WL} + S_p^2 D_X^2$$

gdzie: ΔP - rozpatrywany parametr, W , L - wymiary geometryczne rozpatrywanych elementów, σ - odchylenie standardowe, A_p - współczynnik proporcjonalności powierzchniowej, S_p - współczynnik proporcjonalności odległościowej.

parameter	n-channel s.d.	p-channel s.d.	unit
A_{VT0}	30	35	mV μ m
A_β	2.3	3.2	% μ m
A_K	16×10^{-3}	12×10^{-3}	V ^{0.5} μ m
S_{VT0}	4	4	μ V/ μ m
S_β	2	2	10^{-6} / μ m
S_K	4	4	10^{-6} V ^{0.5} / μ m

Tabela 5.1. Zmierzone wartości współczynników dopasowania par MOS w technologii 2.5 μ m [5].

Rozrzuty względne i bezwzględne i ich wpływ na pracę układów scalonych c.d. [5]

Dla czwórki elementów w topografii typu common-centroid wyrażenie powyższe można przybliżyć zależnością [5]:

$$\sigma^2(\Delta P) = \frac{A_P^2}{WL} + S_p^2 D_X^2 \frac{D_Y^2}{\text{średnica wafr}^2}$$

Dopasowanie pary tranzystorów MOS zasilanych wspólnym napięciem może zostać oszacowane na podstawie wyrażenia:

$$\frac{\sigma^2(I_D)}{I_D^2} = \frac{4\sigma^2(V_{T0})}{(V_{GS} - V_{T0})^2} + \frac{\sigma^2(\beta)}{\beta^2}$$

Zadanie do domu:
dlaczego z wzoru
wynika zależność ?

Model tranzystora MOS opisany jest poniższymi równaniami:

$$I_D = \beta \left[\frac{(V_{GS} - V_T - V_{DS}/2)}{1 + \theta(V_{GS} - V_T)} \right]$$

Prąd w zakresie omowym

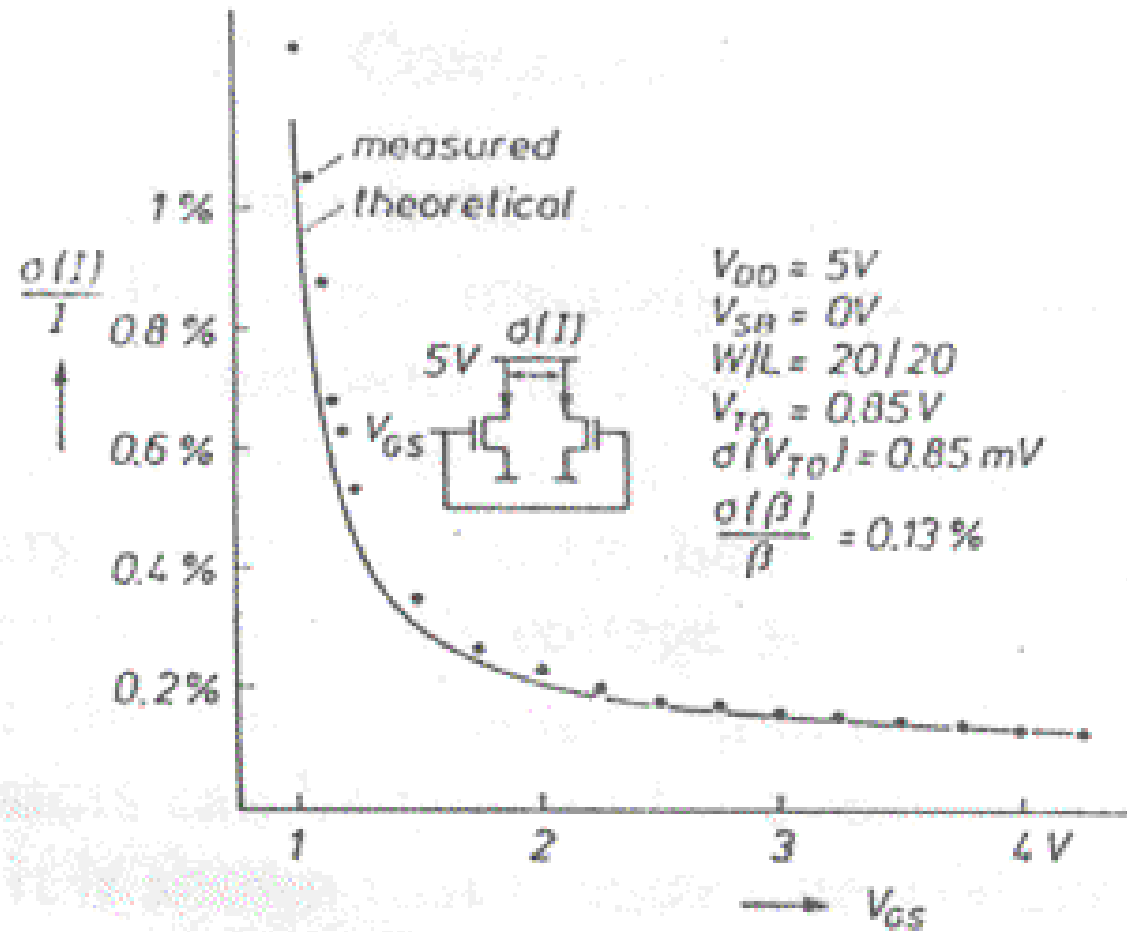
$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2$$

Prąd drenu w zakresie nasycenia

$$V_T = V_{T0} + K(\sqrt{|V_{SB}| + 2\phi_F} - \sqrt{2\phi_F})$$

$$\beta = C_{ox} \mu W / L$$

Rozrzuty względne i bezwzględne i ich wpływ na pracę układów scalonych c.d. [5]



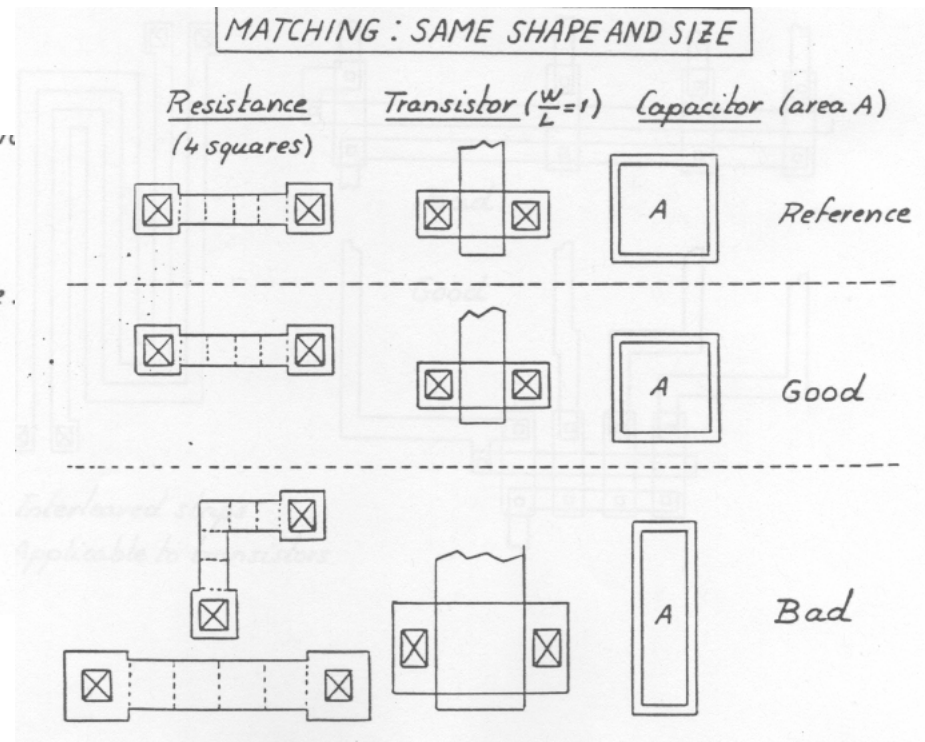
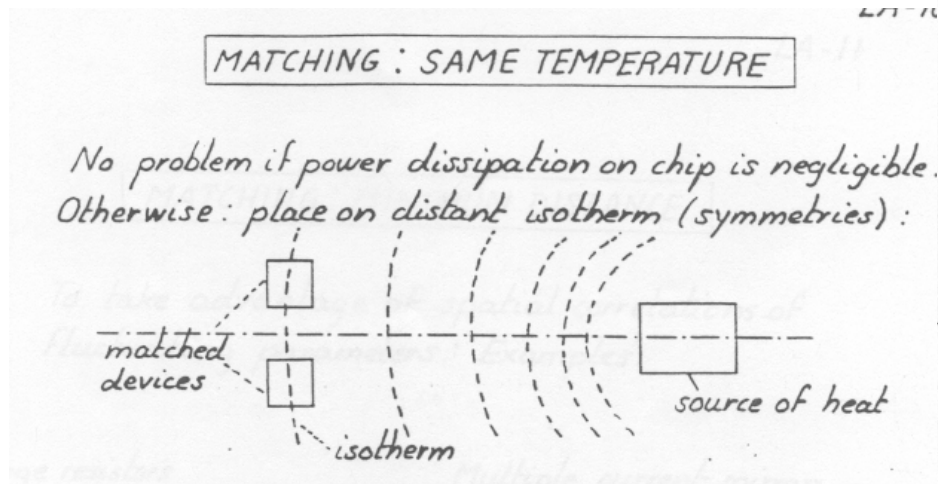
Rys. 5.5 Standardowa dewiacja prądu drenów pary MOS. Kropki oznaczają wartości zmierzone, linia ciągła wyznaczona została wzorem (5.3) [5].

Rozrzuty względne i bezwzględne i ich wpływ na pracę układów scalonych c.d.

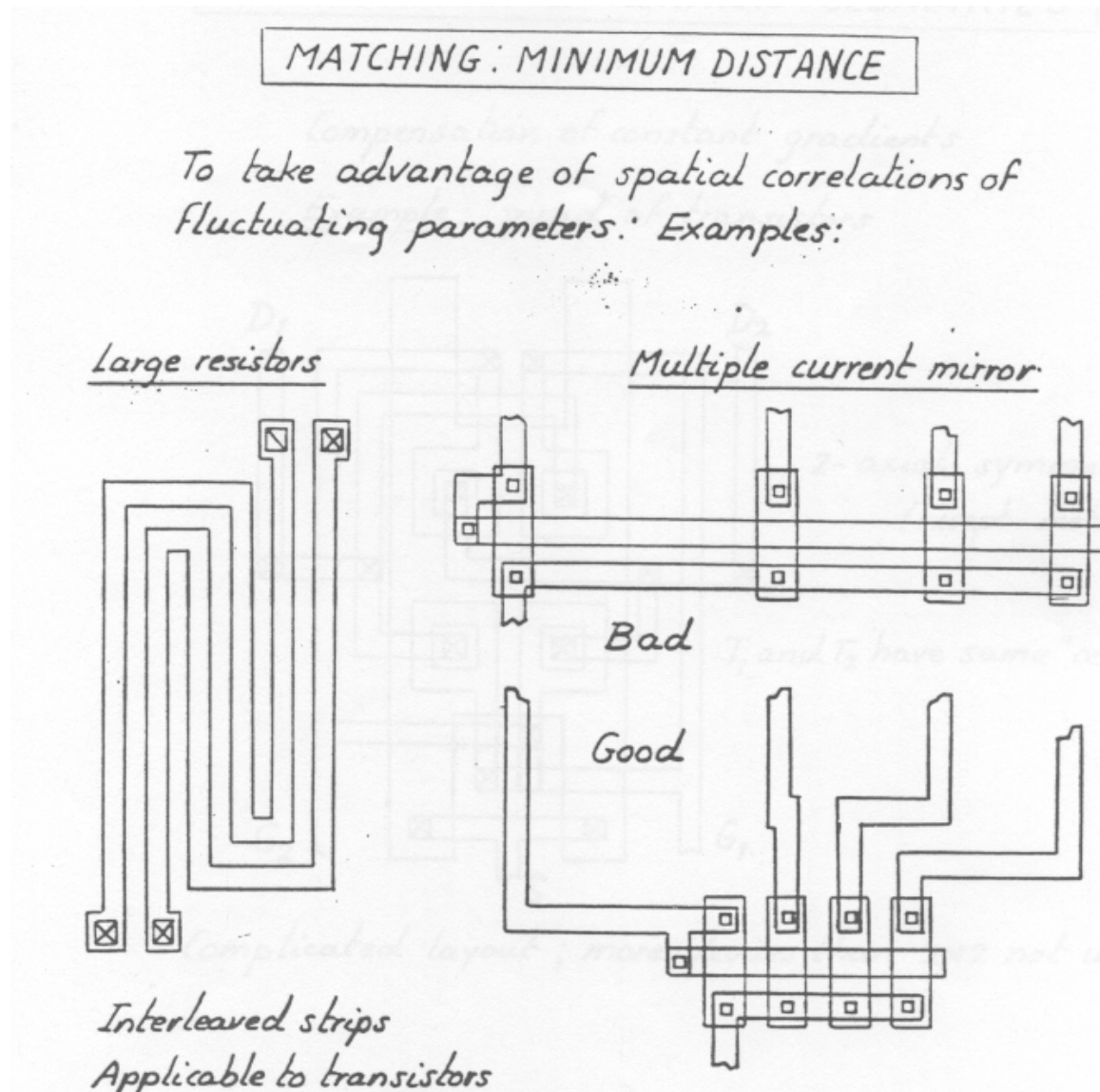
Zasady poprawy dopasowania elementów:

- stosowanie możliwie największych elementów,
- stosowanie identycznych kształtów i wymiarów elementów,
- taka sama temperatura elementów,
- umieszczanie elementów blisko siebie,
- rozdział elementów na mniejsze połączone szeregowo/równolegle i przemieszane między sobą,
- ustawianie elementów w tej samej orientacji geometrycznej,
- stosowanie możliwie największych napięć V_{GS} ,
- stosowanie topografii typu common-centroid,
- stosowanie struktur pustych (ang. dummy).

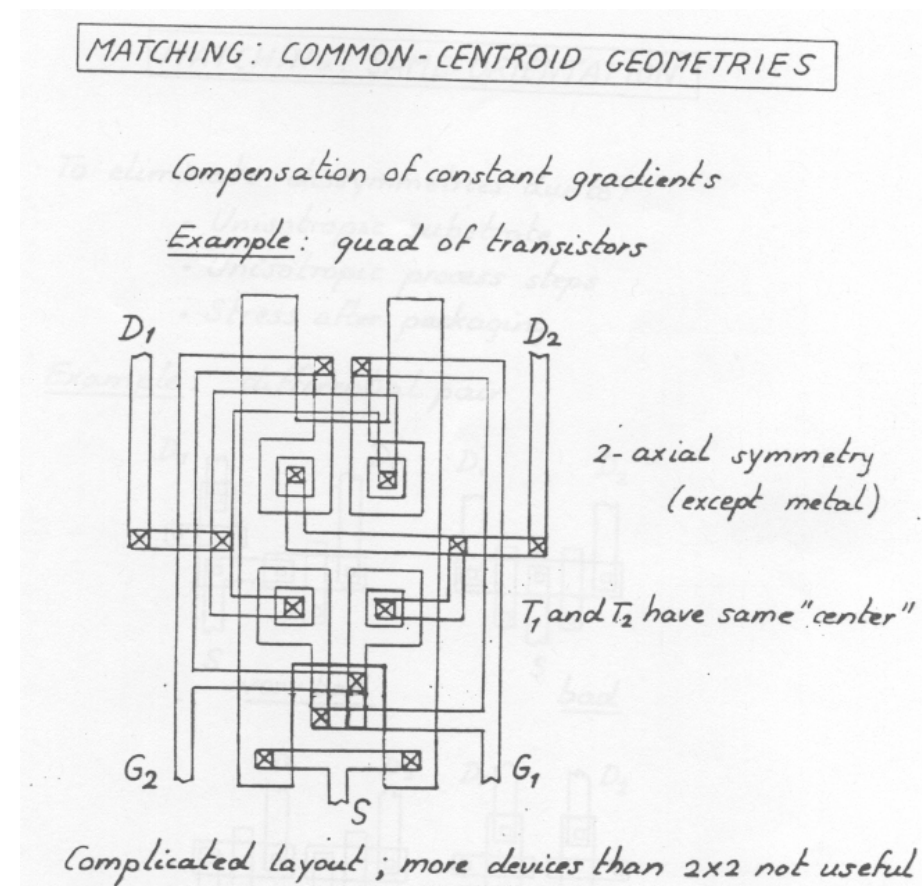
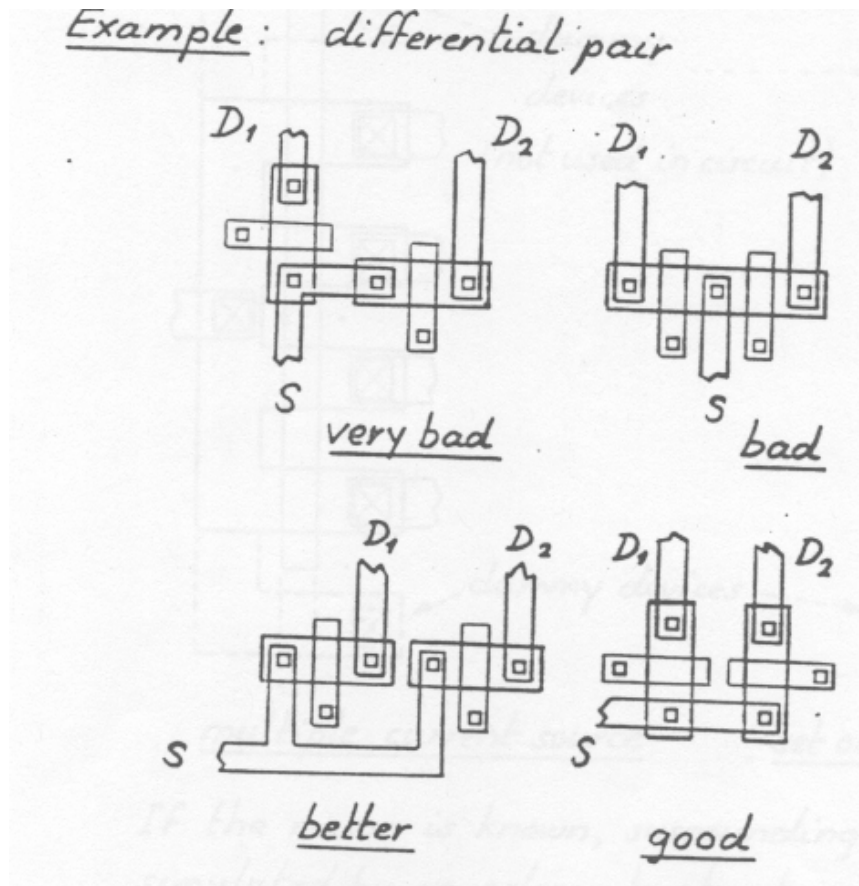
Rozrzuty względne i bezwzględne i ich wpływ na pracę układów scalonych c.d. [8]



Rozrzuty względne i bezwzględne i ich wpływ na pracę układów scalonych c.d. [8]

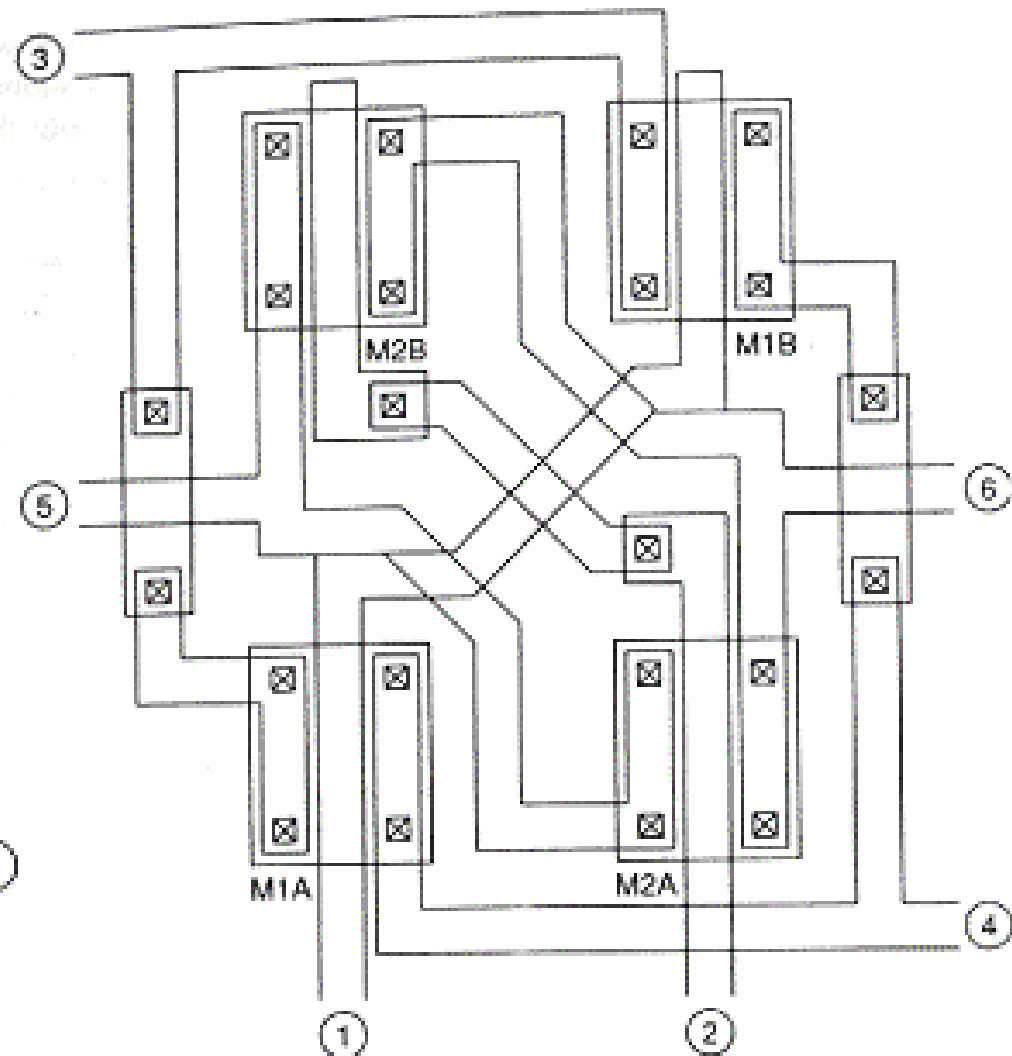
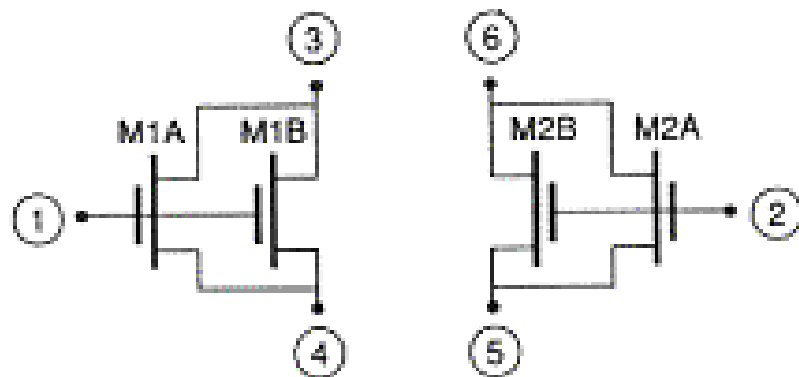


Rozrzuty względne i bezwzględne i ich wpływ na pracę układów scalonych c.d. [8]

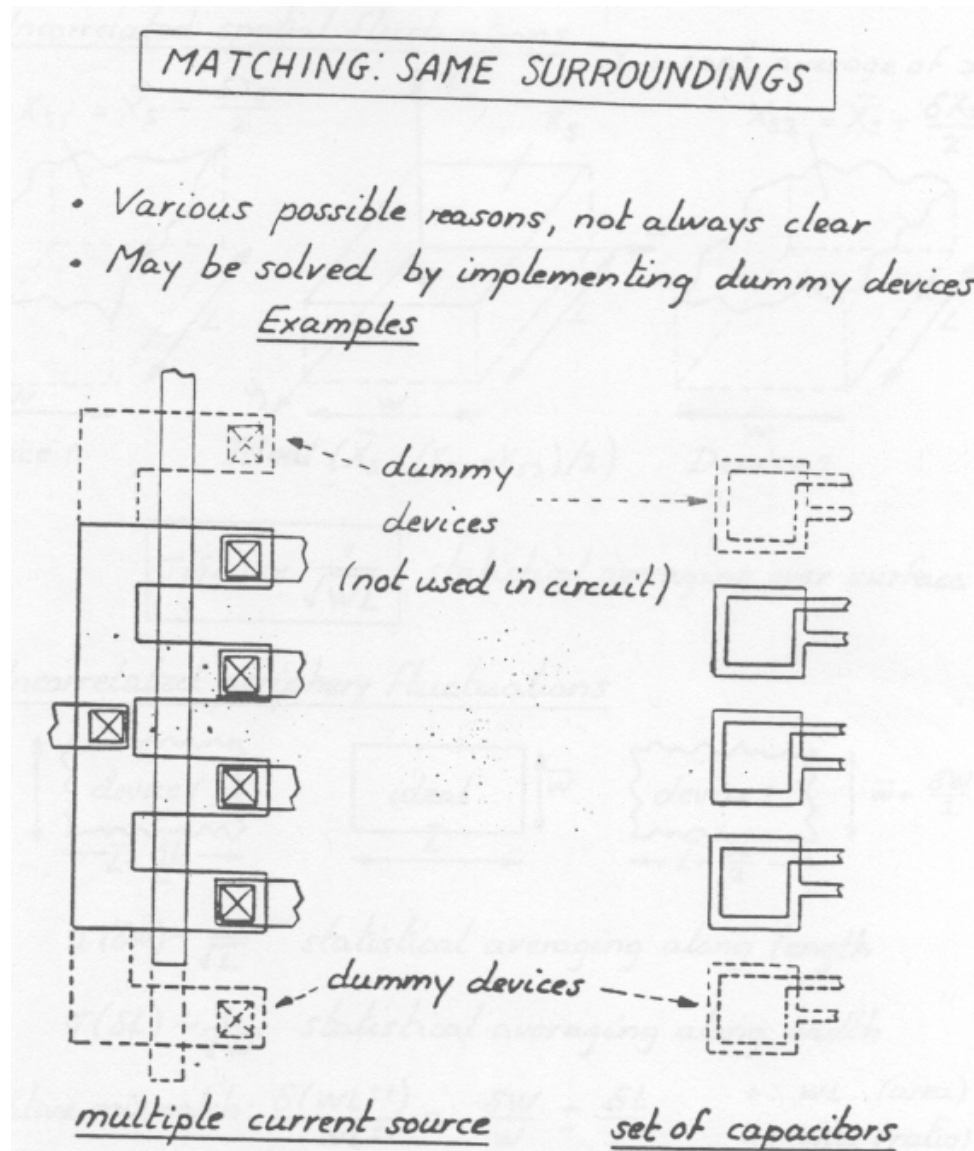


3. Rozrzuty względne i bezwzględne i ich wpływ na pracę układów ASIC c.d. [8]

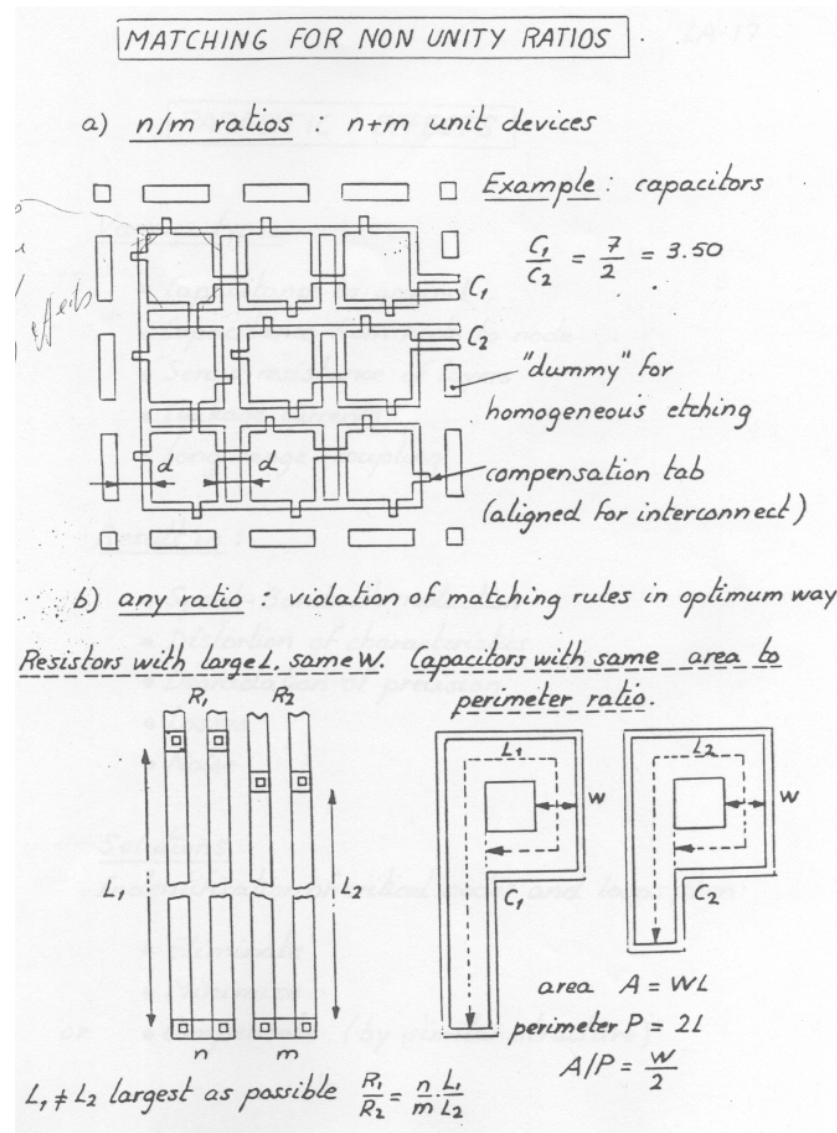
Topografia common - centroid



Rozrzuty względne i bezwzględne i ich wpływ na pracę układów scalonych c.d. [8]



Rozrzuty względne i bezwzględne i ich wpływ na pracę układów scalonych c.d. [8]

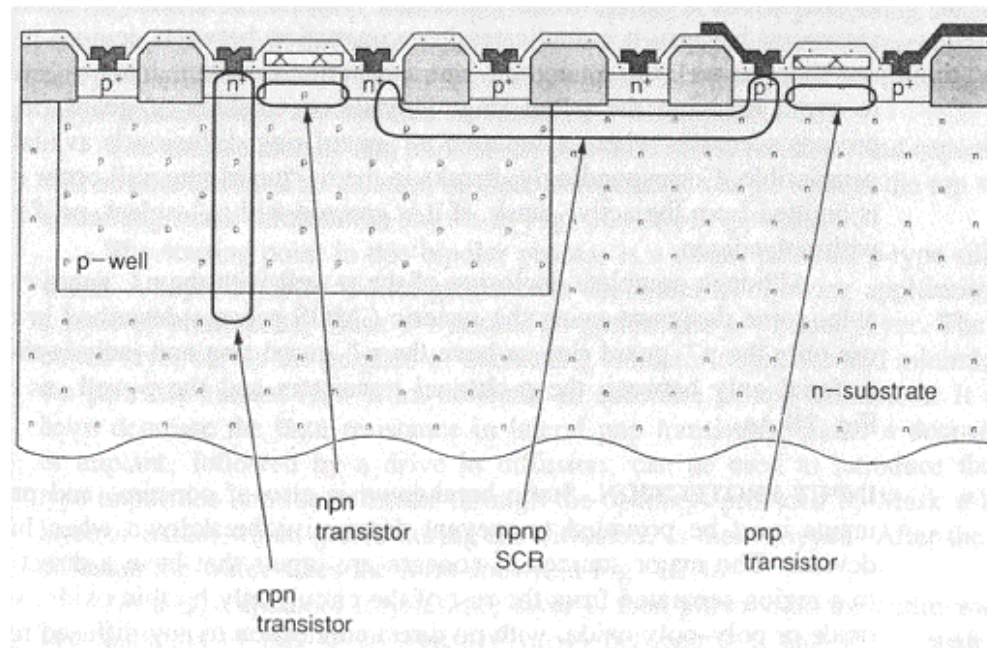


Zjawiska pasożytnicze: elektromigracja i zatraskiwanie układów CMOS.

Elektromigracja jest to zjawisko ruchu atomów metalu pod wpływem przepływającego prądu i można porównać do erozji. Jeśli zjawisko jest dostatecznie silne doprowadza do przerw w obwodach elektrycznych. Migracja materiału jest nieistotna jeśli zapewni się nie przekraczanie pewnej progowej wartości gęstości prądu. Dla glinu wartość ta wynosi około $1\text{mA}/\mu\text{m}^2$. Dla innych materiałów jest w zakresie $0.05\text{mA}/\mu\text{m}^2$ - $2\text{mA}/\mu\text{m}^2$.

Zatrząskiwanie się układów CMOS. Efekt zatrząskiwania się układu występuje dla technologii CMOS. W układach CMOS można znaleźć przekrój, w którym wyróżnić można strukturę złożoną z warstw n-p-n-p półprzewodników, jak np. na rysunku poniżej. Struktura taka stanowi tyrystor (ang. SCR Silicon Controllable Rectifier), który przechodzi do ciągłego stanu przewodzenia jeśli został on wywołany sygnałem bramki a wyłączenie jest możliwe poprzez zdjęcie sygnału bramki i jednocześnie przerwanie przepływu prądu.

Aby uniknąć należy przestrzegać reguł projektowych w szczególności dotyczących polaryzacji podłoża i wysp.

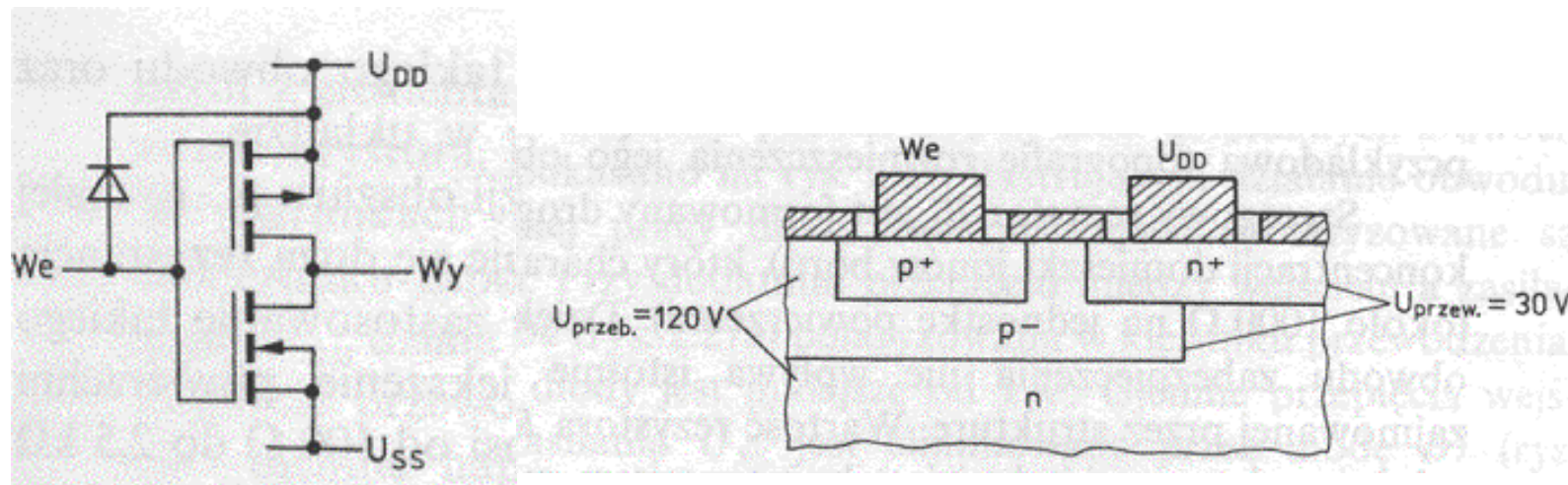


Rys. 4.1. Elementy pasożnicze w procesie CMOS z wyspą typu P [1].

Analogowe układy wejścia-wyjścia.

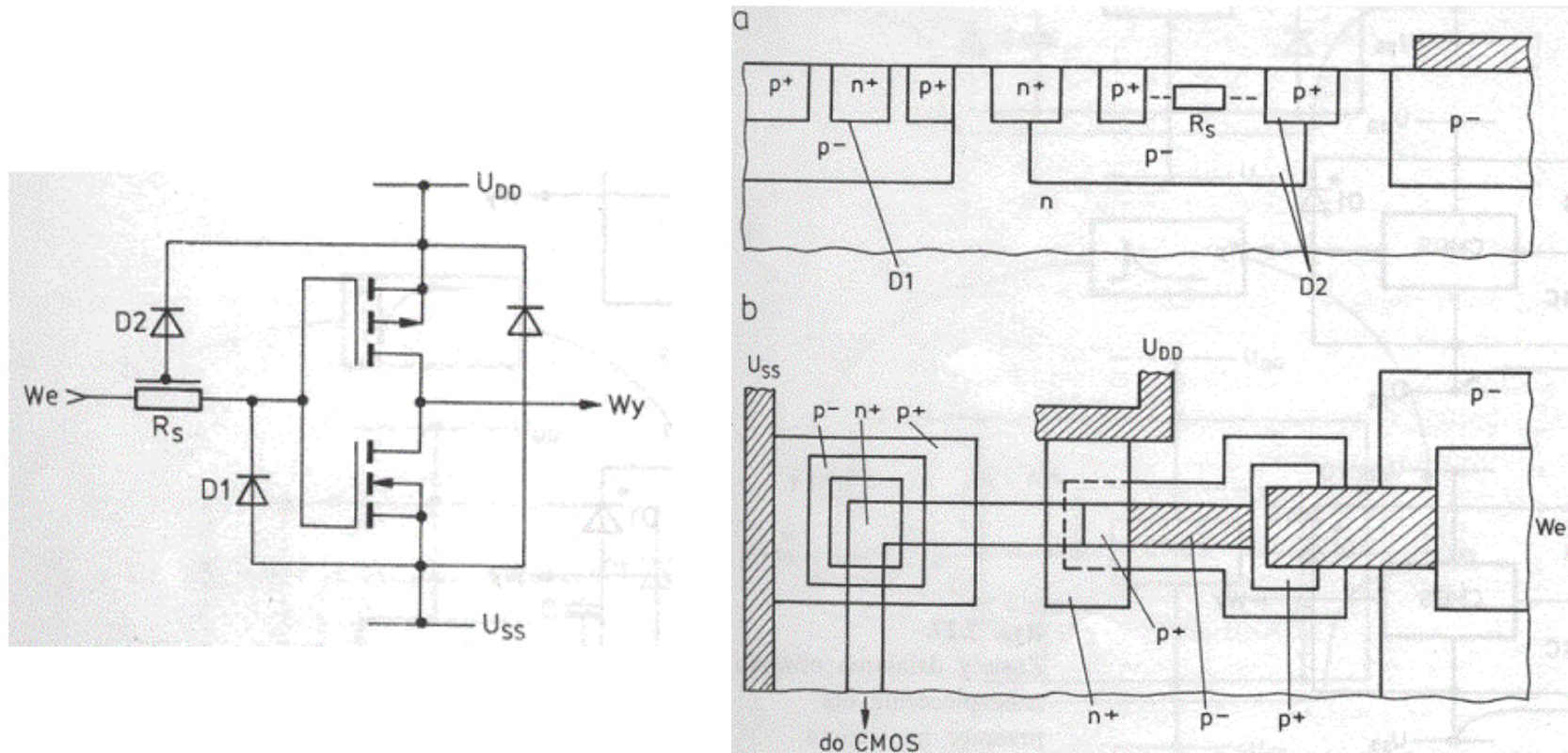
Zabezpieczenie wyprowadzeń układów przed wyładowaniami elektrostatycznymi (ang. ESD – Electro Static Discharge).

Głównymi miejscami uszkodzeń spowodowanymi ładunkami elektrostatycznymi są wyprowadzenia przyłączone wyłącznie do regionu bez połączenia z dyfuzją a oddzielone od pozostałej struktury cienkim tlenkiem (np. bramki tranzystorów MOS okładki kondensatorów POLY I / POLY II). Uszkodzenie układu następuje poprzez przebicie cienkiego dielektryka oddzielającego narażone wejście od reszty układu.



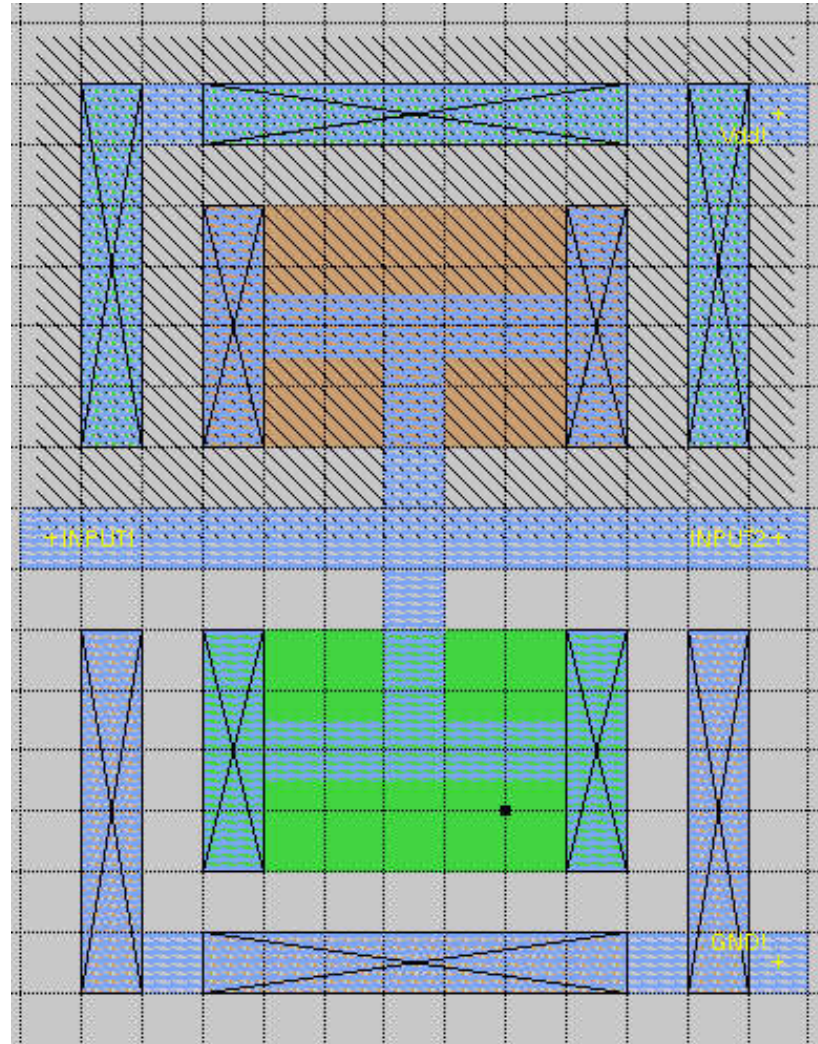
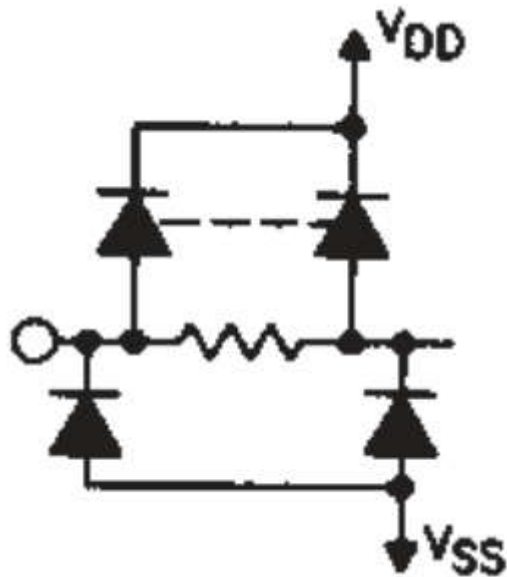
Rys. 7.1. Jednodiodowy obwód zabezpieczenia wejścia układu CMOS w raz z jego topografią [4].

Zabezpieczenie wyprowadzeń układów przed wyładowaniami elektrostatycznymi.

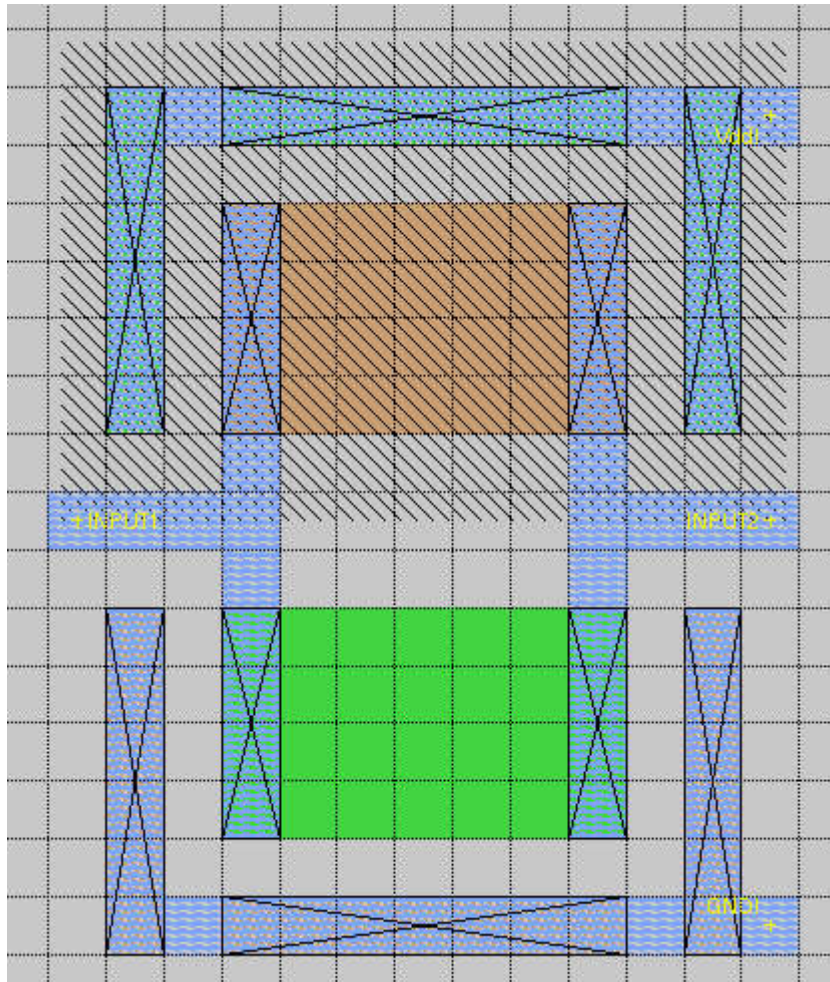


Rys. 7.2. Schemat elektryczny dwudiodowego zabezpieczenia wejścia układu scalonego CMOS (po lewej) oraz jego topografia (po prawej) [4].

Blok zabezpieczenia ESD – przykład dla programu Magic



Blok zabezpieczenia ESD – przykład 2 dla programu Magic



Rezystancje dla technologii AMI C5

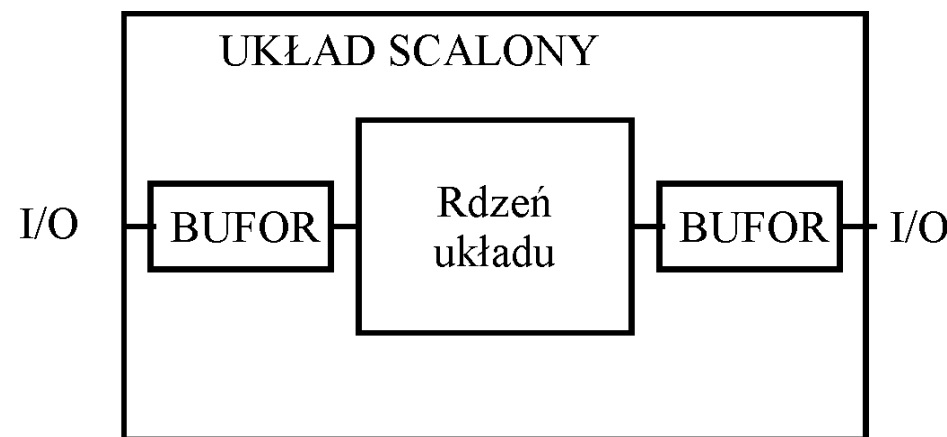
Layer	Sheet resistance per square
nwell	819
poly	25
elec (poly2)	26
metal1	0.090000
metal3	0.050000
metal2	0.090000
highres	1192

Analogowe układy wejścia-wyjścia.

Wzmacniacze buforujące.

Założmy, że rozpatrujemy bloki wejścia-wyjścia układu analogowego. W zależności od funkcji wyprowadzenia muszą one spełniać różne funkcje:

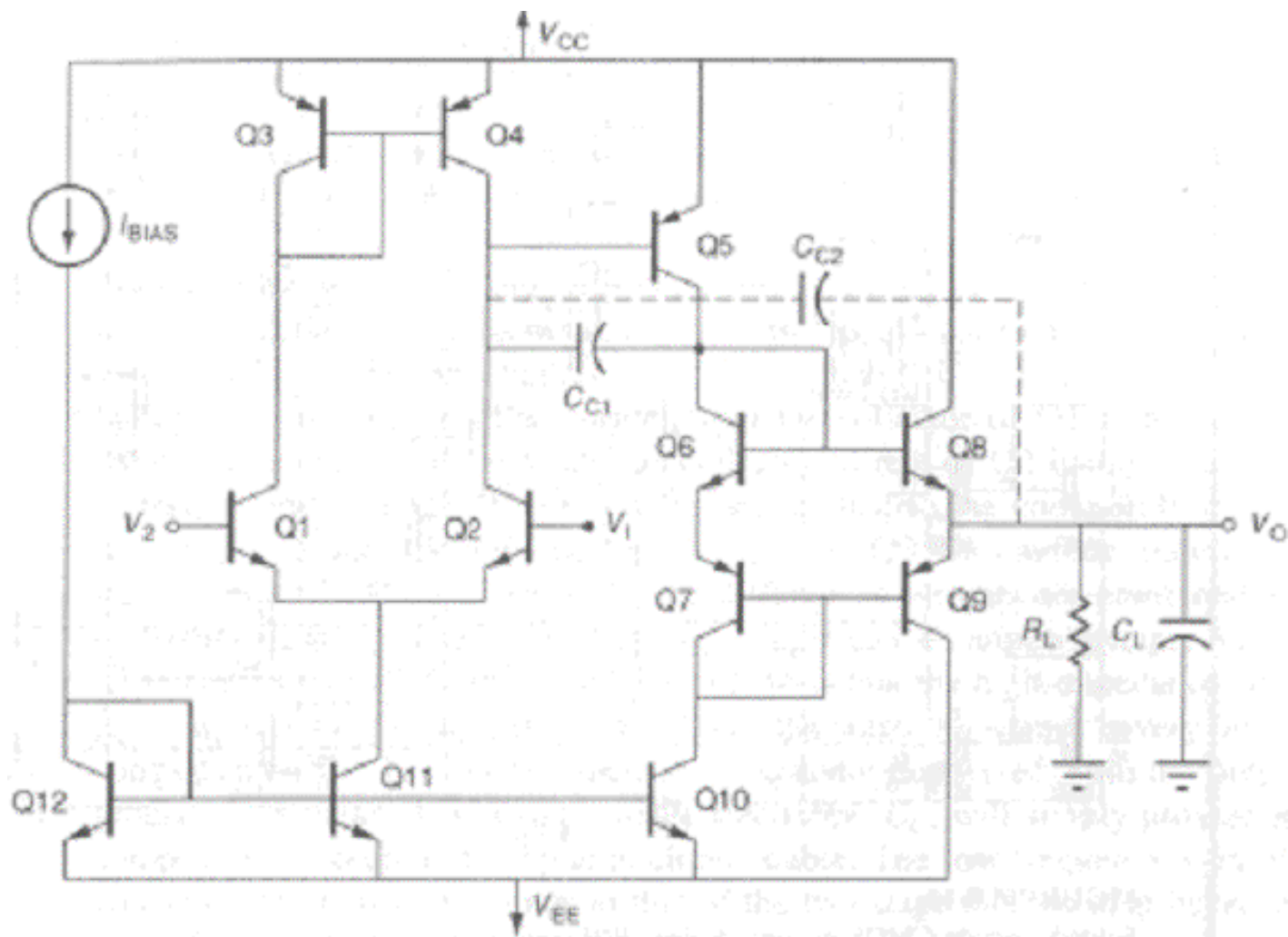
- wyprowadzenie wejściowe: funkcja dopasowania impedancji oraz poziomu sygnału, zabezpieczenie przed ESD,
- wyprowadzenie wyjściowe: funkcja wytworzenia sygnału o odpowiedniej wartości, dopasowanie poziomu sygnału,
- wyprowadzenie polaryzujące: zabezpieczenie ESD, ewentualnie przesunięcie poziomów.



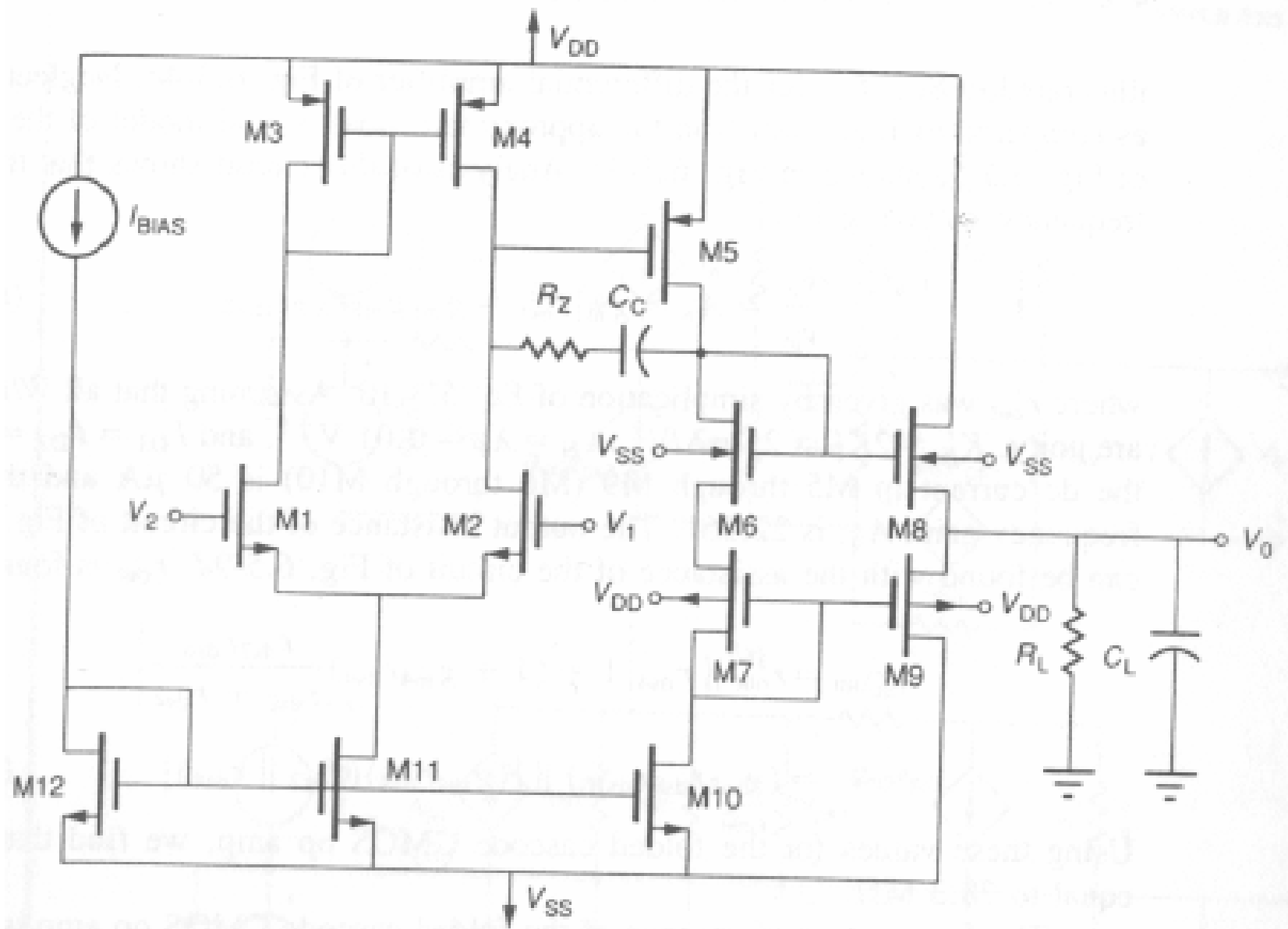
Rys. 7.3. Bloki wejścia-wyjścia w układzie scalonym.

Możliwe układy we-wy analogowego to konfiguracje CC, CD i układy ze wzmacniaczem operacyjnym. Parametry WO na jakie należy zwrócić szczególną uwagę przy wyborze jako bufora wyjściowego to:

- wydajność wyjściowa,
- rezystancja wyjściowa i wejściowa,
- pasmo,
- SR,
- zakres napięć wejściowych i wyjściowych,
- napięcie niezrównoważenia,
- wartość napięcia zasilającego,
- CMRR, PSRR
- pobór mocy,
- szумы,
- zajmowana powierzchnia.



Rys. 5.5. Bipolarny, 3-stopniowy wzmacniacz operacyjny z komplementarnym stopniem wyjściowym [1].



Rys. 5.6. Trzystopniowy wzmacniacz operacyjny CMOS z komplementarnym stopniem wyjściowym [2].

Tranzystor MOS – parametry użytego na zajęciach modelu

Podstawowe równania dla tranzystora MOS z kanałem typu n:

$$V_{TN} = V_{T0N} + \gamma_N (\sqrt{\phi - v_{BS}} - \sqrt{\phi}) \quad K' = \mu_n C_{OX}$$

prąd drenu w obszarze omowym:

$$i_D = \frac{K'W}{L} (v_{GS} - V_{TN} - v_{DS}/2) v_{DS}$$

prąd drenu w obszarze nasycenia:

$$i_D = \frac{K'W}{2L} (v_{GS} - V_{TN})^2 (1 + \lambda_n v_{DS}) = K (v_{GS} - V_{TN})^2 (1 + \lambda_n v_{DS})$$

$$\text{gdzie: } K = \frac{K'W}{2L} = \frac{1}{2} \mu_n C_{OX} \frac{W}{L}$$

Dla dla tranzystora MOS z kanałem typu p:

$$V_{TP} = V_{T0P} - \gamma_P (\sqrt{\phi - v_{SB}} - \sqrt{\phi}) \quad K' = \mu_P C_{OX}$$

$$i_D = -\frac{K'W}{L} (v_{GS} - V_{TP} - v_{DS}/2) v_{DS}$$

$$i_D = -\frac{K'W}{2L} (v_{GS} - V_{TP})^2 (1 + \lambda_P v_{DS}) = -K (v_{GS} - V_{TP})^2 (1 + \lambda_P v_{SD})$$

$$\text{gdzie: } K = \frac{K'W}{2L} = \frac{1}{2} \mu_P C_{OX} \frac{W}{L}$$

gdzie: V_{TN} , V_{TP} lub V_T jeśli nie trzeba rozróżniać typu tranzystora: napięcie progowe [V],

V_{T0} – napięcie progowe przy zerowym napięciu podłoża-źródło, t.j. dla $V_{BS}=0$ [V],

γ - współczynnik podłożowy $\sqrt{V}$],

ϕ - potencjał powierzchniowy (około 0.7V),

μ - ruchliwość nośników w kanale [$m^2/(sec V)$],

C_{OX} – gęstość powierzchniowa pojemności bramki [F/m^2],

λ - współczynnik modulacji długości kanału [$1/V$],

W, L – odpowiednio szerokość i długość obszaru kanału [m].

Sposób oznaczeń napięć i prądów stosowany na wykładzie

Mała litera + duży indeks – wartość chwilowa, np.: v_{IN} , i_{OUT}

Duża litera + duży indeks – składowa stała, np.: V_{IN} , I_{OUT}

Mała litera + mały indeks – składowa zmienna, np.: v_{in} , i_{out}

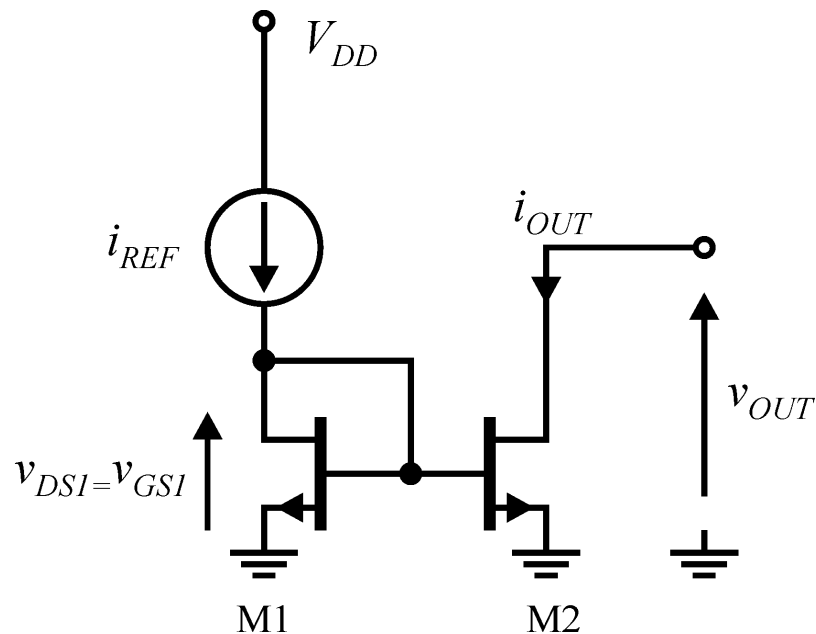
WARTOŚĆ CHWILOWA = SKŁADOWA STAŁA + SKŁADOWA ZMIENNA,

np.:

$$v_{IN} = V_{IN} + v_{in}$$

$$i_{OUT} = I_{OUT} + i_{out}$$

Wybrane bloki analogowe – lustro prądowe



Prąd wyjściowy można wyznaczyć z porównania napięć bramka-źródło:

$$v_{GS1} = v_{GS2} \Rightarrow \sqrt{\frac{i_{REF}}{K_1} \frac{1}{1 + \lambda v_{DS1}}} + V_T = \sqrt{\frac{i_{OUT}}{K_2} \frac{1}{1 + \lambda v_{OUT}}} + V_T$$

$$\Rightarrow \frac{i_{OUT}}{i_{REF}} = \frac{K_2}{K_1} \frac{1 + \lambda v_{OUT}}{1 + \lambda v_{DS1}} \quad \text{gdzie: } v_{DS1} = v_{GS1} \approx \sqrt{\frac{i_{REF}}{K_1}} + V_T$$

Małosygnałowa rezystancja wyjściowa jest równa:

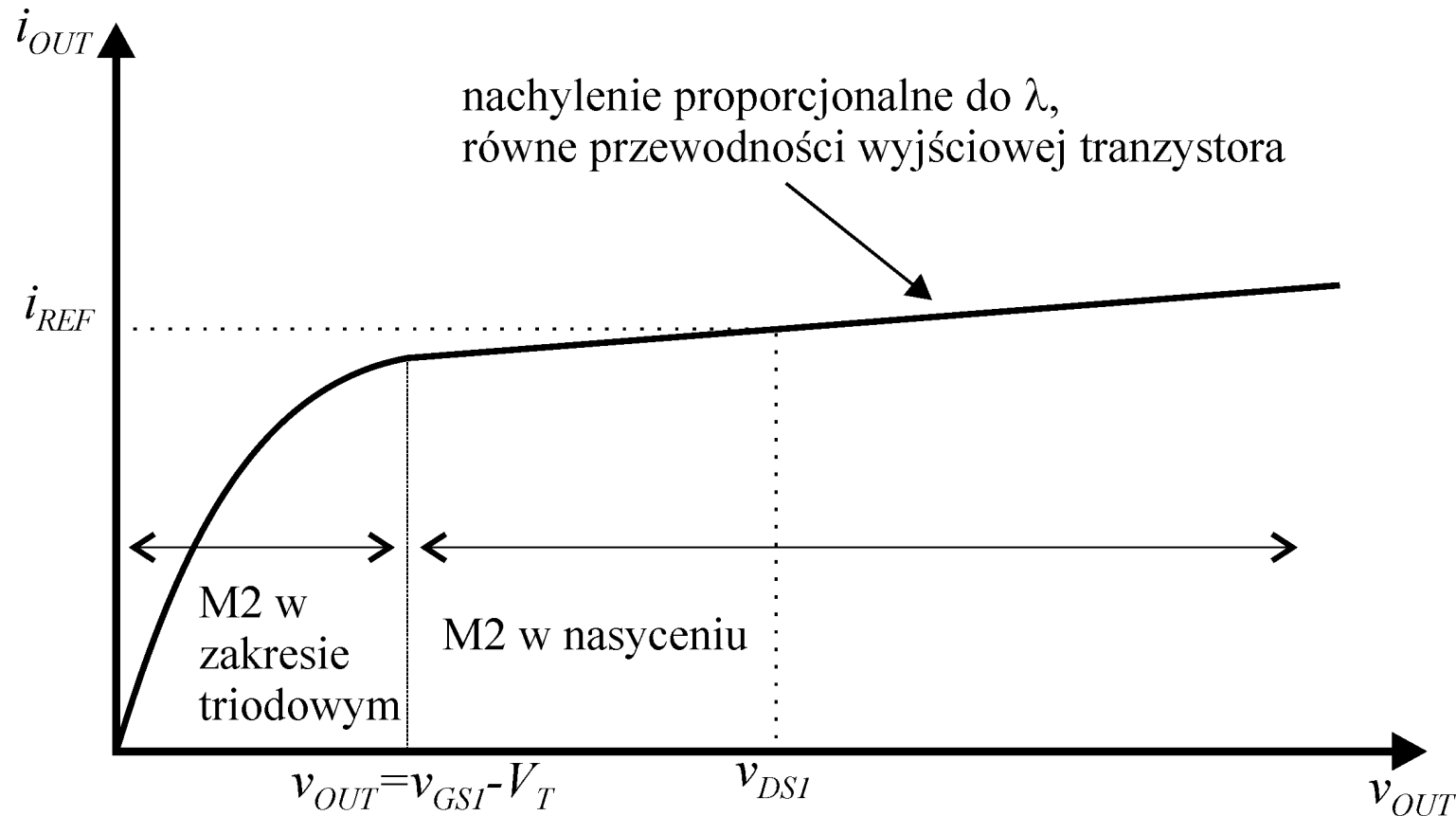
$$r_{out} = \frac{K_1}{K_2} \frac{1}{\lambda i_{REF}} = r_{02}$$

Jeśli tranzystory są identyczne wówczas: $K_1 = \frac{1}{2} \mu_n C_{OX} \frac{W_1}{L_1} = K_2 = \frac{1}{2} \mu_n C_{OX} \frac{W_2}{L_2} = K$

$$\frac{i_{OUT}}{i_{REF}} = \frac{1 + \lambda v_{OUT}}{1 + \lambda v_{DS1}} \approx 1 \quad \text{gdzie: } v_{DS1} = v_{GS1} \approx \sqrt{\frac{i_{REF}}{K}} + V_T$$

oraz: $r_{out} = \frac{1}{\lambda i_{REF}}$

Wybrane bloki analogowe – lustro prądowe, c.d.

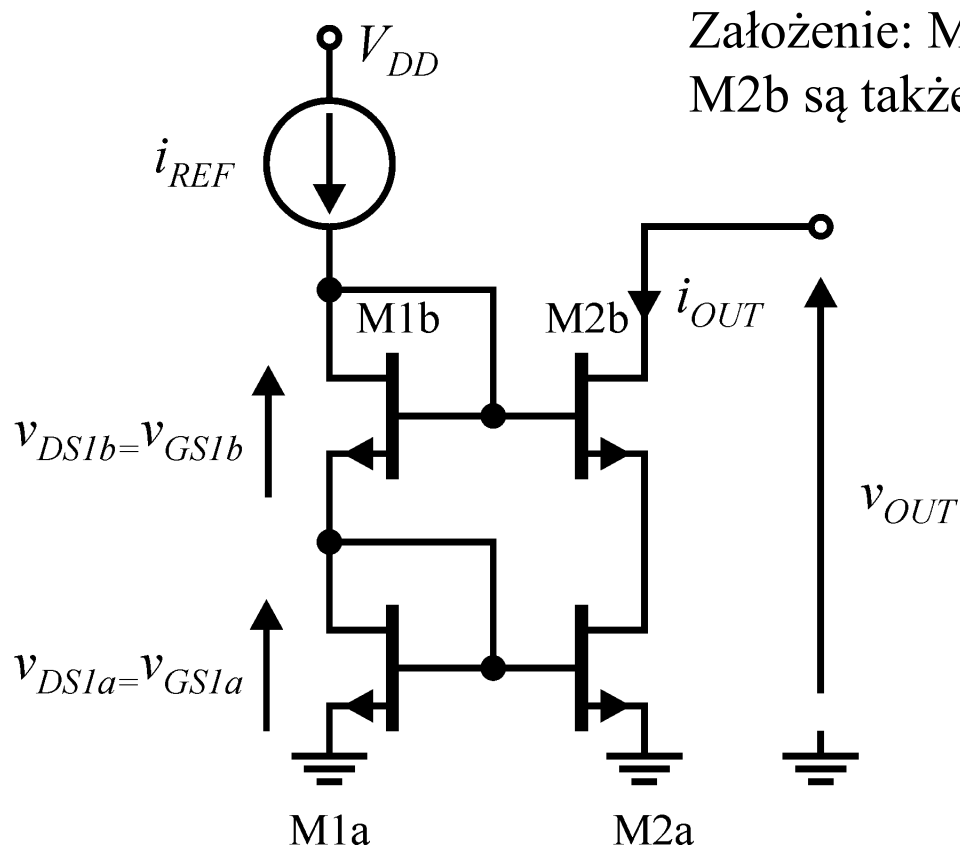


Wykres wykonano przy założeniu identycznych tranzystorów M1 i M2.

Lustro pracuje poprawnie dla:

$$v_{OUT} \geq v_{DS1} - V_T \approx \sqrt{\frac{i_{REF}}{K_1}}$$

Wybrane bloki analogowe – lustro prądowe kaskadowe



Założenie: M1a i M1b są identyczne oraz M2a i M2b są także identyczne.

Ze względu na równość napięć na tranzystorach M1a i M2a

$$v_{DS1a} \approx v_{DS2a}$$

zachodzi niemal idealne powtórzenie prądów:

$$\frac{i_{OUT}}{i_{REF}} = \frac{K_2}{K_1}$$

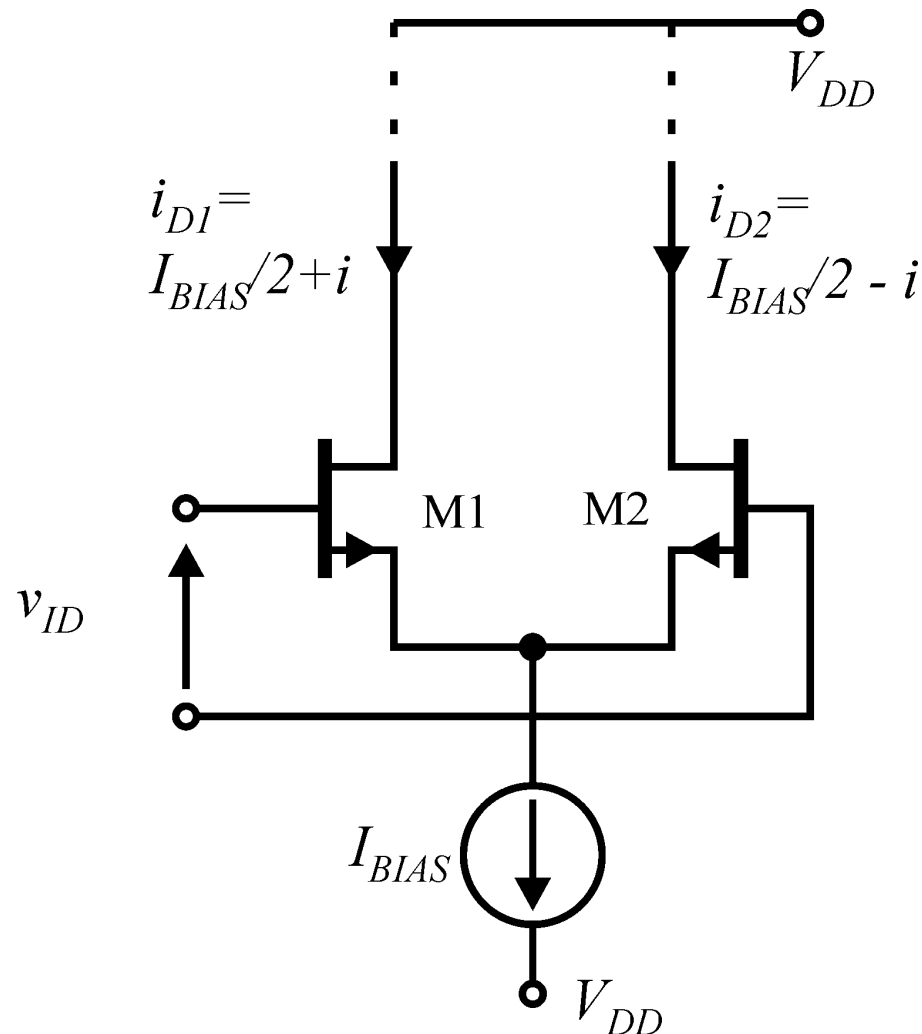
Lustro pracuje poprawnie dla:

$$v_{OUT} \geq v_{DS2a} + v_{GS2b} - V_T \approx 2\sqrt{\frac{i_{OUT}}{K_2}} + V_T$$

Małosygnałowa rezystancja wyjściowa jest równa:

$$r_{out} \approx gm_{2b}r_{02a}r_{02b} \quad \text{gdzie: } gm_2 = 2\sqrt{K_2 i_{OUT}} \quad , \quad r_{02a} = r_{02b} = \frac{1}{\lambda i_{OUT}} \quad 208$$

Wybrane bloki analogowe – para różnicowa, praca wielkosygnałowa



Zakładamy identyczność M1 i M2 i pracę w zakresie nasycenia. Na rysunku nie jest przedstawiony układ obciążenia pary różnicowej. Zastosowane pobudzenie jest typu różnicowego.

Wybrane bloki analogowe – para różnicowa, praca wielkosygnałowa c.d.

Dla uproszczenia obliczeń wprowadzamy następujące oznaczenia:

$$i_{D1} = I + i \quad i_{D2} = I - i \quad I = \frac{I_{BIAS}}{2} \quad K = K_1 = K_2$$

Układamy napięciowe prawo Kirchoffa dla obwodu wejściowego:

$$v_{ID} = v_{GS1} - v_{GS2} = \left[\sqrt{\frac{I+i}{K}} + V_{TN} \right] - \left[\sqrt{\frac{I-i}{K}} + V_{TN} \right]$$

Rozwiązujemy powyższe równanie w celu wyznaczenia i :

$$i = \sqrt{KI} v_{ID} \sqrt{1 - \frac{K v_{ID}^2}{4I}}$$

Analiza wielkosygnałowa c.d.

Zakres napięcia wejściowego dla którego następuje nasycenie pary, t.j. $i=I$:

$$|v_{ID}| \leq \sqrt{2} \sqrt{\frac{I}{K}} = V_{IDMAX}$$

Znajdujemy punkt wystąpienia odchyłki prądu wyjściowego i o E od wartości idealnej:

$$\sqrt{KI} v_{ID} \sqrt{1 - \frac{K v_{ID}^2}{4I}} = (1 - E) \sqrt{KI} v_{ID} \quad \text{stąd:}$$

$$v_{IDError} = 2 \sqrt{\frac{I}{K}} \sqrt{1 - (1 - E)^2} = \sqrt{2} \sqrt{1 - (1 - E)^2} V_{IDMAX}$$

Przykładowo, dla $E=1\%$:

$$v_{IDError} = \sqrt{2} \sqrt{1 - (1 - 0,01)^2} V_{IDMAX} \approx 0,2 V_{IDMAX}$$

Analiza wielkosygnałowa c.d.

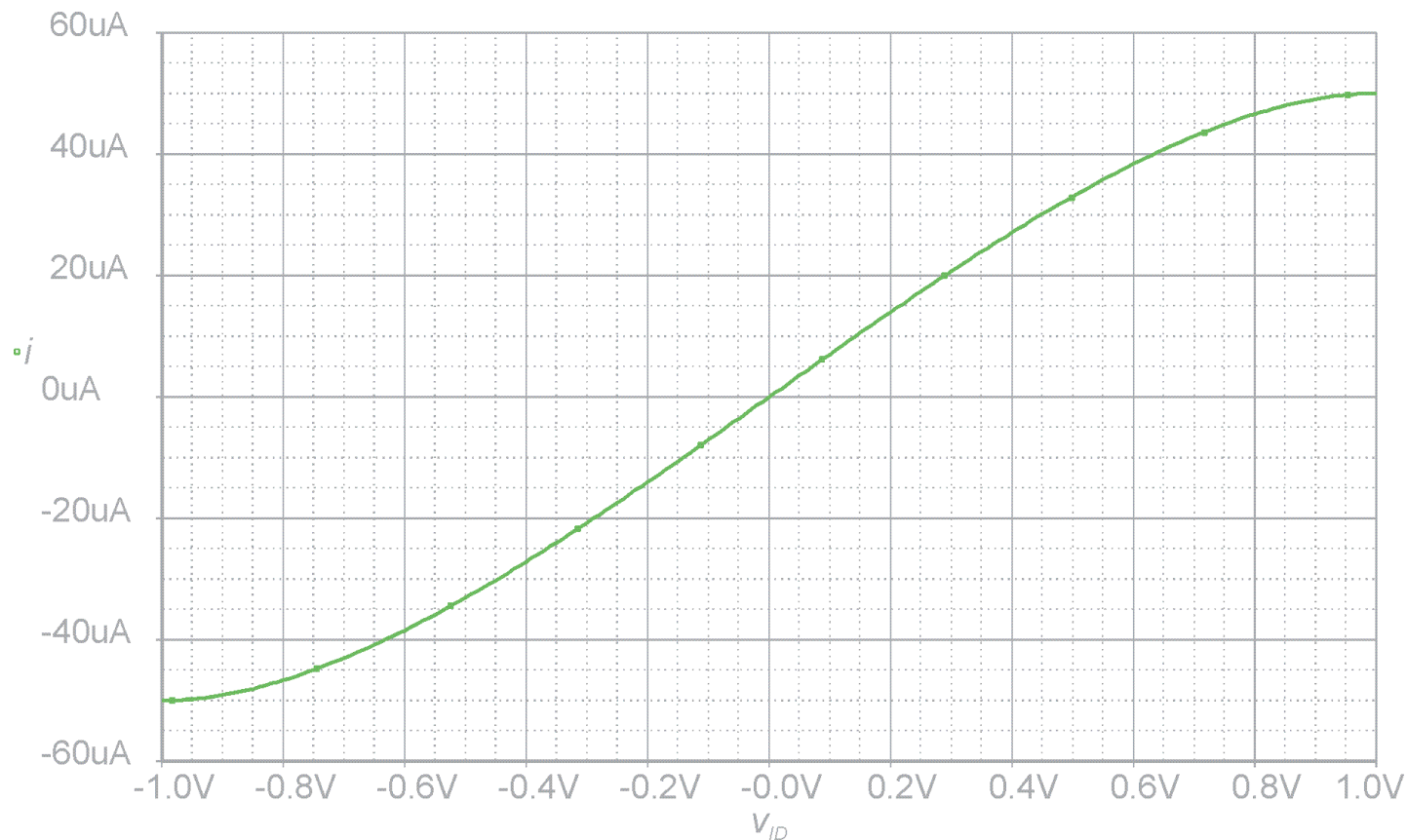
Transkonduktancję pary różnicowej można wyznaczyć poprzez wyciągnięcie pochodnej prądu wyjściowego względem napięcia wejściowego:

$$gm = 1 / 2Gm = \frac{di}{dv_{ID}} = \sqrt{KI} \left[\sqrt{1 - \frac{Kv_{ID}^2}{4I}} - \frac{\frac{Kv_{ID}^2}{4I}}{\sqrt{1 - \frac{Kv_{ID}^2}{4I}}} \right]$$

Podobnie jak dla błędu prądu można wyznaczyć błąd transkonduktancji. 1% błąd transkonduktancji występuje dla około $0,11V_{IDMAX}$. We wzorze powyżej gm oznacza transkonduktancję widzianą z pojedynczego tranzystora a Gm transkonduktancję po obciążeniu pary różnicowej lustrem prądowym.

Analiza wielkosygnałowa c.d.

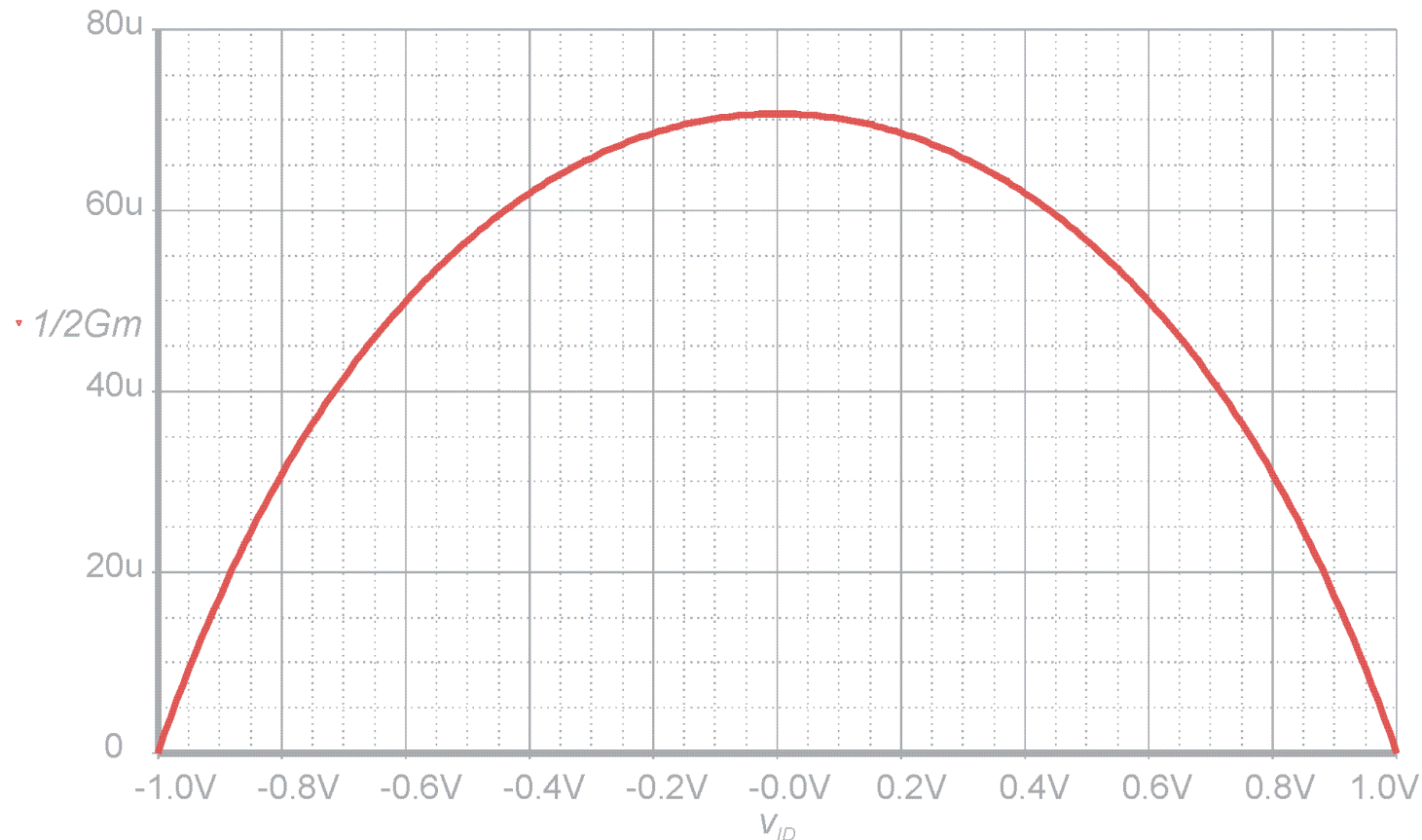
Charakterystyki wielkosygnałowe dla $K=100\mu\text{A}/\text{V}^2$,
 $V_{TN}=1\text{V}$, $I=50\mu\text{A}$



Prąd wyjściowy pary różnicowej.

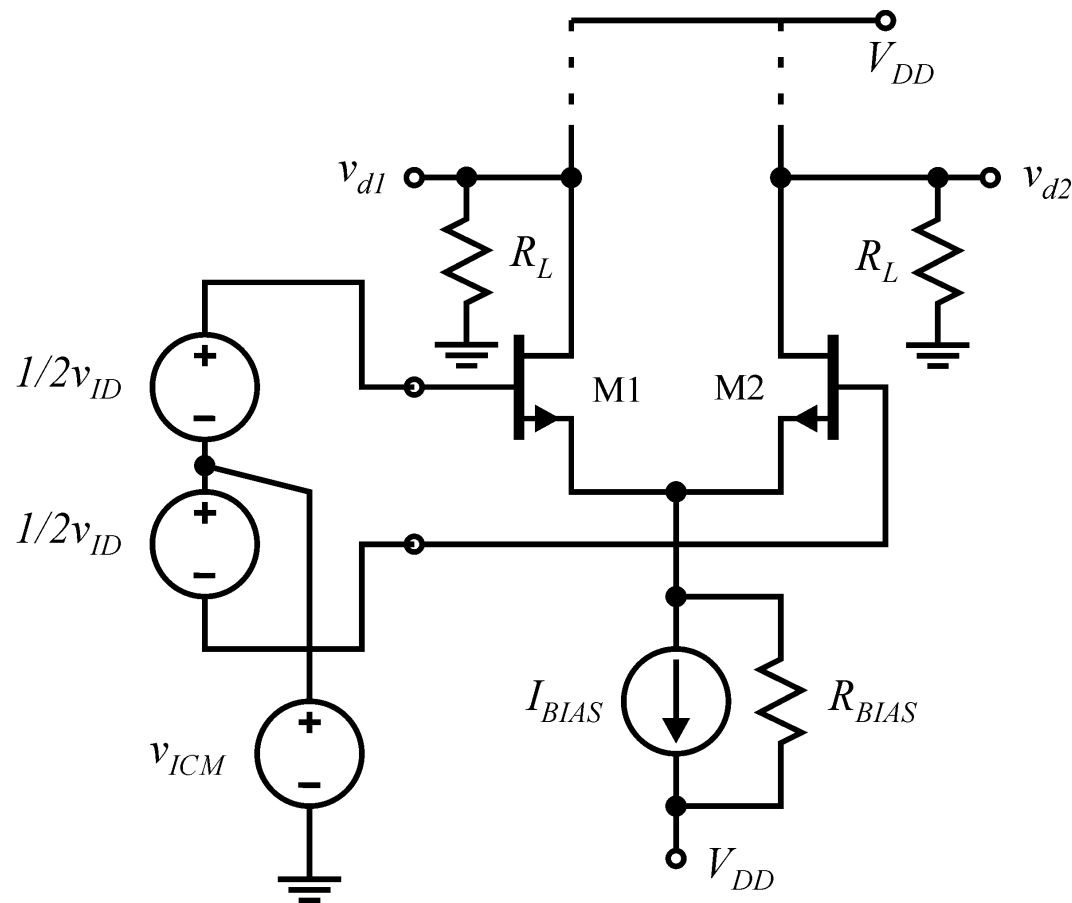
Analiza wielkosygnałowa c.d.

Charakterystyki wielkosygnałowe dla $K=100\mu\text{A}/\text{V}^2$,
 $V_{TN}=1\text{V}$, $I=50\mu\text{A}$



Transkonduktancja pary różnicowej.

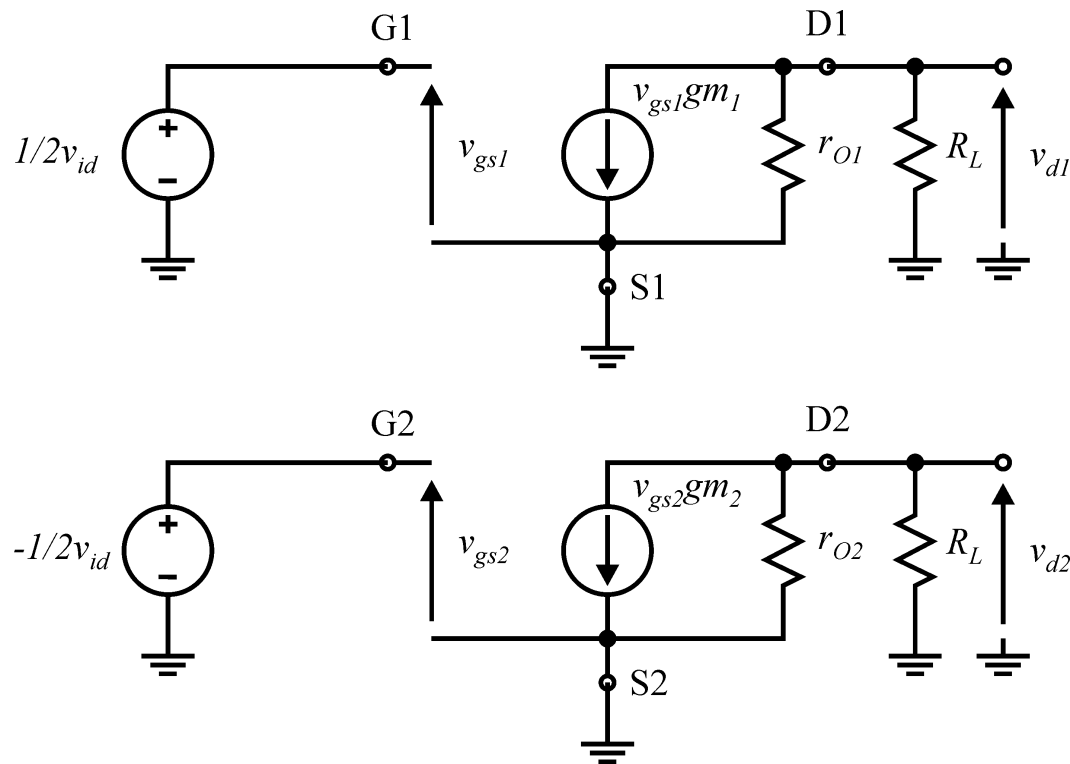
Wybrane bloki analogowe – para różnicowa, praca małosygnałowa



Dla $v_{ID} = 0$ -> pobudzenie różnicowe. W tym pobudzeniu źródła tranzystorów są na tzw. masie pozornej.

Dla $v_{ICM} = 0$ -> pobudzenie wspólne (sumacyjne). Dla tego rodzaju pobudzenia tranzystory M1 i M2 można rozdzielić przy umieszczeniu $2R_{BIAS}$ do ich źródeł.

Pobudzenie różnicowe – schemat zastępczy małosygnałowy



$$K_1 = K_2 = K$$

Parametry modeli małosygnałowych:

$$gm_1 = gm_2 = 2\sqrt{K I_{BIAS}/2} = \sqrt{2KI_{BIAS}}$$

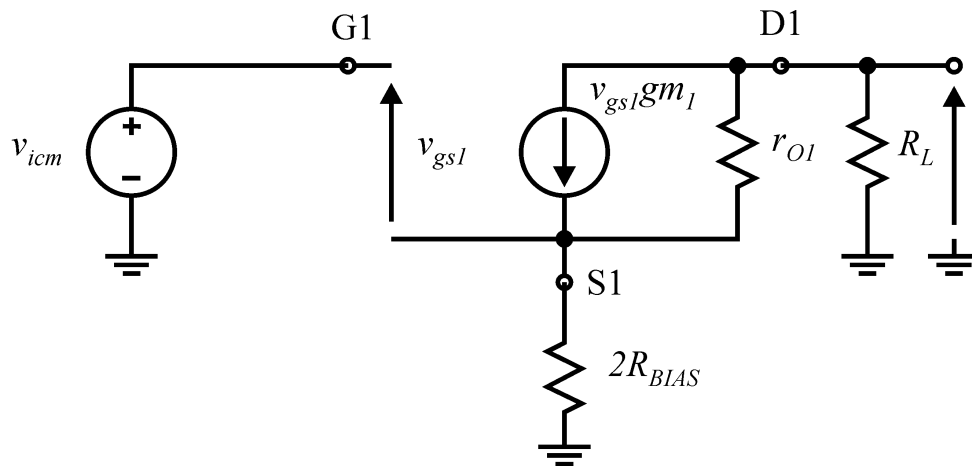
$$r_{O1} = r_{O2} = \frac{1}{\lambda I_{BIAS}/2} = \frac{2}{\lambda I_{BIAS}}$$

Wzmocnienia
napięciowe:

$$A_{D1} = \frac{v_{d1}}{v_{id}} = -\frac{1}{2} gm_1 [R_L \parallel r_{O1}]$$

$$A_{D2} = \frac{v_{d1}}{v_{id}} = \frac{1}{2} gm_2 [R_L \parallel r_{O2}]$$

Pobudzenie wspólne – schemat zastępczy małosygnalowy



Z dzielnika prądowego:

$$i_{d1} = i_{s1} = v_{gs1} g_{m1} \left[\frac{r_{O1}}{R_L + 2R_{BIAS} + r_{O1}} \right] = v_{gs1} g_{m1} DP$$

$$\text{gdzie: } DP = \left[\frac{r_{O1}}{R_L + 2R_{BIAS} + r_{O1}} \right]$$

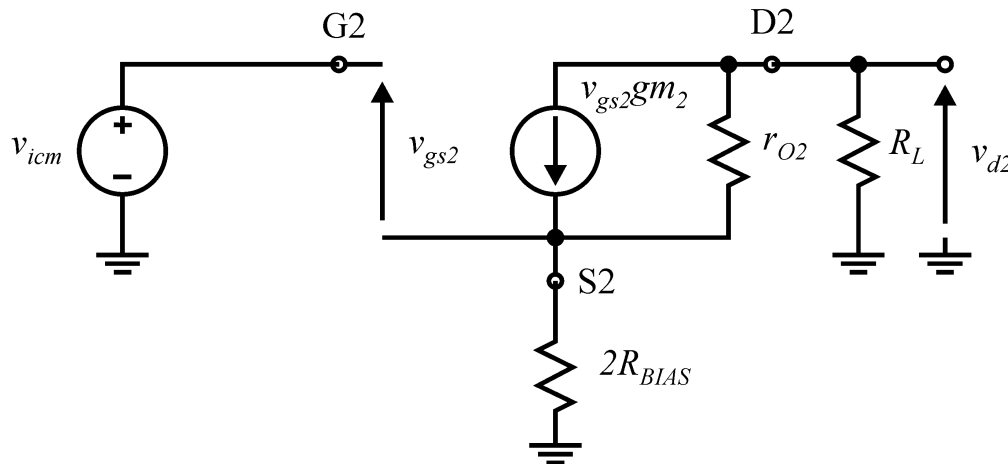
Stąd:

$$v_{gs1} = v_{icm} \frac{1}{1 + 2R_{BIAS} g_{m1} DP}$$

oraz:

$$A_{CM1} = \frac{v_{d1}}{v_{icm}} = - \frac{1}{1 + 2R_{BIAS} g_{m1} DP} g_{m1} DP \cdot R_L$$

$$\approx - \frac{1}{1 + 2R_{BIAS} g_{m1}} g_{m1} \cdot R_L \approx - \frac{R_L}{2R_{BIAS}}$$



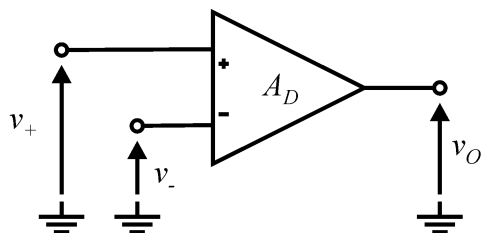
Wzmocnienie do drenu M2 jest identyczne.

Zadanie domowe

Zakładając, że dla pary różnicowej prąd polaryzujący I_{BIAS} wytwarzany jest w lustrze prądowym należy znaleźć zależności wzmocnienia małosygnałowego oraz współczynnika $CMRR$ w funkcji prądu I_{BIAS} . Obliczenia należy wykonać dla 2 następujących rodzajów obciążeń pary różnicowej:

- obciążenie rezystorem R_L ,
- obciążenie lustrem prądowym pMOS.

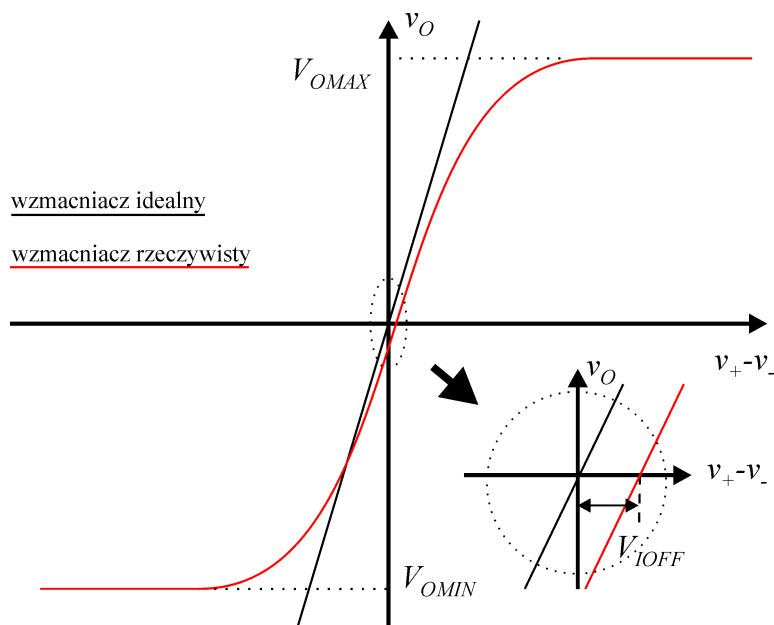
Wzmacniacz operacyjny – parametry i oznaczenia



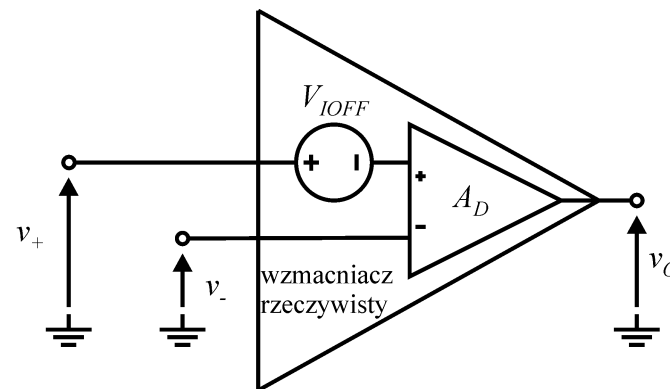
$$v_O = A_D(v_+ - v_-)$$

wzmacniacz idealny

wzmacniacz rzeczywisty



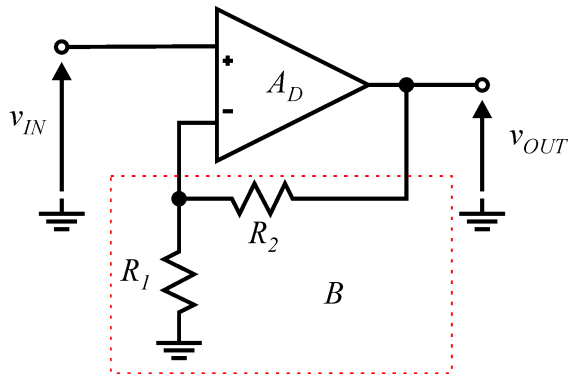
Model wzmacniacza z uwzględnieniem
wejściowego napięcia niezrównoważenia
 V_{IOFF}



$$v_O = A_D(v_+ - v_- - V_{IOFF})$$

V_{IOFF} – napięcie które należy podać na
wejście aby na wyjściu wzmacniacza
uzyskać poziom masy sygnałowej (zero).

Analiza WO w konfiguracji nieodwracającej



$$B = \frac{v_-}{v_{OUT}} = \frac{R_1}{R_1 + R_2}$$

Wzmacniacz bez offsetu:

$$v_{OUT} = A_D(v_+ - v_-) \quad v_- = v_{OUT}B$$

$$v_{OUT} = A_D(v_{IN} - Bv_{OUT})$$

$$\frac{v_{OUT}}{v_{IN}} = \frac{A_D}{1 + A_D B} = \frac{1}{\frac{1}{A_D} + B} \bigg|_{\frac{1}{A_D} \ll B} = \frac{1}{B} = 1 + \frac{R_2}{R_1}$$

Wzmacniacz z uwzględnieniem napięcia niezerównoważenia:

$$v_{OUT} = A_D(v_+ - v_- - V_{IOFF}) \quad v_- = v_{OUT}B$$

$$v_{OUT} = A_D(v_{IN} - Bv_{OUT} - V_{IOFF})$$

$$v_{OUT} = v_{IN} \frac{A_D}{1 + A_D B} - V_{IOFF} \frac{A_D}{1 + A_D B}$$

↑
Napięcie niezerównoważenia jest
wzmacniane tak samo jak sygnał wejściowy!

Wyznaczamy wartość różnicy napięć $v_+ - v_-$:

$$\begin{aligned} v_+ - v_- &= v_{IN} - Bv_{OUT} = v_{IN} - v_{IN} \frac{A_D B}{1 + A_D B} + V_{IOFF} \frac{A_D B}{1 + A_D B} = \\ &= v_{IN} \frac{1}{1 + A_D B} + V_{IOFF} \frac{A_D B}{1 + A_D B} \bigg|_{A_D B \gg 1} \cong V_{IOFF} \end{aligned}$$

220

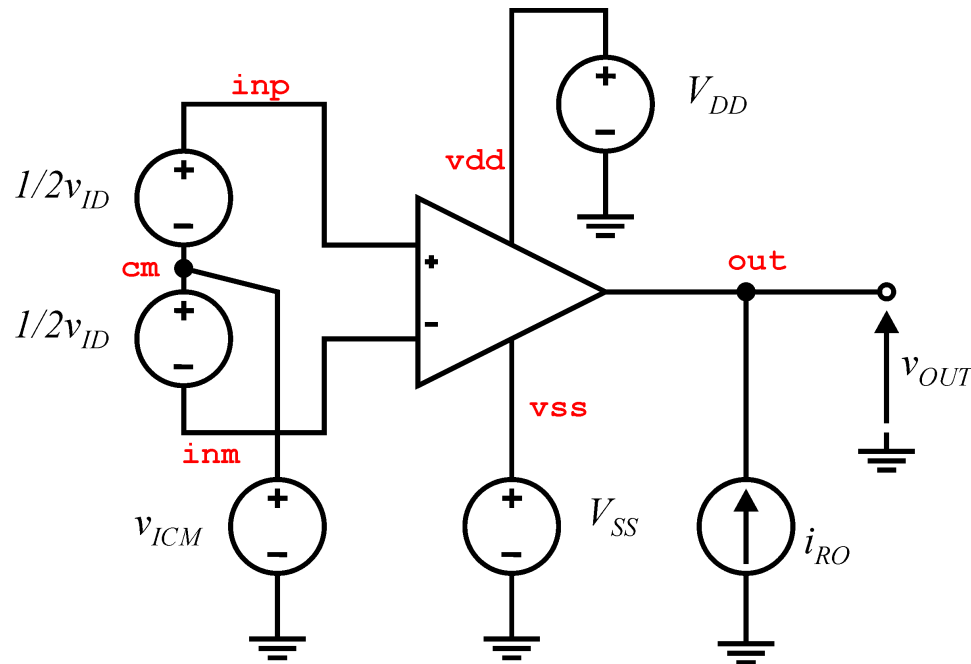
Zasada zwarcia pozornego dla WO idealnego zamienia się na zasadę $v_+ - v_- = V_{IOFF}$!

Wybrane statyczne parametry WO

Parametr	Jednostka	Wartość dla WO idealnego	Wartość typowa dla WO rzeczywistego	Polecenie symulacyjne i odczyt w PROBE dla układu przedstawionego na kolejnej stronie
Wzmocnienie różnicowe, A_D	V/V	∞	$10^4 \div 10^7$	.dc Vid -10m 10m 1u D(v(out)) dla vid = vinoff
Wzmocnienie sumacyjne, A_{CM}	V/V	0	$0,1 \div 10$	.dc Vcm -100m 100m 100u D(v(out)) dla vid = vinff i Vcm = 0
CMRR, $ A_D/A_{CM} $		∞	$40 \div 80\text{dB}$	
PSRR ₊ , $ A_D/A_{VDD} $ PSRR ₋ , $ A_D/A_{VSS} $		∞	$> 30\text{dB}$	.dc Vdd 14 16 10m lub .dc Vss -14 -16 10m D(v(out)) dla vid = vinff i Vdd= 15 lub Vss= -15
Zakres napięcia wejściowego, I_{CM+}, I_{CM-}	V	∞	VDD – ok. 1 wolt VSS + ok. 1 wolt	
Zakres napięcia wyjściowego, V_{OMAX}, V_{OMIN}	V	∞	VDD – ok. 1 wolt VSS + ok. 1 wolt	
Rezystancja wejściowa, R_{ID}	Ω	∞	kilka M $\div$ kilka G	.dc Vid -10m 10m .01m -1/D(i(vid)) vid = vinff
Rezystancja wyjściowa, R_{OUT}	Ω	0	kilka $\Omega \div$ kilka k Ω	.dc Iro -10u 10u .01u D(v(out)) dla vid = vinff i Iro = 0
Napięcie zasilające, $V_{DD} - V_{SS}$	V	brak	$1,8 \div 45$	
Wejściowe napięcie niezrównoważenia, V_{IOFF}	V	0	kilka μV $\div$ kilka mV	.dc Vid -10m 10m 1u v(out); vinoff = vid dla 0 na wyjściu WO

Ze względu na to, że w układzie WO z ujemnym sprzężeniem zwrotnym różnica napięć pomiędzy wejściami jest równa V_{IOFF} parametry WO należy mierzyć przy założeniu istnienia takiego napięcia na wejściu. **Pierwszym pomiarem powinno być znalezienie V_{IOFF} !!!**

Wybrane statyczne parametry WO – układ pomiarowy



$$A_D = \left. \frac{\partial v_{OUT}}{\partial v_{ID}} \right|_{v_{ID}=V_{IOFF}}$$

$$A_{VDD} = \left. \frac{\partial v_{OUT}}{\partial v_{DD}} \right|_{v_{ID}=V_{IOFF}; V_{DD}=\text{nominal value}}$$

$$A_{CM} = \left. \frac{\partial v_{OUT}}{\partial v_{ICM}} \right|_{v_{ID}=V_{IOFF}; v_{ICM}=0}$$

$$A_{VSS} = \left. \frac{\partial v_{OUT}}{\partial v_{SS}} \right|_{v_{ID}=V_{IOFF}; V_{SS}=\text{nominal value}}$$

Kod SPICE użyty w poprzedniej tabeli do definicji pomiarów:

*** Input voltage

Vid inp inm DC {vioff} AC 1

Vcm cm 0 DC 0

Ecm inp cm inp inm 0.5

.param vioff=10m ; it should be replaced
; with actual value

*** Power supply

Vdd vdd 0 DC 15

Vss vss 0 DC -15

*** Output resistance measurement

Iro 0 out DC 0

$$r_{OUT} = \left. \frac{\partial v_{OUT}}{\partial i_{RO}} \right|_{v_{ID}=V_{IOFF}; i_{RO}=0}$$

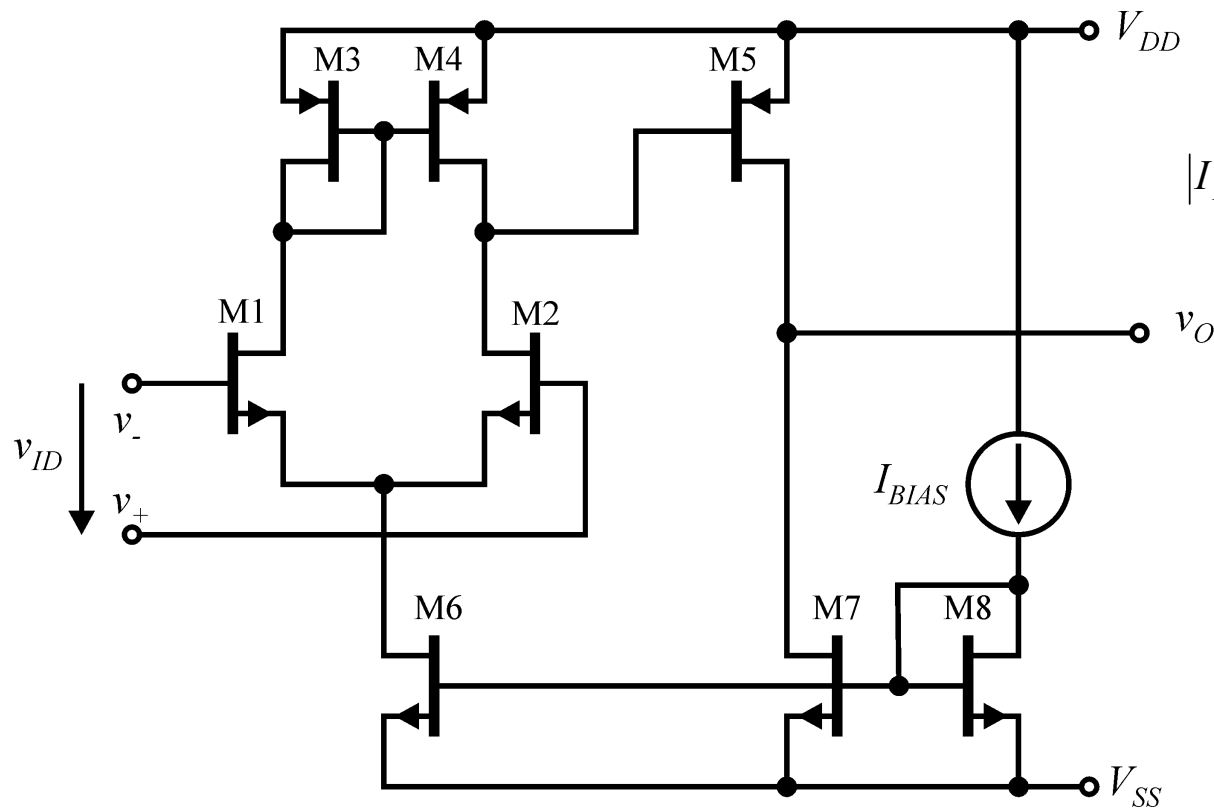
Wybrane dynamiczne parametry WO

Parametr	Jednostka	Wartość dla WO idealnego	Wartość typowa dla WO rzeczywistego
Wzmocnienie różnicowe dla niskich częstotliwości (równe statycznemu), A_D	V/V	∞	$10^4 \div 10^7$
Pole wzmocnienia, GB , GBW	MHz	∞	$1 \div 10$
Pasmo 3dB, f_{3dB}	Hz	∞	$10 \div 10k$
Szybkość narastania sygnału wyjściowego SR	V/us	∞	$1 \div 10$
Zapas fazy	stopnie	180	$10 \div 70$

Analiza 2-stopniowego WO CMOS

Założenia:

$M1=M1$, $M3=M4$, tranzystory pracują w nasyceniu, dane są następujące parametry: K_X , gdzie $X \in (1 \div 8)$, V_{TN} , V_{TP} , λ_N , λ_P



Analiza stałoprądowa:

$$I_{D8} = I_{BIAS} \quad I_{D7} = \frac{K_7}{K_8} I_{BIAS}$$

$$I_{D6} = \frac{K_6}{K_8} I_{BIAS} \quad I_{D1} = I_{D2} = \frac{1}{2} I_{D6}$$

$$|I_{D5}| = |I_{D3}| \frac{K_5}{K_3} = \frac{1}{2} \frac{K_5}{K_3} I_{D6} = \frac{1}{2} \frac{K_5}{K_3} \frac{K_6}{K_8} I_{D6}$$

Dla prawidłowej pracy WO tranzystory powinny być tak dobrane aby:

$$|I_{D5}| = I_{D7} \quad , \quad \text{więc:}$$

$$\frac{K_7}{K_8} I_{BIAS} = \frac{1}{2} \frac{K_5}{K_3} \frac{K_6}{K_8} I_{BIAS} \quad , \quad \text{a stąd:}$$

$$K_5 = 2 \frac{K_3 K_7}{K_6}$$

Dostępne zakresy napięć We/Wy

I_{CM+} , I_{CM-} - zmiana napięcia wspólnego V_{ICM} (przy zerowym napięciu różnicowym $v_{ID} = 0$), która nie wyprowadza tranzystorów WO z nasycenia.

Warunek pozostania w nasyceniu dla tranzystorów NMOS:

$$V_D \geq V_G - V_{TN} \quad \text{lub} \quad V_{DS} \geq V_{GS} - V_{TN}$$

Warunek pozostania w nasyceniu dla tranzystorów PMOS:

$$V_D \leq V_G - V_{TP} \quad \text{lub} \quad V_{DS} \leq V_{GS} - V_{TP} \quad \text{lub} \quad |V_{DS}| \geq |V_{GS}| - |V_{TP}|$$

Wartości napięć bramka źródło poszczególnych tranzystorów:

$$V_{GS8} = V_{GS7} = V_{GS6} = \sqrt{\frac{I_{BIAS}}{K_8}} + V_{TN} \quad V_{GS1} = V_{GS2} = \sqrt{\frac{I_{D1}}{K_1}} + V_{TN} \quad |V_{GS3}| = |V_{GS4}| = |V_{GS5}| = \sqrt{\frac{I_{D3}}{K_3}} + |V_{TP}|$$

Stąd zakresy dostępnych napięć we/wy są następujące:

$$I_{CM-} = V_{SS} + V_{GS6} - V_{TN} + V_{GS1}$$

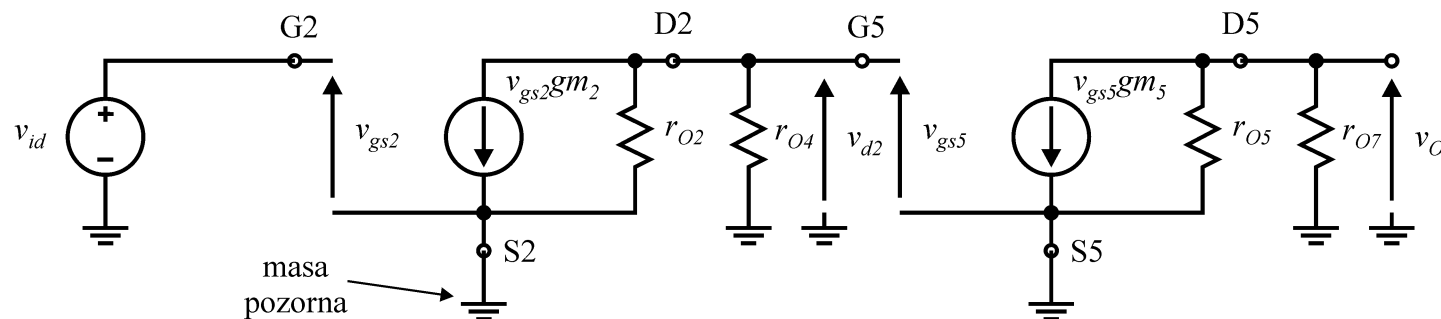
$$I_{CM+} = V_{DD} - |V_{GS3}| + V_{TN}$$

$$V_{OMIN} = V_{SS} + V_{GS7} - V_{TN}$$

$$V_{OMAX} = V_{DD} - |V_{GS5}| + |V_{TP}|$$

Uproszczona analiza małosygnałowa dla m.cz.

Uproszczony model małosygnałowy wzmacniacza:



Wzmocnienia poszczególnych stopni jak i pełnego wzmacniacza:

$$\frac{v_o}{v_{id}} = \frac{v_{d2}}{v_{id}} \frac{v_o}{v_{d2}} = [-gm_2(r_{02} \parallel r_{04})][-gm_5(r_{05} \parallel r_{07})] = gm_2 gm_5 (r_{02} \parallel r_{04})(r_{05} \parallel r_{07})$$

$$\text{gdzie: } gm_2 = 2\sqrt{K_2 I_{D2}} \quad gm_5 = 2\sqrt{K_5 |I_{D5}|} \quad r_{02} = \frac{1}{\lambda_N I_{D2}} \quad r_{04} = \frac{1}{\lambda_P |I_{D4}|} \quad r_{07} = \frac{1}{\lambda_N I_{D7}} \quad r_{05} = \frac{1}{\lambda_P |I_{D5}|}$$

$$\text{ponieważ: } I_{D2} = |I_{D4}| \quad I_{D7} = |I_{D5}|$$

$$\text{więc: } (r_{02} \parallel r_{04}) = \frac{1}{(\lambda_N + \lambda_P) I_{D2}} \quad (r_{05} \parallel r_{07}) = \frac{1}{(\lambda_N + \lambda_P) I_{D7}}$$

Uproszczona analiza małosygnałowa dla m.cz. – c.d.

Wzmocnienie WO można przekształcić do postaci:

$$\begin{aligned}\frac{v_o}{v_{id}} &= gm_2 gm_5 (r_{02} \parallel r_{04}) (r_{05} \parallel r_{07}) = 2\sqrt{K_2 I_{D2}} 2\sqrt{K_5 I_{D7}} \frac{1}{(\lambda_N + \lambda_P) I_{D2}} \frac{1}{(\lambda_N + \lambda_P) I_{D7}} = 4 \sqrt{\frac{K_2 K_5}{I_{D2} I_{D5}}} \frac{1}{(\lambda_N + \lambda_P)^2} = \\ &= 8 \frac{K_8}{K_6} \sqrt{K_2 K_3} \frac{1}{I_{BIAS}} \frac{1}{(\lambda_N + \lambda_P)^2}\end{aligned}$$

Wzmocnienie wzmacniacza jest odwrotnie proporcjonalne do prądu polaryzującego I_{BIAS} . Rezystancje we/wy są równe:

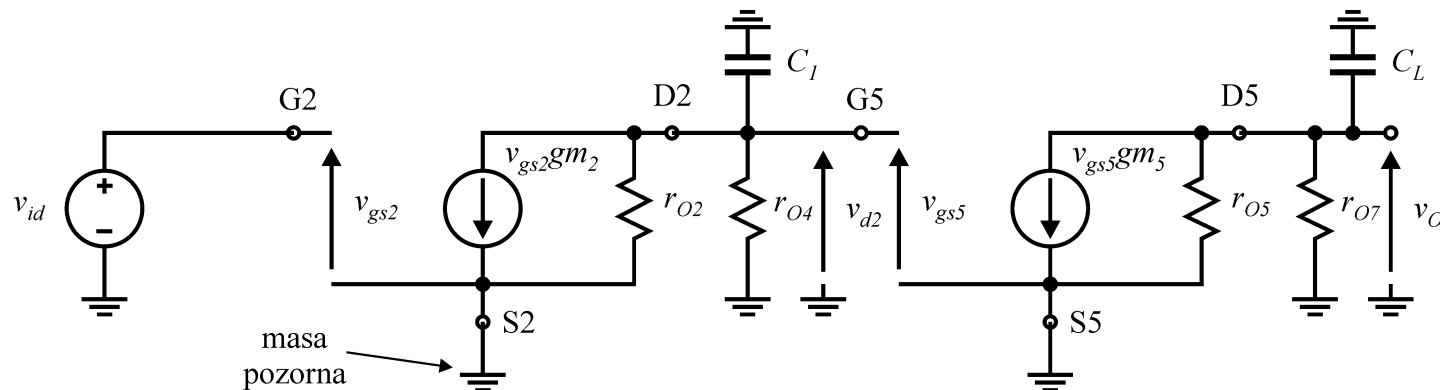
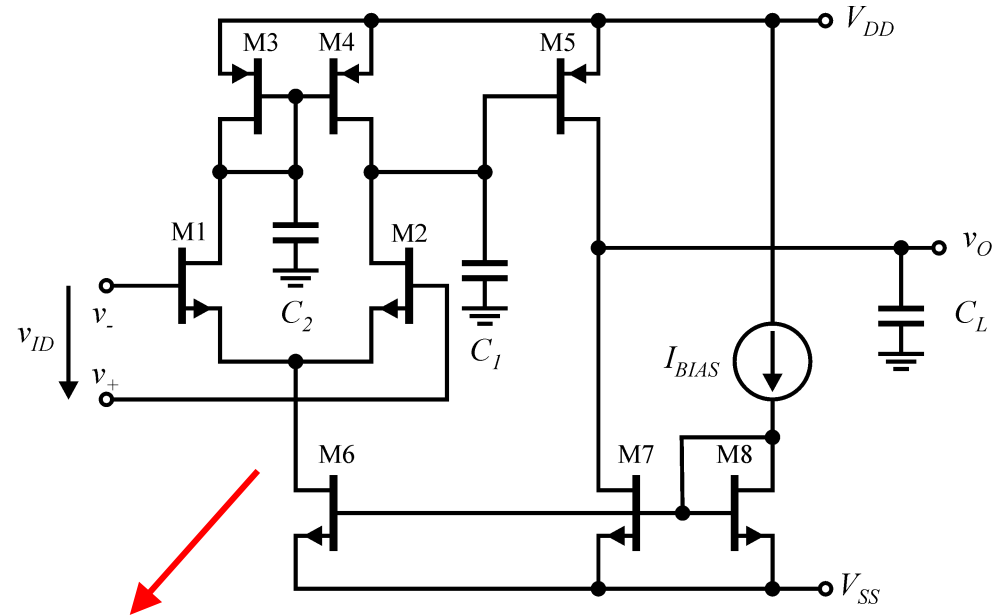
$$r_{in} = \infty \quad r_{out} = (r_{05} \parallel r_{07}) = \frac{1}{(\lambda_N + \lambda_P) |I_{D5}|}$$

Uproszczona analiza częstotliwościowa WO

Uproszczenie polega na uwzględnieniu tylko 2 najbardziej znaczących pojemności pasożytniczych, w poniższym przypadku będą to C_I i C_L . Uwzględnienie tych pojemności daje 2 poniższe bieguny transmitancji:

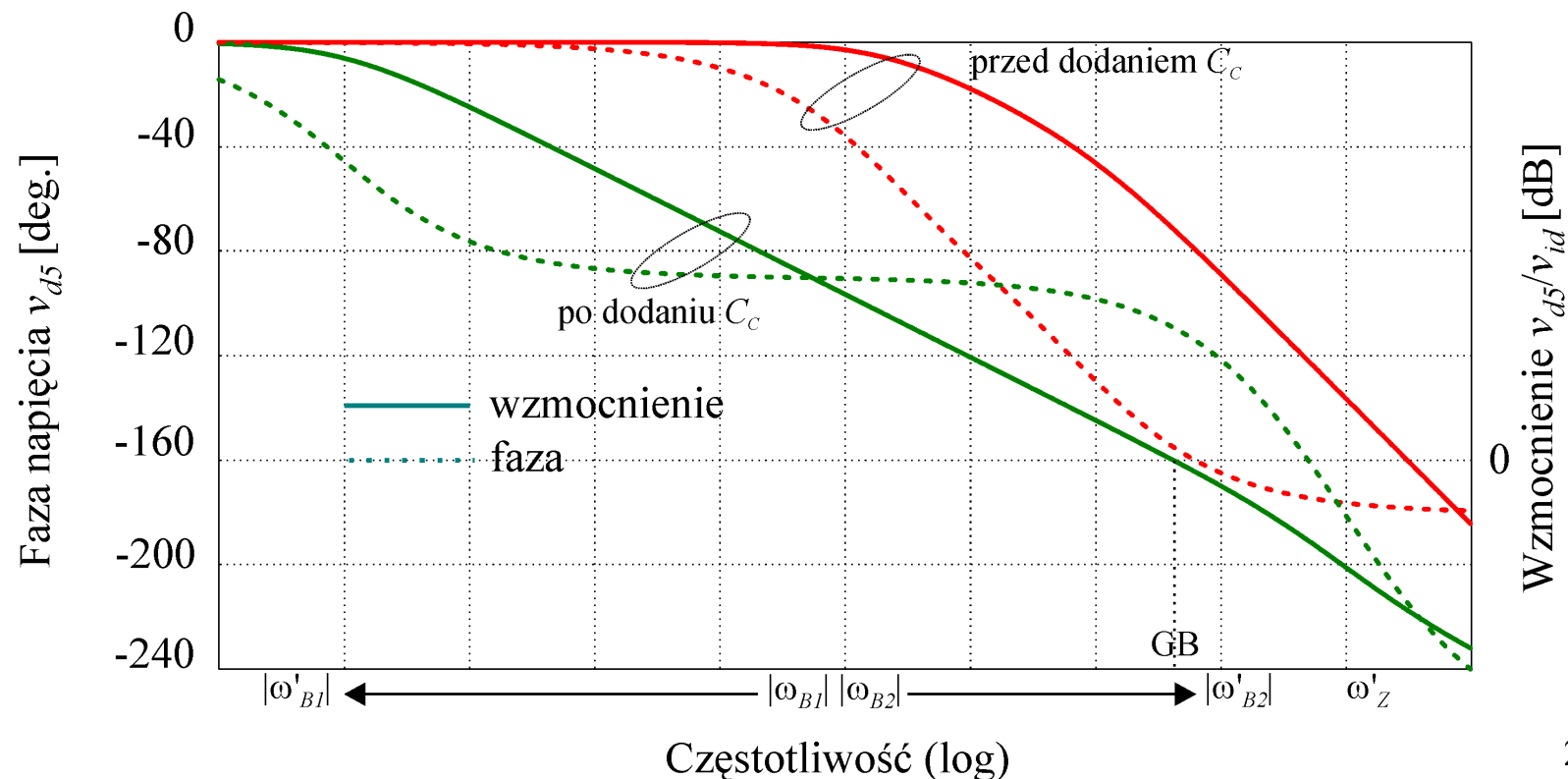
$$\omega_{B1} = -\frac{1}{C_I(r_{O2} \parallel r_{O4})}$$

$$\omega_{B2} = -\frac{1}{C_L(r_{O5} \parallel r_{O7})}$$



Uproszczona analiza częstotliwościowa WO – c.d.

Oba bieguny transmitancji leżą blisko siebie co daje przesunięcie fazowe do 180° a biorąc pod uwagę, że w układzie istnieją jeszcze inne bieguny - po zamknięciu pętli sprzężenia zwrotnego WO może nie być stabilny. Poniżej przedstawiono (kolorem czerwonym) charakterystyki częstotliwościowe takiego WO.



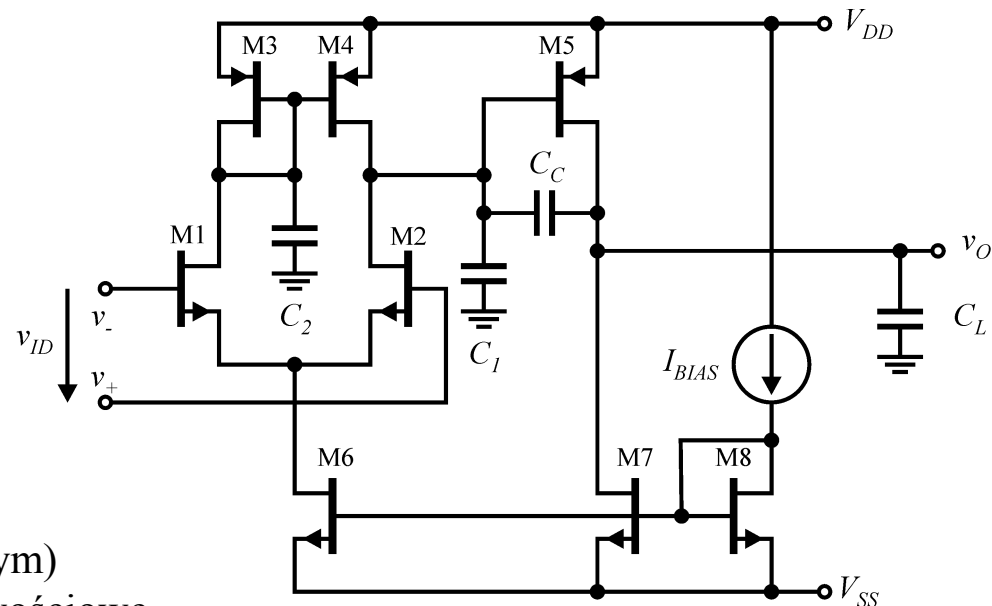
Uproszczona analiza częstotliwościowa WO – c.d.

Jedną z możliwości zapewnienia stabilności wzmacniacza objętego u.s.z. jest dodanie kondensatora C_C – jak to przedstawiono na poniższym rysunku. Wówczas bieguny transmitancji przesuwają się do nowych wartości (jeśli zapewnione są warunki $C_L \gg C_{C1}$ oraz $C_C \gg C_{C1}$) oraz powstaje zero w prawej półpłaszczyźnie zmiennej zespolonej S :

$$\omega'_{B1} \cong -\frac{1}{gm_5 C_C (r_{02} \parallel r_{04})(r_{05} \parallel r_{07})}$$

$$\omega'_{B2} \cong -\frac{gm_5}{C_L}$$

$$\omega'_Z \cong \frac{gm_5}{C_C}$$



Na poprzednim slajdzie (kolorem zielonym)
przedstawiono charakterystyki częstotliwościowe
skompensowanego WO.

Uproszczona analiza częstotliwościowa WO – c.d.

Pole wzmacnienia, czyli pulsacja dla której wzmacnienie jest równe 0dB (zakładając charakterystykę skompensowaną) jest równe:

$$|\omega_{B1}| A_{D0} = GB$$

$$GB = \frac{1}{gm_5 C_C (r_{02} \parallel r_{04})(r_{05} \parallel r_{07})} gm_5 gm_2 (r_{02} \parallel r_{04})(r_{05} \parallel r_{07}) = \frac{gm_2}{C_C}$$

Zapewnienie stabilności

Wg [1] zasady projektowe dla 60st. zapasu fazy są następujące:

$$1) \quad gm_5 \geq 10 gm_2$$

$$2) \quad |\omega'_{B2}| \geq 2,2 GB \Rightarrow \frac{gm_5}{C_L} \geq 2,2 \frac{gm_2}{C_C} \Rightarrow C_C \gg 0,22 C_L$$

Współczynnik SR

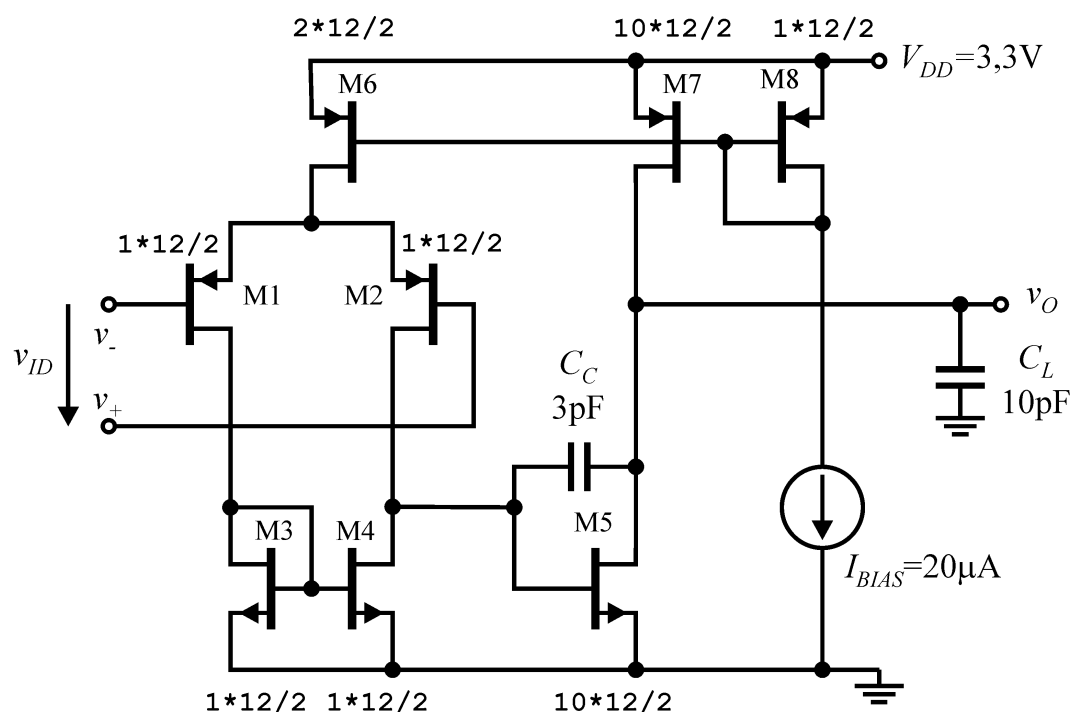
Maksymalny prąd jakim się może ładować kondensator C_C jest równy I_{D6} , stąd:

$$\Delta V_C = \frac{\Delta q}{C_C} = \frac{\Delta T I_{D6}}{C_C} \Rightarrow SR = \frac{\Delta V}{\Delta T} = \frac{I_{D6}}{C_C}$$

Przykład obliczeniowy WO

Dla wzmacniacza przedstawionego na poniższym rysunku należy wyznaczyć parametry omawiane na wcześniejszych slajdach oraz sprawdzić czy będzie stabilny po zapięciu pętli u.s.z. Dane są następujące parametry tranzystorów:

$$V_{TN} = 0,5[V] \quad V_{TP} = -0,6[V] \quad K'_N = 120[\mu A/V] \quad K'_P = 60[\mu A/V] \quad \lambda_N = 0,01[1/V] \quad \lambda_P = 0,02[1/V]$$



Wymiary tranzystorów na rysunku podane są w formacie:
(mnożnik) * (szerokość w $[\mu m]$) / (długość $[\mu m]$)

Stałe prądy drenów:

$$|I_{D8}| = I_{BIAS} = 20\mu A$$

$$|I_{D7}| = |I_{D8}| \frac{K_7}{K_8} = 200\mu A$$

$$|I_{D6}| = |I_{D8}| \frac{K_6}{K_8} = 40\mu A$$

$$|I_{D1}| = |I_{D2}| = I_{D3} = I_{D4} = \frac{1}{2} |I_{D6}| = 20\mu A$$

$$I_{D5} = I_{D3} \frac{K_5}{K_3} = 200\mu A$$

Przykład obliczeniowy WO – c.d.

Współczynniki K wybranych tranzystorów:

$$K_1 = K_2 = \frac{1}{2} 60 \frac{12}{2} [\mu\text{A}/\text{V}^2] = 180 [\mu\text{A}/\text{V}^2] \quad K_5 = \frac{1}{2} 120 \cdot 10 \frac{12}{2} [\mu\text{A}/\text{V}^2] = 3600 [\mu\text{A}/\text{V}^2]$$

$$K_8 = \frac{1}{2} 60 \cdot \frac{12}{2} [\mu\text{A}/\text{V}^2] = 180 [\mu\text{A}/\text{V}^2]$$

Napięcia V_{GS} wybranych tranzystorów:

$$|V_{GS8}| = |V_{GS7}| = |V_{GS6}| = \sqrt{\frac{|I_{D8}|}{K_8}} + |V_{TP}| = \sqrt{\frac{20\mu\text{A}}{180\mu\text{A}/\text{V}^2}} + 0,6\text{V} = 0,933\text{V}$$

$$|V_{GS1}| = |V_{GS2}| = \sqrt{\frac{|I_{D1}|}{K_1}} + |V_{TP}| = \sqrt{\frac{20\mu\text{A}}{180\mu\text{A}/\text{V}^2}} + 0,6\text{V} = 0,933\text{V}$$

$$V_{GS5} = V_{GS3} = \sqrt{\frac{I_{D5}}{K_5}} + V_{TN} = \sqrt{\frac{200\mu\text{A}}{3600\mu\text{A}/\text{V}^2}} + 0,5\text{V} = 0,736\text{V}$$

Przykład obliczeniowy WO – c.d.

Zakres dostępnych wspólnych napięć wejściowych:

$$I_{CM+} = V_{DD} - |V_{GS6}| + |V_{TN}| - |V_{GS1}| = 3,3\text{V} - 0,933\text{V} + 0,6\text{V} - 0,933\text{V} = 2,034\text{V}$$

$$I_{CM-} = 0 + V_{GS3} - |V_{TP}| = 0,736\text{V} - 0,6\text{V} = 0,136\text{V}$$

Zakres możliwego napięcia wyjściowego:

$$V_{OMAX} = V_{DD} - |V_{GS7}| + |V_{TP}| = 3,3\text{V} - 0,933\text{V} + 0,6\text{V} = 2,967\text{V}$$

$$V_{OMIN} = 0 + V_{GS5} - V_{TN} = 0,736\text{V} - 0,5\text{V} = 0,236\text{V}$$

Transkonduktancje i rezystancje stopni wzmacniających:

$$gm_5 = 2\sqrt{K_5 I_{D5}} = 2\sqrt{3600\mu\text{A}/\text{V}^2 \cdot 200\mu\text{A}} = 1697\mu\text{S}$$

$$gm_2 = 2\sqrt{K_2 |I_{D2}|} = 2\sqrt{180\mu\text{A}/\text{V}^2 \cdot 20\mu\text{A}} = 120\mu\text{S}$$

$$(r_{02} \parallel r_{04}) = \frac{1}{(\lambda_N + \lambda_P)|I_{D2}|} = \frac{1}{(0,01\text{V}^{-1} + 0,02\text{V}^{-1}) \cdot 20\mu\text{A}} = 1,667\text{M}\Omega$$

$$(r_{05} \parallel r_{07}) = \frac{1}{(\lambda_N + \lambda_P)|I_{D7}|} = \frac{1}{(0,01\text{V}^{-1} + 0,02\text{V}^{-1}) \cdot 200\mu\text{A}} = 166,7\text{k}\Omega$$

Przykład obliczeniowy WO – c.d.

Wzmocnienia poszczególnych stopni jak i pełnego wzmacniacza:

$$\begin{aligned} A_{D0} &= \frac{v_o}{v_{id}} = \frac{v_{d2}}{v_{id}} \frac{v_o}{v_{d2}} = [-gm_2(r_{02} \parallel r_{04})][-gm_5(r_{05} \parallel r_{07})] = \\ &= (-120\mu S \cdot 1,667M\Omega)(-1697\mu S \cdot 166,7k\Omega) = (-200,04V/V)(-282,89V/V) = 56,589 kV/V \end{aligned}$$

Pulsacje biegunów i zera, pole wzmocnienia:

$$\omega'_{B1} \cong -\frac{1}{gm_5 C_C (r_{02} \parallel r_{04})(r_{05} \parallel r_{07})} = -\frac{1}{3pF \cdot 282,89 \cdot 1,667M\Omega} = -7,068 \cdot 10^2 \text{ rad/sec} \Rightarrow f'_{B1} \cong -112,5\text{Hz}$$

$$\omega'_{B2} \cong -\frac{gm_5}{C_L} = -\frac{1697\mu S}{10pF} = -169,7 \cdot 10^6 \text{ rad/sec} \Rightarrow f'_{B2} \cong -27,01\text{MHz}$$

$$\omega'_Z \cong \frac{gm_5}{C_C} = \frac{1697\mu S}{3pF} = 565,7 \cdot 10^6 \text{ rad/sec} \Rightarrow f'_Z \cong 90,03\text{MHz}$$

$$GB = \frac{gm_2}{C_C} = \frac{120\mu S}{3pF} = 40 \cdot 10^6 \text{ rad/sec} \Rightarrow GB = 6,366\text{MHz}$$

Współczynnik SR:

$$SR = \frac{|I_{D6}|}{C_C} = \frac{40\mu A}{3pF} = 13,33 \frac{V}{\mu s}$$

Przykład obliczeniowy WO – c.d.

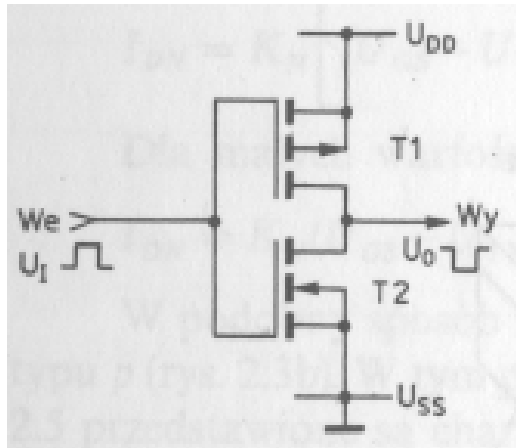
Sprawdzenie czy układ objęty pętlą u.s.z. będzie stabilny

Warunki dla 60st. zapasu fazy:

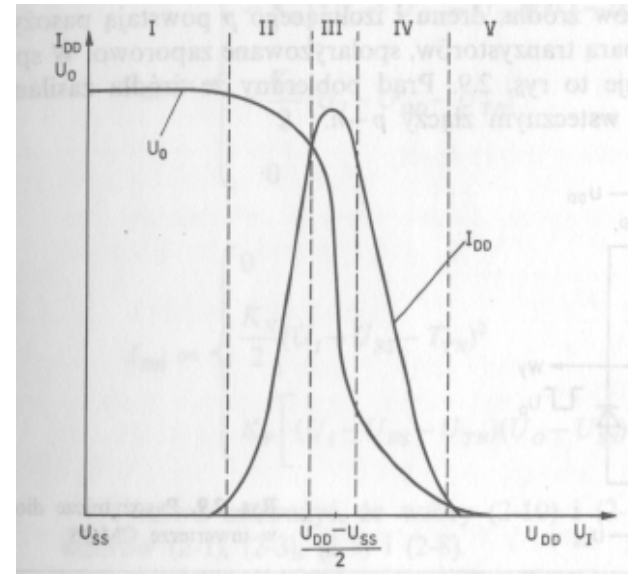
$$1) \quad gm_5 \geq 10gm_2 \quad 1697\mu 6 \geq 10 \cdot 120\mu 2 \quad \Leftarrow \text{OK}$$

$$2) \quad C_C \geq 0,22C_L \quad 3\text{pF} \geq 0,22 \cdot 10\text{pF} \quad \Leftarrow \text{OK}$$

Podstawowe układy cyfrowe: bramki i przerzutniki.



Rys. 8.1 Schemat elektryczny inwertera CMOS [4].

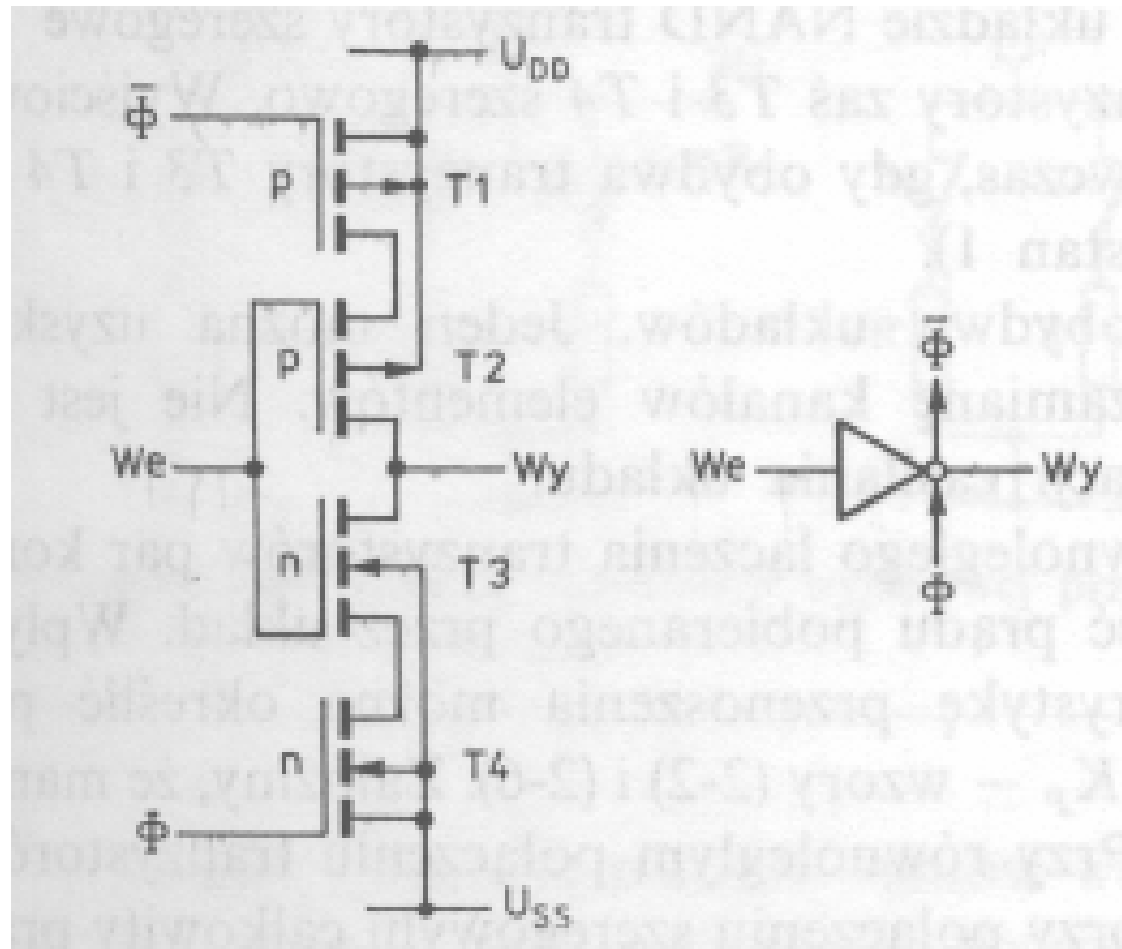


Rys. 8.2 Charakterystyki statyczne inwertera CMOS [4].

Nr obszaru	Zakres napięcia wejściowego	Stan tranzystora	
		T1	T2
I	$0 \leq U_I \leq U_{TN}$	nienasycony	zablokowany
II	$U_{TN} \leq U_I \leq U_O - U_{TP} $	nienasycony	nasycony
III	$U_O - U_{TP} \leq U_I \leq U_O + U_{TN}$	nasycony	nasycony
IV	$U_O + U_{TN} \leq U_I \leq U_{DD} - U_{TP} $	nasycony	nienasycony
V	$U_{DD} - U_{TP} \leq U_I \leq U_{DD}$	zablokowany	nienasycony

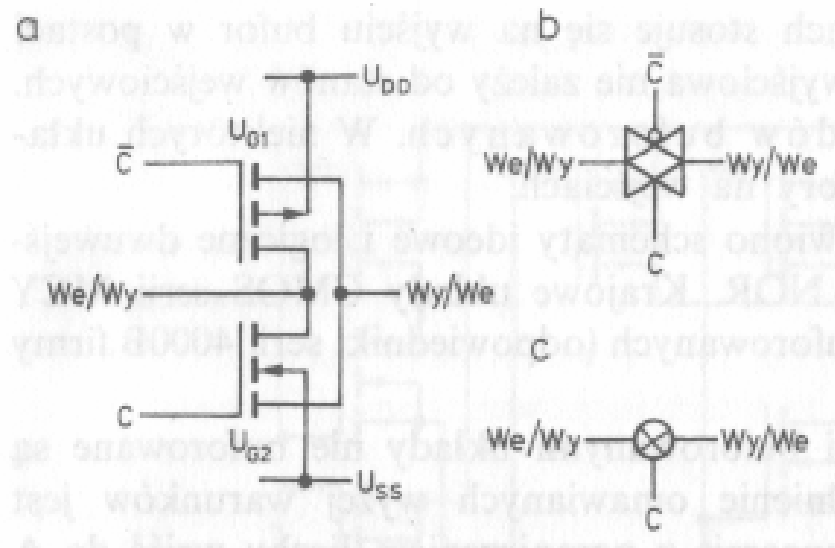
Tabela 8.1 Obszary pracy tranzystorów w inwerterze CMOS [4].

Inwerter kluczowany.

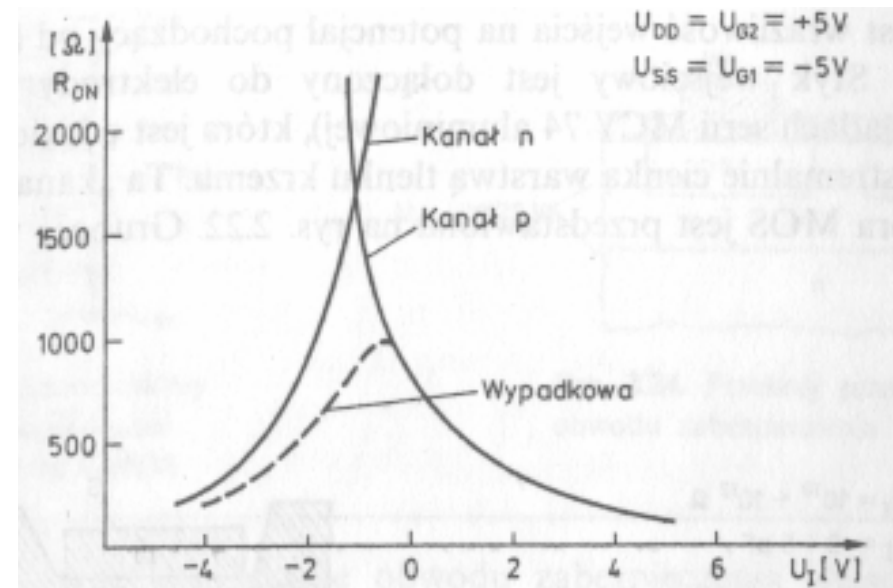


Rys. 8.3 Inwerter kluczowany i jego symbol graficzny [4].

Bramka transmisyjna.



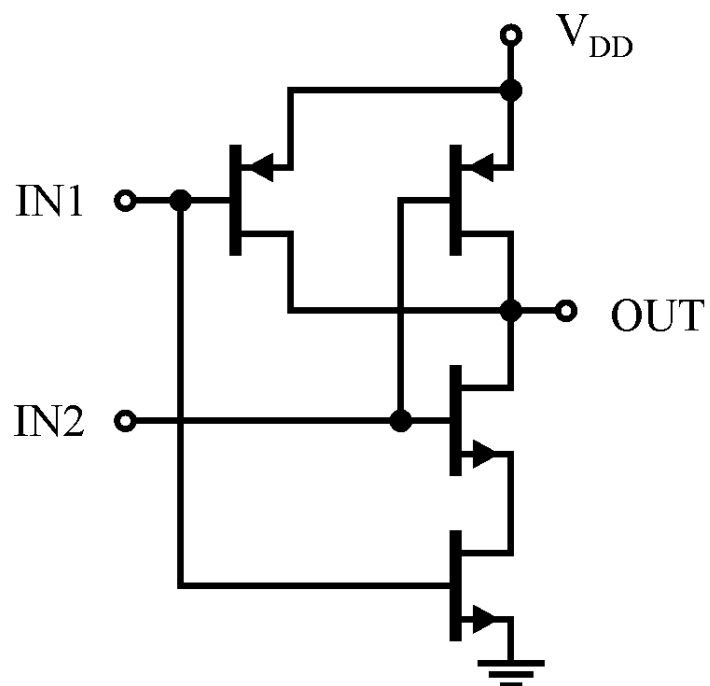
Rys. 8.4 Bramka transmisyjna (a) i stosowane jej symbole graficzne (b) i (c) [4].



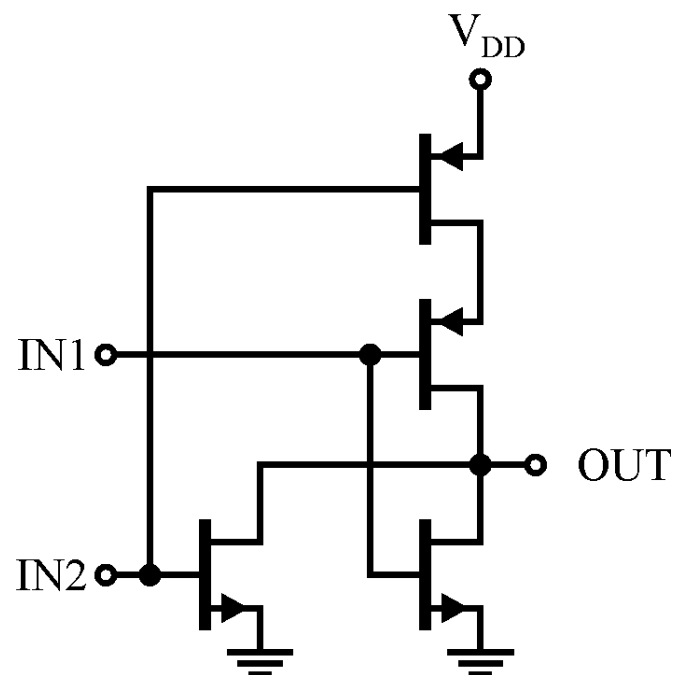
Rys. 8.5 Rezystancje poszczególnych tranzystorów MOS oraz wypadkowa rezystancja bramki transmisyjnej [4].

Do domu: wyznaczyć warunek liniowej rezystancji bramki transmisyjnej.

Bramki CMOS.



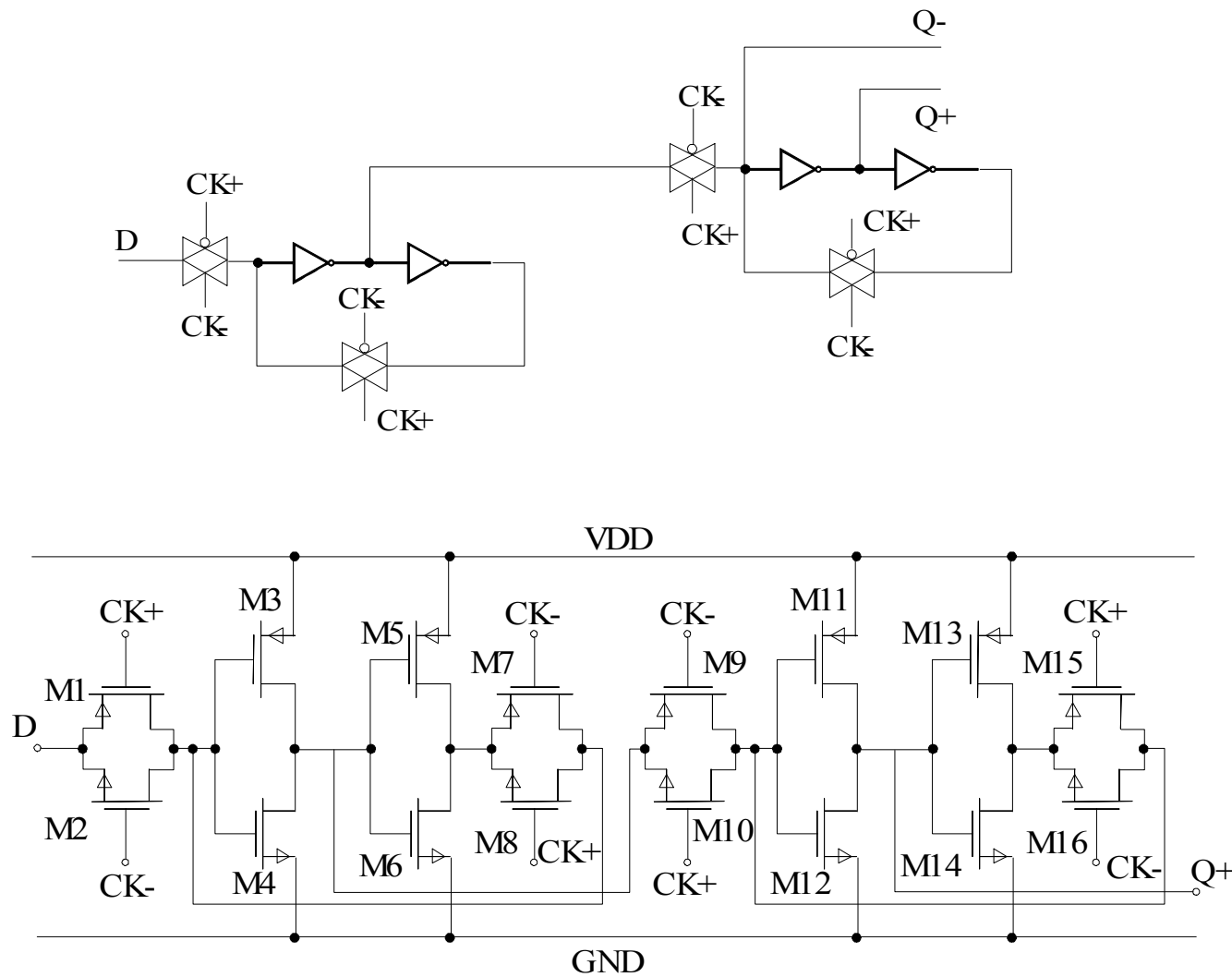
(a)



(b)

Rys. 8.6 Dwuw wejściowa bramka NAND (a) oraz NOR (b).

Przerzutniki.



Rys. 10.7 Schemat blokowy (u góry) i szczegółowy (u dołu) przerzutnika typu D sterowanego narastającym zboczem sygnału zegarowego.

Szacowanie czasów propagacji i wybór optymalnych wymiarów tranzystorów. [1]

Podstawowe równania dla tranzystora nMOS:

$$V_{TN} = V_{TN0} + \gamma_N (\sqrt{\phi - v_{BS}} - \sqrt{\phi}) \quad K'_N = \mu_N C_{OX}$$

prąd drenu w obszarze omowym:

$$i_D = \frac{K'_N W}{L} (v_{GS} - V_{TN} - v_{DS} / 2) v_{DS}$$

prąd drenu w obszarze nasycenia:

$$i_D = \frac{K'_N W}{2L} (v_{GS} - V_{TN})^2 (1 + \lambda_N v_{DS}) = K_N (v_{GS} - V_{TN})^2 (1 + \lambda_N v_{DS}), \text{ gdzie } K_N = \frac{K'_N W}{2L} = \frac{1}{2} \mu_n C_{OX} \frac{W}{L}$$

gdzie: V_{TN} – napięcie progowe [V],

V_{TN0} – napięcie progowe przy zerowym napięciu podłoża-źródło, t.j. dla $V_{BS}=0$ [V],

γ_N - współczynnik podłożowy $\sqrt{V}$],

ϕ - potencjał powierzchniowy (około 0.7V),

μ_N - ruchliwość nośników w kanale [$m^2/(sec V)$],

C_{OX} – gęstość powierzchniowa pojemności bramki [F/m^2],

λ_N - współczynnik modulacji długości kanału [$1/V$],

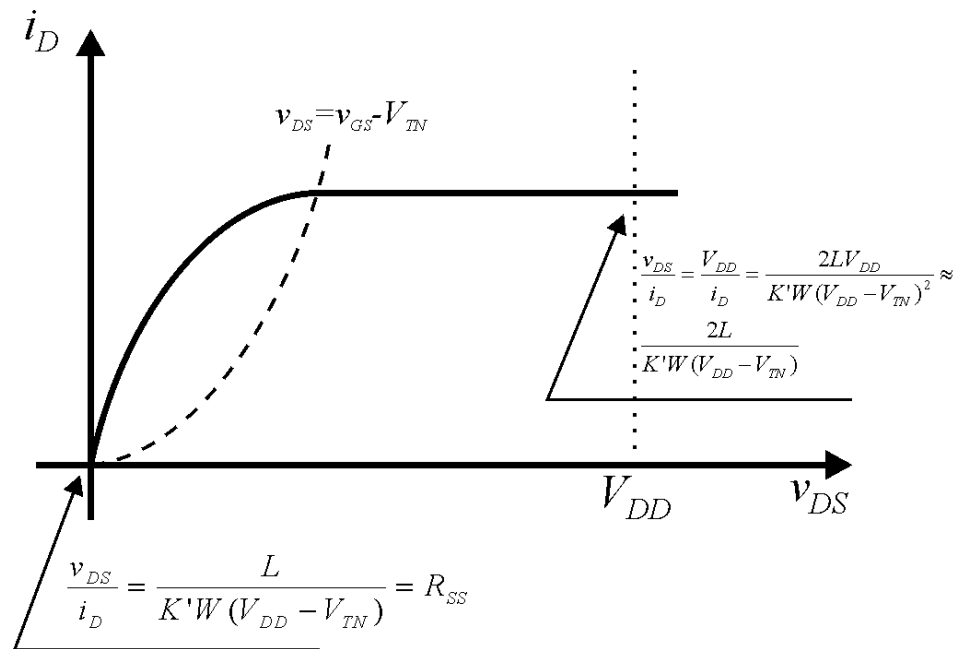
W, L – odpowiednio szerokość i długość obszaru kanału [m].

Stała czasowa procesu: Jest to stała wyznaczona jako iloczyn minimalnej pojemności bramki tranzystora oraz rezystancji dla zerowego napięcia v_{DS} przy sterowaniu bramki z napięcia zasilającego, liczone zazwyczaj dla tranzystora typu N:

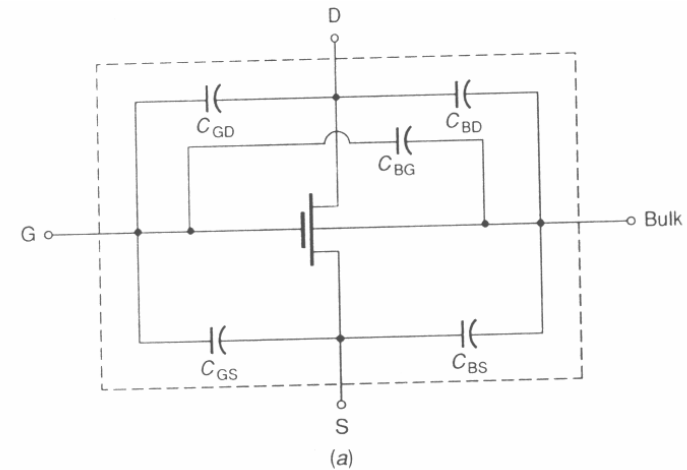
$$\tau_P = R_{SS} C_G$$

gdzie: $C_G = W_N L_N C_{OX}$, $R_{SS} = \frac{L_N}{K'_N W_N (V_{DD} - V_{TN})}$ stąd: $\tau_P = \frac{L_N^2 C_{OX}}{K'_N (V_{DD} - V_{TN})}$

Propagacja - układy cyfrowe CMOS.



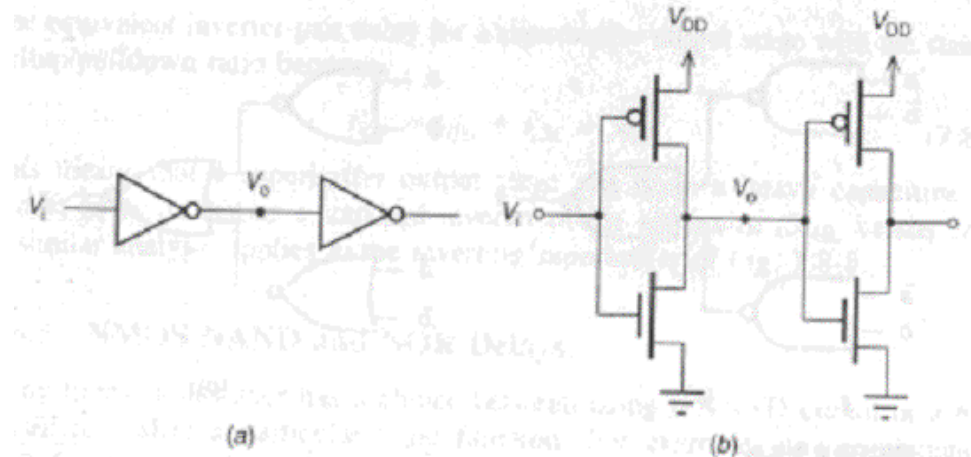
Rys. 9.3. Charakterystyki tranzystora NMOS inwertera CMOS.



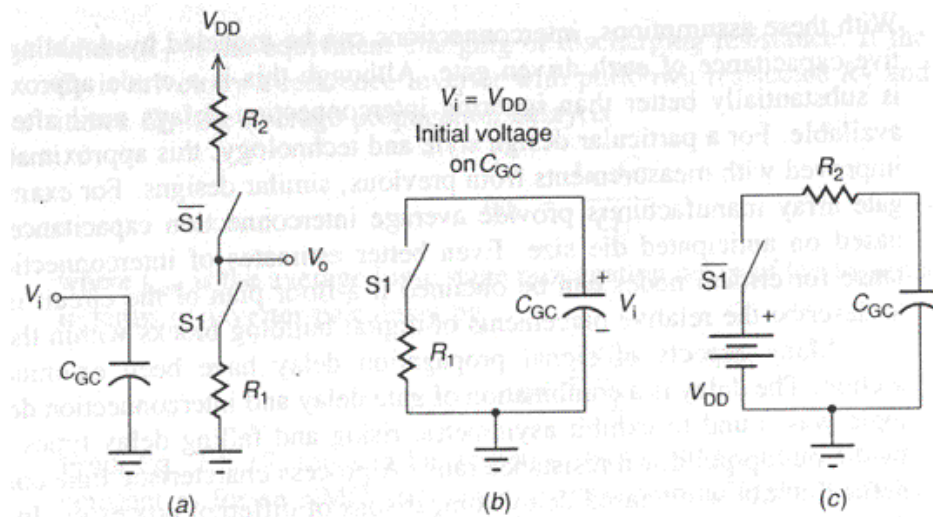
	Region		
	Cutoff	Ohmic	Saturation
C_{GD}	$C_{OX}WL_D$	$C_{OX}WL_D + \frac{1}{2}WLC_{OX}$	$C_{OX}WL_D$
C_{GS}	$C_{OX}WL_D$	$C_{OX}WL_D + \frac{1}{2}WLC_{OX}$	$C_{OX}WL_D + \frac{2}{3}WLC_{OX}$
C_{BG}	$C_{OX}WL$	0	0
C_{BD}	C_{BD1}	$C_{BD1} + \frac{C_{BC1}}{2}$	C_{BD1}
C_{BS}	C_{BS1}	$C_{BS1} + \frac{C_{BC1}}{2}$	$C_{BS1} + \frac{2}{3}C_{BC1}$

Rys. 9.2. Pojemności pasozytnicze tranzystora MOS.
 L_D – dyfuzja boczna kanału tranzystora MOS,
 pozostałe symbole wg zwyczajowego znaczenia. [1]

Propagacja - układy cyfrowe CMOS.



Rys. 9.1 Inwerter CMOS sterujący następnym inwerterem. [1]



Rys. 9.3 Układ równoważny do analizy opóźnienia inwertera CMOS. (a) uproszczony model RC, (b) model w czasie zmiany stanu wyjścia z wysokiego na niski, (c) model dla zmian stanu niski – wysoki. [1]

Propagacja - układy cyfrowe CMOS. [1]

Pojemność bramki tranzystora N:

$$C_{GN} = C_G \approx C_{OX} W_N L_N$$

Pojemność bramki tranzystora P:

$$C_{GP} = C_G \approx C_{OX} W_P L_P$$

Wejściowa pojemność całkowita bramki:

$$C_{GC} = C_{GN} + C_{GP}$$

Czas narastania sygnału:

$$t_{LH} = 2R_P C_{GC}$$

Czas opadania sygnału:

$$t_{HL} = 2R_N C_{GC}$$

Szacunkowa rezystancja tranzystora M1:

$$R_N = \frac{2L_N}{K'_N W_N (V_{DD} - V_{TN})} = 2R_{SS}$$

Szacunkowa rezystancja tranzystora M2:

$$R_P = \frac{2L_P}{K'_P W_P (V_{DD} + V_{TP})}$$

Propagacja - układy cyfrowe CMOS. [1]

Przykład 9.1. Należy obliczyć opóźnienie kaskady inwerterów CMOS w technologii 2um. Dane: $K'_N=45\mu A/V^2$, $K'_P=15\mu A/V^2$, tranzystory dobrane dla symetrycznego sterowania wyjścia, napięcia progowe $V_{TN}=1V$, $V_{TP}=-1V$, $C_{OX}=1fF/(um)^2$. Należy ustalić opóźnienia wyrażone w sekundach oraz w stosunku do stałej czasowej procesu.

Rozwiązanie: Dla jednakowego sterowania wyjściem w stanie niskim i wysokim musi być spełniony warunek

$$K'_N \frac{W_N}{L_N} = K'_P \frac{W_P}{L_P}, \text{ jeśli więc przyjmiemy, że tranzystor } M_n \text{ będzie miał minimalne dostępne}$$

wymiary $W_N=2um$, $L_N=2um$ wówczas M_p będzie miał wymiary $W_P=6um$, $L_P=2um$. Pojemność wejściowa inwertera będzie równa

$$C_{GC} = C_{GN} + C_{GP} = C_{OX} L_N (W_N + W_P) = 1fF/(um)^2 * 2um(2 + 6)um = 16fF$$

stała czasowa procesu wynosi

$$\tau_P = \frac{L_N^2 C_{OX}}{K'(V_{DD} - V_{TN})} = \frac{(2um)^2 1fF/(um)^2}{45\mu A/V^2 (5V - 1V)} = 0.022ns, \text{ rezystancje } R_N \text{ oraz } R_P \text{ są równe}$$

$$R_N = R_P = \frac{2L_1}{K'W_1(V_{DD} - V_{TN})} = 11.1k\Omega. \text{ Czasy propagacji są więc równe}$$

$t_{LH} = 2R_2 C_{GC} = t_{HL} = 2R_1 C_{GC} = 0.355ns$, natomiast czas przejścia sygnału przez parę inwerterów będzie równy

$$t_{pid} = t_{LH} + t_{HL} = 0.71ns. \text{ Wartość ta w stosunku do stałej czasowej procesu wynosi } t_{pid} = 32\tau_P$$

W powyższym przykładzie rozważono istnienie wyłącznie pojemności bramkowych przy zaniechaniu wszystkich pozostałych. W rzeczywistości istotną rolę odgrywają również pojemności złączowe drenów i źródeł tranzystorów oraz pojemności połączeń.

Porównanie skalowań inwertewra dla danych jak w przykładzie 9.1

$$K_N=45\mu\text{A}/\text{V}^2, K_P=15\mu\text{A}/\text{V}^2, V_{TN}=1\text{V}, V_{TP}=-1\text{V}, C_{OX}=1\text{fF}/(\mu\text{m})^2, V_{DD}=5\text{V}$$

Równe prądy wyjściowe

$$(W/L)_N=2\mu\text{m}/2\mu\text{m} \quad (W/L)_P=6\mu\text{m}/2\mu\text{m}$$

$$C_{GC}=1\text{fF}/(\mu\text{m})^2*(4+12) (\mu\text{m})^2 =16\text{fF}$$

$$R_N=2*2\mu\text{m}/[45\mu\text{A}/\text{V}^2*2\mu\text{m}(5\text{V}-1\text{V})]=$$
$$=11,1\text{k}\Omega$$

$$R_P=2*2\mu\text{m}/[15\mu\text{A}/\text{V}^2*6\mu\text{m}(5\text{V}-1\text{V})]=$$
$$=11,1\text{k}\Omega$$

$$t_{LH}=2R_P*C_{GC}=0,3552\text{ns}$$

$$t_{HL}=2R_N*C_{GC}=0,3552\text{ns}$$

$$t_{pid} = t_{LH} + t_{HL} = 0,7104\text{ns}$$

Powierzchnia tranzystorów:

$$2*2 + 2*6 =16(\mu\text{m})^2$$

Minimalne wymiary

$$(W/L)_N=2\mu\text{m}/2\mu\text{m} \quad (W/L)_P=2\mu\text{m}/2\mu\text{m}$$

$$C_{GC}=1\text{fF}/(\mu\text{m})^2*(4+4) (\mu\text{m})^2 =8\text{fF}$$

$$R_N=2*2\mu\text{m}/[45\mu\text{A}/\text{V}^2*2\mu\text{m}(5\text{V}-1\text{V})]=$$
$$=11,1\text{k}\Omega$$

$$R_P=2*2\mu\text{m}/[15\mu\text{A}/\text{V}^2*2\mu\text{m}(5\text{V}-1\text{V})]=$$
$$=33,3\text{k}\Omega$$

$$t_{LH}=2R_P*C_{GC}=0,5328\text{ns}$$

$$t_{HL}=2R_N*C_{GC}=0,1776\text{ns}$$

$$t_{pid} = t_{LH} + t_{HL} = 0,7104\text{ns} \quad !!!$$

$$2*2 + 2*2 =8(\mu\text{m})^2$$

Porównanie bramek dwuwejściowych dla minimalnego skalowania i danych jak w przykładzie 9.1

$$K_N=45\mu\text{A}/\text{V}^2, K_P=15\mu\text{A}/\text{V}^2, V_{TN}=1\text{V}, V_{TP}=-1\text{V}, C_{OX}=1\text{fF}/(\mu\text{m})^2, V_{DD}=5\text{V}$$

Bramka NAND

Bramka NOR

$$(W/L)_N=2\mu\text{m}/2\mu\text{m} \quad (W/L)_P=2\mu\text{m}/2\mu\text{m}$$

$$C_{GC}=2*1\text{fF}/(\mu\text{m})^2*4(\mu\text{m})^2=8\text{fF}$$

$$R_N=2*2\mu\text{m}/[45\mu\text{A}/\text{V}^2*2\mu\text{m}(5\text{V}-1\text{V})] = 11,1\text{k}\Omega$$

$$R_P=2*2\mu\text{m}/[15\mu\text{A}/\text{V}^2*2\mu\text{m}(5\text{V}-1\text{V})] = 33,3\text{k}\Omega$$

$$t_{LH}=2R_P*C_{GC}= 0,5328\text{ns}$$

$$t_{LH}=2*2R_P*C_{GC}= 1,0656\text{ns}$$

$$t_{HL}=2*2*R_N*C_{GC}= 0,3552\text{ns}$$

$$t_{HL}=2R_N*C_{GC}= 0,1776\text{ns}$$

$$t_{pid} = t_{LH} + t_{HL} = \mathbf{0,888ns}$$

$$t_{pid} = t_{LH} + t_{HL} = \mathbf{1,2432ns !!!}$$

Powierzchnia tranzystorów:

$$2*2 *4 =16(\mu\text{m})^2$$

Propagacja - układy cyfrowe CMOS. [1]

Obciążenia pojemnościowe:

$$t_{dly} = \frac{t_{apd} C_T}{C_G} \quad (9.9)$$

t_{dly} – średni czas propagacji, C_T – pojemność obciążająca, C_G – pojemność bramki jednostkowej, t_{apd} – średni czas propagacji dla danej rodziny wyznaczony dla pary inwerterów jednostkowych

$$t_{apd} = \frac{t_{pid}}{2} \quad (9.10)$$

Sterowanie wieloma bramkami:

$$t_{stage} = t_{apd} f \quad (9.11)$$

gdzie t_{stage} – opóźnienie danego stopnia logicznego, f – równoważna liczba jednostkowych inwerterów, $f = C_T / C_G$. Stąd łatwo można oszacować opóźnienie danej ścieżki sygnałowej o N poziomach logicznych, o równoważnym obciążeniu na danym poziomie równym f_i , jako:

$$t_{path} = t_{apd} \sum_{i=1}^N f_i \quad (9.12)$$

Propagacja - układy cyfrowe CMOS. [1]

Uwzględnienie pojemności połączeń:

Jeśli przyjmiemy że na danym poziomie logicznym obciążenie pojemnościowe jest równe sumie dwóch składowych tj. wynikających z wielokrotnych wejść bramek oraz pojemności połączeń wówczas opóźnienie w danym węźle będzie równe:

$$t_{node} = t_{apd}(f + m) \quad (9.13)$$

gdzie m odpowiada za część pojemności przypadającą na połączenia. Uwzględniając pojemności połączeń opóźnienie danej ścieżki jest równe:

$$t_{path} = t_{apd} \sum_{i=1}^N (f_i + m_i) \quad (9.14)$$

Propagacja - układy cyfrowe CMOS. [1]

Zwiększenie wymiarów tranzystorów:

Zwiększenie stosunku W/L tranzystorów bramek powoduje proporcjonalną zmianę rezystancji a co za tym idzie zmniejszenie czasu propagacji. Jeśli jako θ oznaczymy wartość zwielokrotnienia tych wymiarów wówczas otrzymamy odpowiednie skrócenie czasu propagacji oraz zwiększenie pojemności wejściowej takiej bramki (θC_G). Opóźnienie powiększonego inwertera wynosi więc:

$$t_{inv} = \frac{t_{apd} C_T}{\theta C_G} \quad (9.15)$$

Uwzględniając powiększoną wydajność bramek opóźnienie danej ścieżki sygnałowej można przybliżyć wzorem:

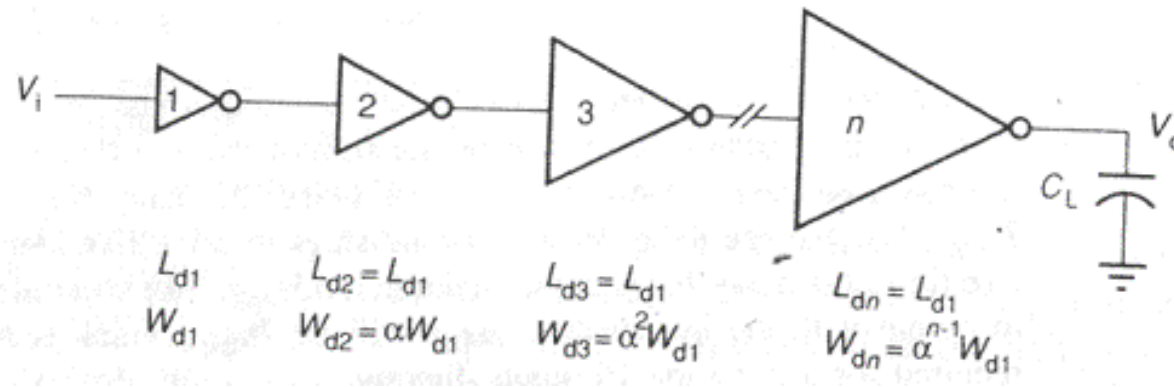
$$t_{path} = t_{apd} \sum_{i=1}^N \frac{f_i + m_i}{\theta_i} \quad (9.16)$$

Zadanie do domu: wyznaczyć opóźnienie jak w przykładzie 11.1 ale dla równych wydajności prądowych bramek typu NAND i NOR Należy porównać obie bramki pod względem t_{apd} oraz użytej powierzchni.

Optymalizacja opóźnienia cyfrowych bloków wyjściowych. [1]

Tabela 10.1. Typowe wartości obciążeń pojemnościowych.

Obciążenie	C_T	C_T/C_G
Pojedynczy inwerter referencyjny	6.3fF	1
Dziesięć inwerterów	63fF	10
Szyna metalowa 4mm x 4.5um	0.450pF	71
Standardowy PAD 100um x 100um	0.25pF	40
Sonda oscyloskopu	10.0pF	1587
Wyprowadzenie adresowe chipa pamięci	5.0pF	794



Rys. 10.1. Kaskada inwerterów o zwiększających się wymiarach i przez to sile sterowania. [1]

Optymalizacja opóźnień cyfrowych bloków wyjściowych. [1]

Bezpośrednie sterowanie obciążeniem:

$$t_{dir} = \frac{t_{apd} C_L}{C_G}$$

Współczynniki skalowania / liczba stopni:

$$\alpha = \left(\frac{C_L}{C_G} \right)^{1/n} \quad n = \frac{\ln C_L / C_G}{\ln \alpha}$$

Obciążenie pojemnościowe stopnia skalowanego:

$$C_{Lk} = \alpha^k C_G$$

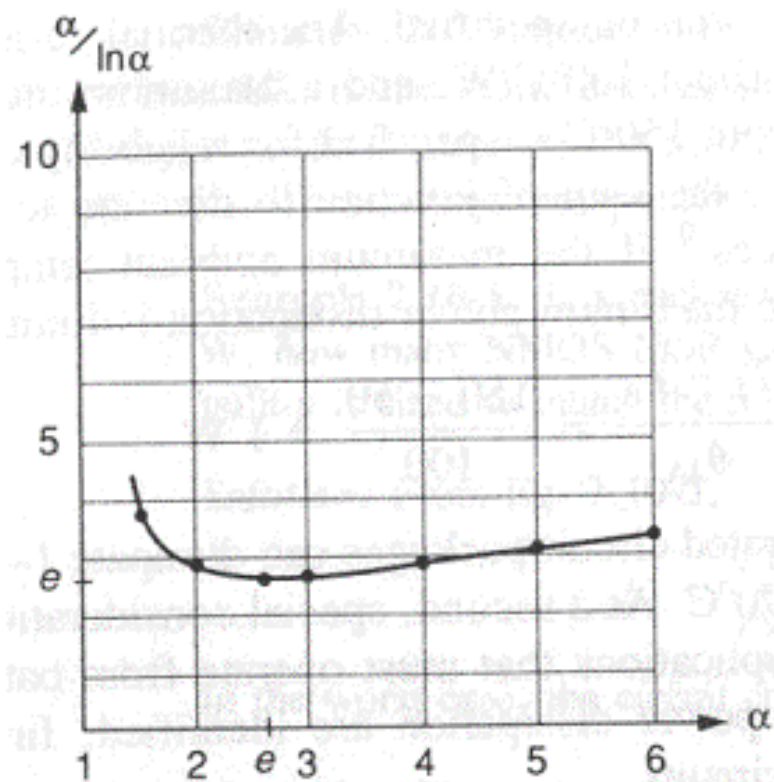
Opóźnienie ścieżki skalowanej:

$$t_{cas} = n \alpha t_{apd}$$

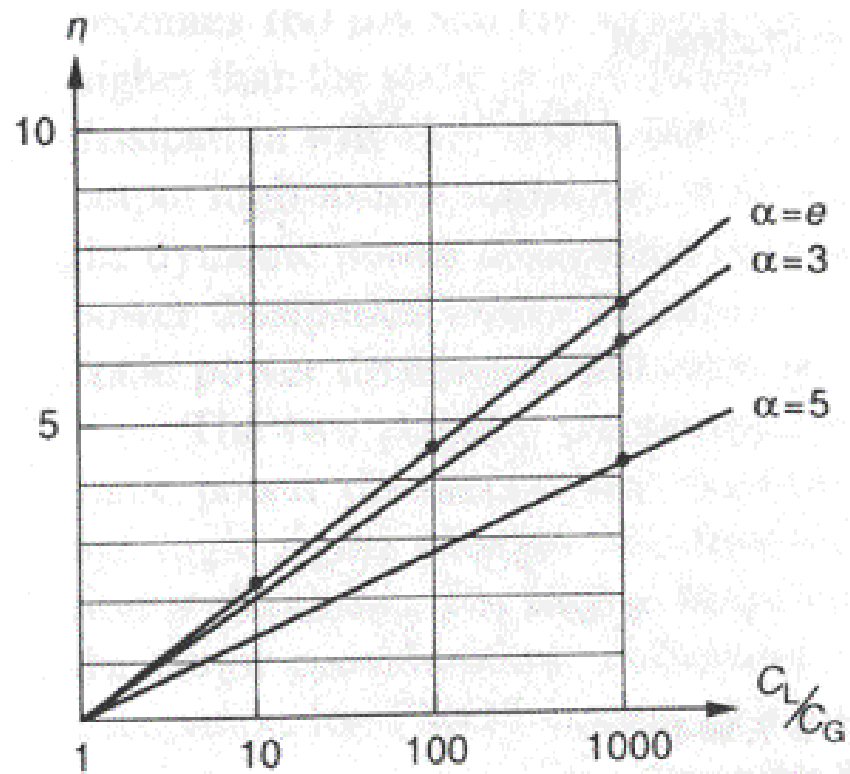
Stosunek opóźnień:

$$r = \frac{t_{cas}}{t_{dir}} = \frac{n \alpha t_{apd}}{t_{apd} C_L / C_G} = \frac{n \alpha C_G}{C_L} \quad r = \frac{\ln(C_L / C_G)}{C_L / C_G} \frac{\alpha}{\ln \alpha}$$

Optimalizacja opóźnienia cyfrowych bloków wyjściowych. [1]



Rys. 10.2. Wykres wyrażenia $\alpha / \ln \alpha$ w funkcji α . [1]



Rys. 10.3. Liczba stopni w funkcji stosunku pojemności C_L/C_G . [1]

Optymalizacja opóźnienia cyfrowych bloków wyjściowych.[1]

Przykład 10.1 Należy wyznaczyć opóźnienie sygnału dla sterowania inwerterem jednostkowym (jak w przykładzie 9.1) oraz kaskadą optymalnie dobranych inwerterów PADa o wymiarach 100um x 100um dla typowej technologii CMOS 2um o pojemności powierzchniowej warstwy metalu wynoszącej 0.025fF/um². Do PADa dołączona jest sonda oscyloskopu o pojemności 10pF. Minimalny tranzystor 2 x 2 um, $C_{OX}=1\text{fF}/(\text{um})^2$. Opóźnienie należy podać w stosunku do czasu propagacji inwertera jednostkowego t_{apd} oraz w sekundach dla danych jak w przykładzie 9.1. Należy również porównać zużycie powierzchni krzemu.

Rozwiązanie: Pojemność PADa wynosi:

$$C_{PAD} = 100\text{um} * 100\text{um} * 0.025 \text{fF}/(\text{um})^2 = 0.25 \text{pF}$$

Pojemność obciążenia jest więc równa

$$C_L = C_{PAD} + C_{SONDA} = 10.25 \text{pF}$$

$$C_G = 3 * 2\text{um} * 2\text{um} * 1 \text{fF}/(\text{um})^2 + 2\text{um} * 2\text{um} * 1 \text{fF}/(\text{um})^2 = 16 \text{fF}$$

Opóźnienie przy bezpośrednim sterowaniu wynosi:

$$t_{dir} = \frac{t_{apd} C_L}{C_G} = t_{apd} \frac{10.25 \text{pF}}{16 \text{fF}} = 640.625 t_{apd}$$

Wyrażając powyższe w bezwzględnych jednostkach czasu wynosi

$$t_{dir} = 640.625 t_{apd} = 640.625 \frac{t_{ipd}}{2} = 640.625 \frac{0.71 \text{ns}}{2} = 227.4 \text{ns}$$

(odpowiadająca częstotliwość = $1/2/t_{dir}=2.199\text{MHz}$!!!)

Optymalizacja opóźnienia cyfrowych bloków wyjściowych.[1]

Dla sterowania kaskadą inwerterów wybieramy optymalne $\alpha=e$, wówczas

$n = \frac{\ln C_L / C_G}{\ln \alpha} = 6.462$, wybieramy najbliższą całkowitą wartość równą 6. Współczynnik α modyfikuje się do wartości

$$\alpha = \left(\frac{C_L}{C_G} \right)^{1/n} = 2.94$$

Wynikowe opóźnienie wynosi:

$$t_{cas} = n \alpha t_{apd} = 6 * 2.94 t_{apd} = 17.64 t_{apd} = 17.64 \frac{t_{ipd}}{2} = 17.64 \frac{0.71ns}{2} = 6.26ns$$

(odpowiadająca częstotliwość = $1/2/t_{cas}=79.872MHz$!!!)

Zwiększenie zużycia powierzchni będzie równe:

$$1 + \alpha + \alpha^2 + \dots + \alpha^5 = 332.4$$

Jeśli dla oszczędzenia powierzchni zostało by wybrane użycie 3 stopni wówczas

$$\alpha = \left(\frac{C_L}{C_G} \right)^{1/n} = 8.62$$

$$t_{cas} = n \alpha t_{apd} = 3 * 8.62 t_{apd} = 25.86 t_{apd} = 25.86 \frac{t_{ipd}}{2} = 25.86 \frac{0.71ns}{2} = 9.18ns$$

(odpowiadająca częstotliwość = $1/2/t_{cas}=54.466MHz$)

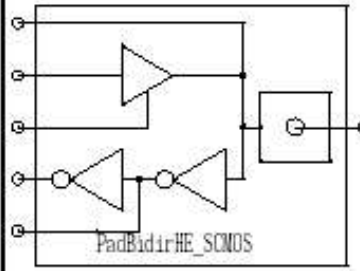
Zwiększenie powierzchni w stosunku do inwertera jednostkowego wyniesie

$$1 + \alpha + \alpha^2 = 82.92$$

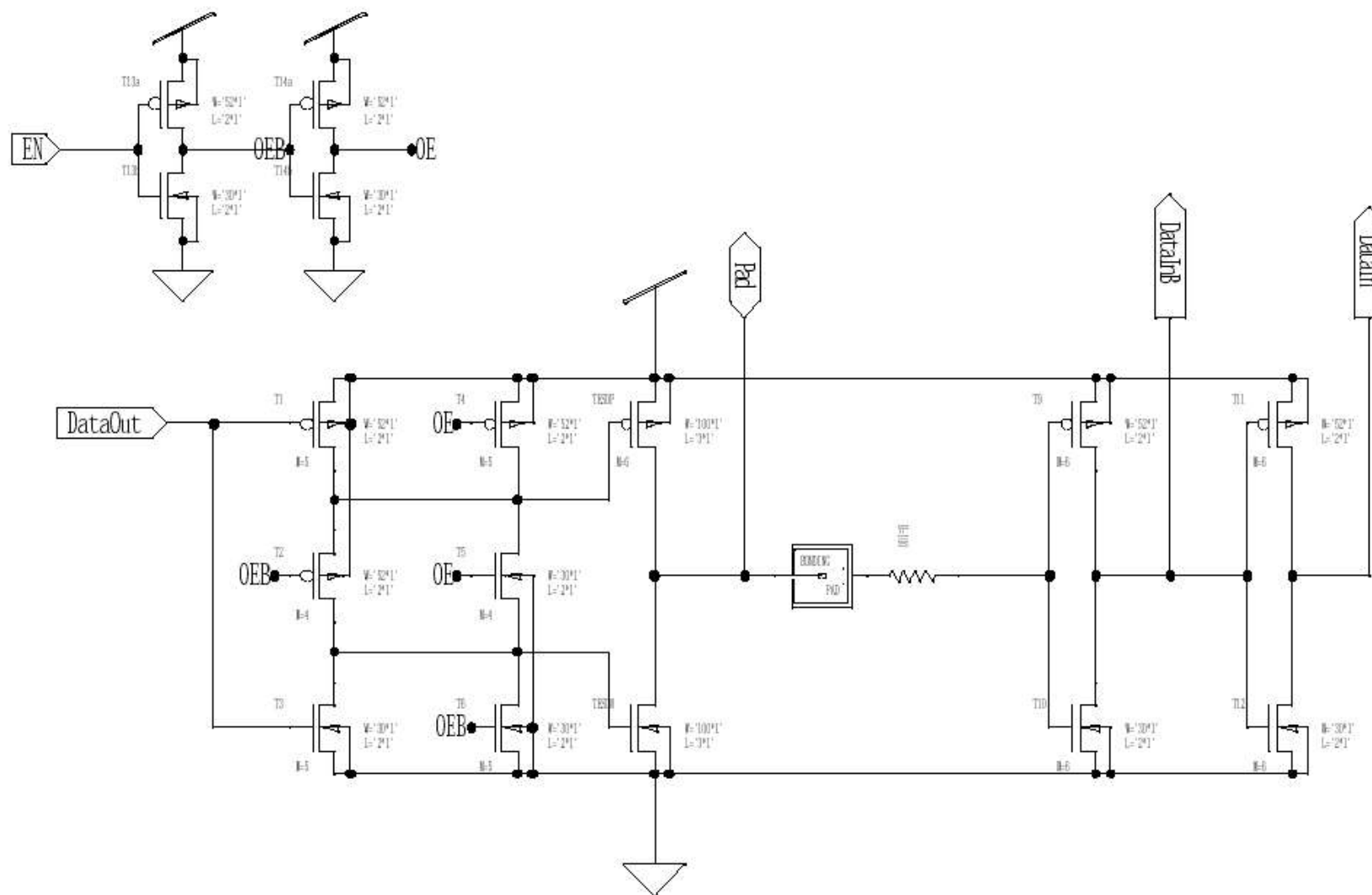
Bloki wejścia-wyjścia układów cyfrowych.

Przykład podstawowego bloku I/O AMI MOSIS 0.5um.

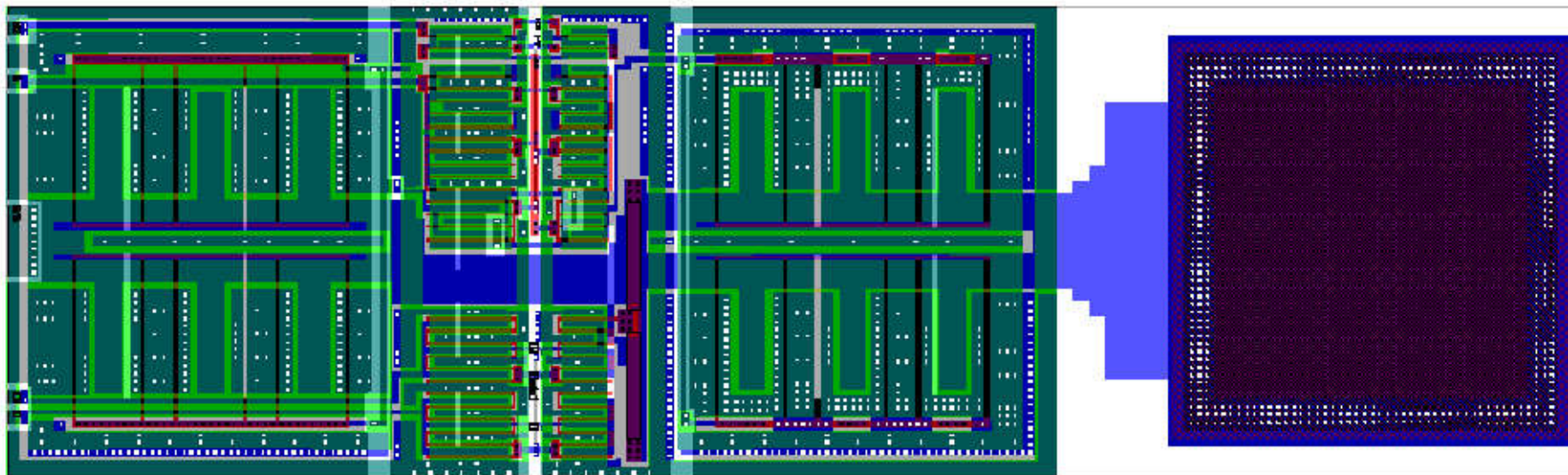
[www.mosis.com]

Bi-Directional Pad		PADBIDIR																		
Description: Bi-Directional Pad with Buffer																				
Library: MOSIS AMI 050P	Primitive Set:	Tanner SCMOS.Cells Tanner.TIB.Samples																		
Schematic: S-Edit	File:	TannerLb\scmos\mAMI05P.sdb																		
	Module:	PADBIDIR																		
Mask layout: L-Edit	File:	TannerLb\scmos\mAMI05P.tdb																		
	Cell:	PADBIDIR																		
Mapping Macros: GateSim:	TannerLb\nettran\scmos\scms2sim.mac																			
L-Edit/SPR:	TannerLb\nettran\scmos\scms2tpr.mac																			
Logic Symbol		Truth Table		Capacitance																
		<table><tr><th>PAD</th><th>OE</th><th>DI</th><th>DO</th></tr><tr><td>X</td><td>1</td><td>X</td><td>In</td></tr><tr><td>1</td><td>0</td><td>1</td><td>X</td></tr><tr><td>0</td><td>0</td><td>0</td><td>X</td></tr></table>		PAD	OE	DI	DO	X	1	X	In	1	0	1	X	0	0	0	X	N/A
PAD	OE	DI	DO																	
X	1	X	In																	
1	0	1	X																	
0	0	0	X																	
Height		Width	Area	Equivalent Gate	Drive															
300 μ		90 μ	27000 μ²	N/A	N/A															

Przykład podstawowego bloku IO AMI MOSIS 0.5um – schemat elektryczny. [www.mosis.com]



13.1. Przykład podstawowego bloku IO AMI MOSIS 0.5um – topografia. [www.mosis.com]



Zaawansowane elementy bloków IO.

Dodatkowe funkcje bloków IO:

- zabezpieczenia wejść przed ESD;
- „podciąganie” do masy lub zasilania;
- zapewnienie odpowiedniej wartości impedancji wyjściowej / wejściowej;
- wyprowadzenia różnicowe;
- wytwarzanie napięć referencyjnych;
- niwelowanie różnych napięć zasilających I/O oraz rdzeń układu.

Standardy IO dostępne w układach VIRTEX 4.

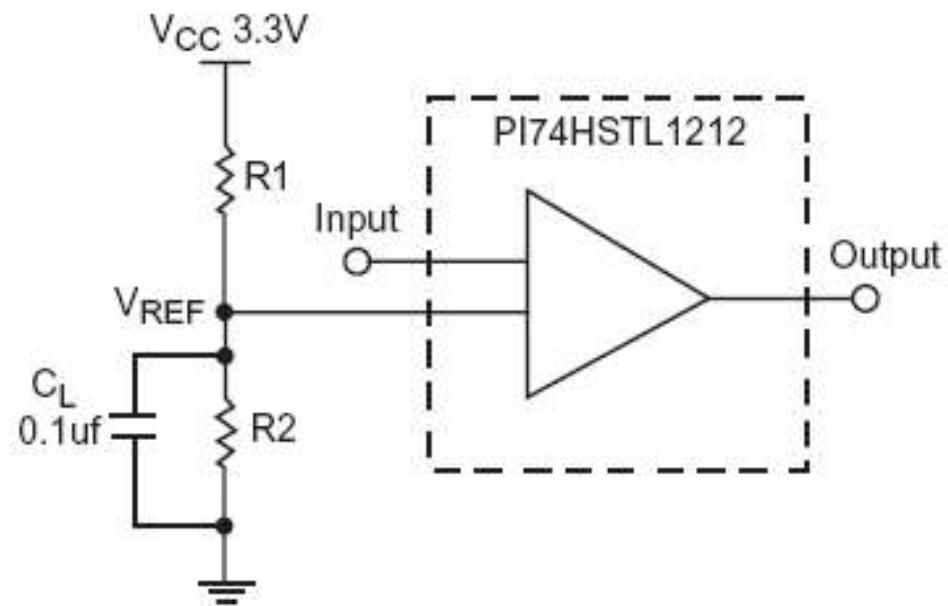
[www.xilinx.com]

Input/Output Standards	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V, Min	V, Max	V, Min	V, Max	V, Max	V, Min	mA	mA
LVTTTL	-0.2	0.8	2.0	3.45	0.4	2.4	Note(3)	Note(3)
LVC MOS33	-0.2	0.8	2.0	3.45	0.4	$V_{CCO} - 0.4$	Note(3)	Note(3)
LVC MOS25	-0.3	0.7	1.7	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	Note(3)	Note(3)
LVC MOS18	-0.3	30% V_{CCO}	70% V_{CCO}	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.45$	Note(4)	Note(4)
LVC MOS15	-0.3	30% V_{CCO}	70% V_{CCO}	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.45$	Note(4)	Note(4)
PCI33_3 ⁽⁵⁾	-0.2	30% V_{CCO}	50% V_{CCO}	V_{CCO}	10% V_{CCO}	90% V_{CCO}	1.5	-0.5
PCI66_3 ⁽⁵⁾	-0.2	30% V_{CCO}	50% V_{CCO}	V_{CCO}	10% V_{CCO}	90% V_{CCO}	1.5	-0.5
PCI-X ⁽⁵⁾	-0.2	35% V_{CCO}	50% V_{CCO}	V_{CCO}	10% V_{CCO}	90% V_{CCO}	1.5	-0.5
GTLP	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	0.6	N/A	36	n/a
GTL	-0.3	$V_{REF} - 0.05$	$V_{REF} + 0.05$	—	0.4	N/A	32	n/a
HSTL I ⁽²⁾	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	8	-8
HSTL II ⁽²⁾	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	16	-16
HSTL III ⁽²⁾	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	24	-8
HSTL IV ⁽²⁾	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	48	-8
DIFF HSTL II ⁽²⁾	-0.3	50% $V_{CCO} - 0.1$	50% $V_{CCO} + 0.1$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	—	—
SSTL2 I	-0.3	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$V_{CCO} + 0.3$	$V_{TT} - 0.61$	$V_{TT} + 0.61$	8.1	-8.1
SSTL2 II	-0.3	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$V_{CCO} + 0.3$	$V_{TT} - 0.81$	$V_{TT} + 0.81$	16.2	-16.2
DIFF SSTL2 II	-0.3	50% $V_{CCO} - 0.15$	50% $V_{CCO} + 0.15$	$V_{CCO} + 0.3$	0.5	$V_{CCO} - 0.5$	—	—
SSTL18 I	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.3$	$V_{TT} - 0.47$	$V_{TT} + 0.47$	6.7	-6.7
SSTL18 II	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.3$	$V_{TT} - 0.60$	$V_{TT} + 0.60$	13.4	-13.4
DIFF SSTL18 II	-0.3	50% $V_{CCO} - 0.125$	50% $V_{CCO} + 0.125$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	—	—

Notes:

1. Tested according to relevant specifications.
2. Applies to both 1.5V and 1.8V HSTL.
3. Using drive strengths of 2, 4, 6, 8, 12, 16, or 24 mA.
4. Using drive strengths of 2, 4, 6, 8, 12, or 16 mA.
5. For more information on PCI33_3, PCI66_3, and PCIX refer to the *Virtex-4 User Guide, SelectIO Resources, Chapter 6*.

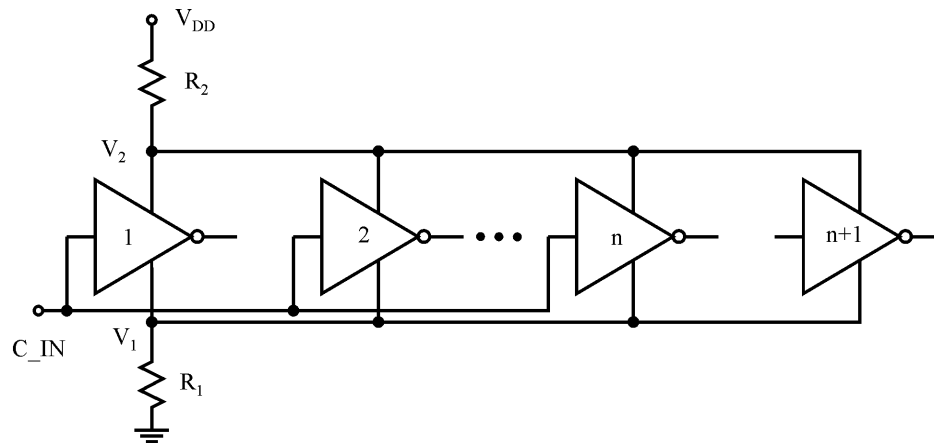
Zamiana poziomów logicznych sygnału HSTL/SSTL na LVCMOS.



Rezystancyjne i pojemnościowe sprzężenia zakłóceń. [1]

Zakłócenia - wszelkie zmiany wartości sygnałów w stosunku do wartości oczekiwanych.

Zakłócenia przez sprzężenie rezystancyjne.



Rys. 12.1. Sprzężenie poprzez wspólną rezystancję (a) oraz kształt napięć zasilających V_1 , V_2 w momencie przełączania wejść (b).

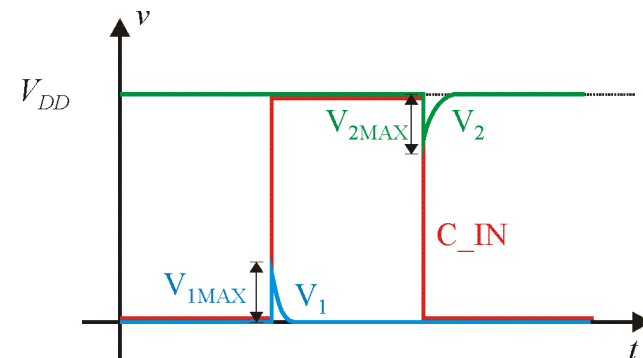
$$V_{1MAX} = V_{DD} \frac{R_1}{R_1 + R_N / n}$$

$$V_{2MAX} = V_{DD} \frac{R_2}{R_2 + R_P / n}$$

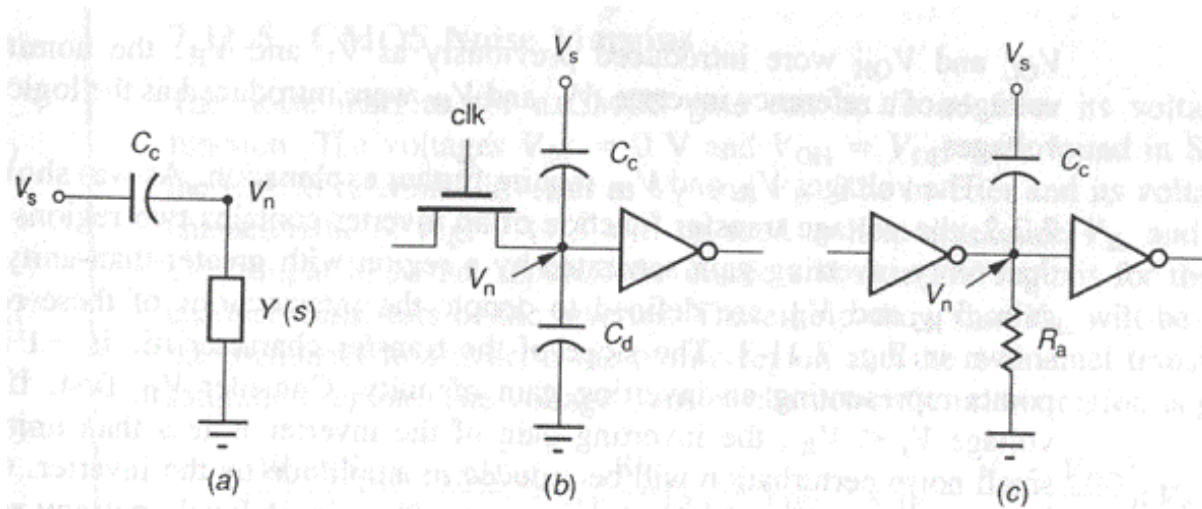
gdzie:

$$R_N = 2L_N / [K'W_N(V_{DD} - V_{TN})]$$

$$R_P = 2L_P / [K'W_P(V_{DD} + V_{TP})]$$



Zakłócenia spowodowane sprzężeniami pojemnościowymi.



Rys. 12.2. Sprzężenie zakłóceń przez pojemność: (a) model ogólny, (b) dynamiczny węzeł pamięciowy, (c) węzeł aktywny sterowany bramką[1].

$$V_n(s) = V_s(s) \frac{sC_C}{Y(s) + sC_C}$$

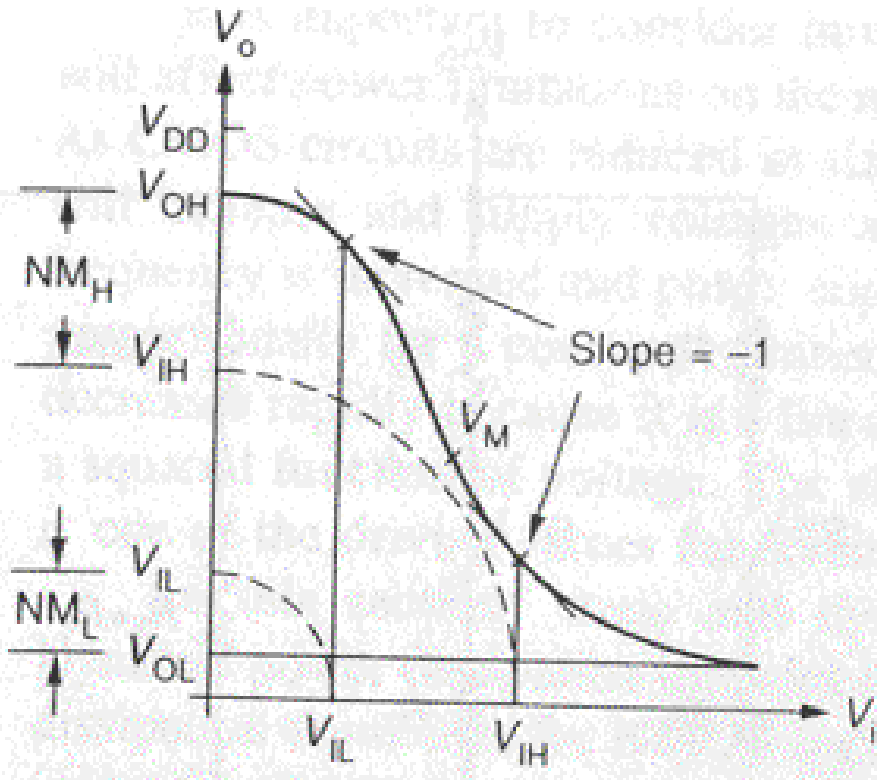
$$V_n(s) = V_s(s) \frac{sC_C}{Y(s) + sC_C} = V_s(s) \frac{C_C}{C_d + C_C}$$

$$V_n(s) = \frac{V_s(s)sC_C}{Y(s) + sC_C} = V_s(s) \frac{sR_aC_C}{1 + sR_aC_C}$$

Margines zakłóceń inwertera CMOS [1].

Definicja.

- V_{IL} : największe napięcie wejściowe rozpoznawane jako stan niski.
- V_{IH} : najmniejsze napięcie wejściowe rozpoznawane jako stan wysoki.
- V_{OL} : nominalne napięcie wyjściowe wytwarzane w stanie niskim.
- V_{OH} : nominalne napięcie wyjściowe wytwarzane w stanie wysokim.



Dolny margines zakłóceń:

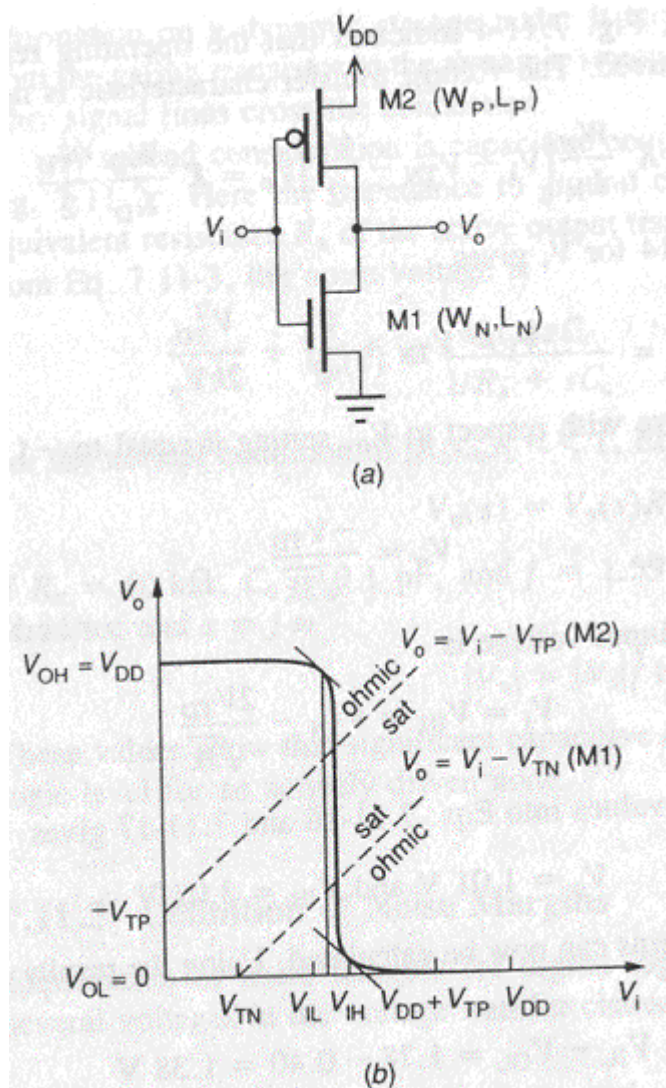
$$NM_L = V_{IL} - V_{OL}$$

Górny margines zakłóceń:

$$NM_H = V_{OH} - V_{IH}$$

Rys. 13.1. Ogólne charakterystyki przejściowe inwertera. [1]

Margines zakłóceń inwertera CMOS [1].



Rys. 15.2. Charakterystyki przejściowe inwertera CMOS. [1]

$$K'_N \frac{W_N}{L_N} \frac{(V_I - V_{TN})^2}{2} = K'_P \frac{W_P}{L_P} \left(V_I - V_{DD} - V_{TP} - \frac{V_O - V_{DD}}{2} \right) (V_O - V_{DD})$$

$$x = \frac{K'_N}{K'_P} \frac{W_N}{L_N} \frac{L_P}{W_P}$$

$$V_O = V_I - V_{TP} - \sqrt{(V_I - V_{TP})^2 - 2V_{DD}(V_I - V_{TP} - V_{DD}/2) - x(V_I - V_{TN})^2}$$

Dla $x=1$ (sterowanie symetryczne wyjścia) otrzymujemy:

$$V_{IL} = \frac{3V_{DD} + 3V_{TP} + 5V_{TN}}{8}$$

$$K'_P \frac{W_P}{L_P} \frac{(V_I - V_{DD} - V_{TP})^2}{2} = K'_N \frac{W_N}{L_N} \left(V_I - V_{TN} - \frac{V_O}{2} \right) V_O \quad y = x^{-1} = \left(\frac{K'_N}{K'_P} \frac{W_N}{L_N} \frac{L_P}{W_P} \right)^{-1}$$

$$V_O = V_I - V_{TN} - \sqrt{(V_I - V_{TN})^2 - y(V_I - V_{DD} - V_{TP})^2}$$

$$V_{IH} = \frac{5V_{DD} + 5V_{TP} + 3V_{TN}}{8}$$

Dla napięcia zasilającego równego $V_{DD}=5V$ oraz napięć progowych $V_{TP}=-1V$, $V_{TN}=1V$ wartości marginesów zakłóceń wynoszą odpowiednio:

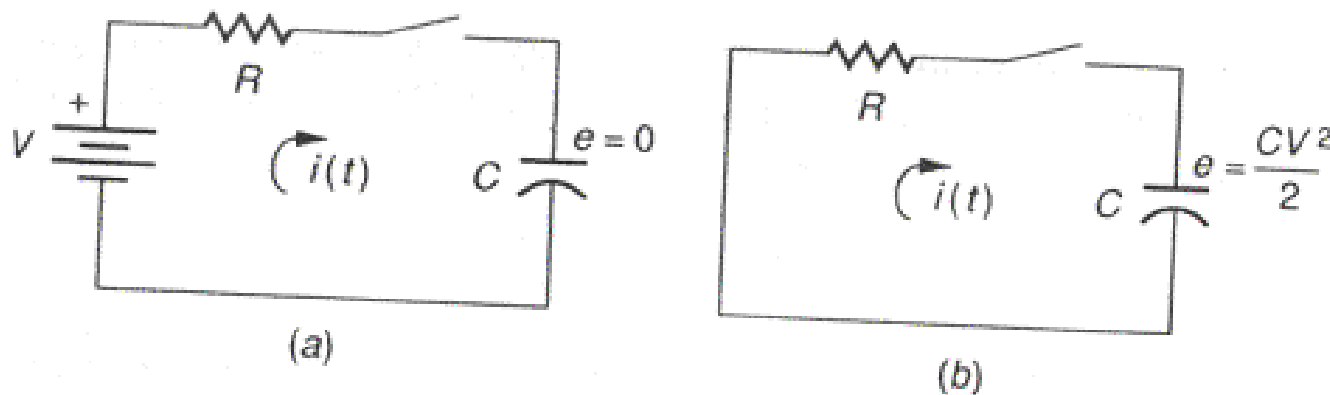
$$NM_L = V_{IL} - V_{OL} = 2.125 - 0 = 2.125V$$

$$NM_H = V_{OH} - V_{IH} = 5 - 2.875 = 2.125V$$

Rozpraszanie mocy w układach cyfrowych [1]

Maksymalna wartość mocy, którą można rozproszyć w strukturze danego układu zależy od rezystancji termicznej na drodze struktura układu – otoczenie θ_{JA} , możliwej dopuszczalnej temperatury struktury układu T_J oraz temperatury otoczenia T_A i można ją przedstawić następującym wyrażeniem:

$$P_D = \frac{T_J - T_A}{\theta_{JA}}$$



Rys. 16.1. Równoważny obwód do oszacowania dynamicznej mocy rozpraszanej w cyfrowym układzie CMOS. [1]

$$e = \int_0^\infty Vi(t)dt = V^2C$$

$$P_D = \frac{e}{T} = ef = CV^2f$$

Rozpraszanie mocy w układach cyfrowych. [1]

Przykład 14.1. Wyznacz maksymalną liczbę N bramek układu cyfrowego CMOS zakładając jako dominującą moc traconą na przełączaniu pojemności. Częstotliwość pracy układu wynosi $f=10\text{MHz}$, napięcie zasilające $V=5\text{V}$, pojemność wejściowa bramki $C_G=16\text{fF}$, pojemności połączeń C_I stanowią $ZP=50\%$ wszystkich pojemności, maksymalna rozpraszana moc wynosi $P_D=1\text{W}$.

Rozwiązanie: Pojemność całkowita jest równa sumie pojemności bramek i połączeń i w związku z tym wynosi:

$$C = N(C_G + C_I) = N\left(C_G + \frac{ZPC_G}{1-ZP}\right) = NC_G \frac{1}{1-ZP}$$

Uwzględniając wzór 7.10-10 całkowita liczba bramek wyniesie:

$$N = \frac{P_D(1-ZP)}{C_G V^2 f} = \frac{1\text{W}(1-0.5)}{16\text{fF}(5\text{V})^2 10\text{MHz}} = 125000$$

W rzeczywistości nie wszystkie bramki układu scalonego przełączają się synchronicznie z zegarem i dlatego powyższą wartość można zwiększyć kilkukrotnie.

Grupowanie bloków, projektowanie hierarchiczne.

Projektowanie hierarchiczne jest projektowaniem opartym na grupowaniu elementów w bloki funkcjonalne a następnie budowaniu kolejnych warstw w oparciu o coraz bardziej złożone bloki funkcjonalne.

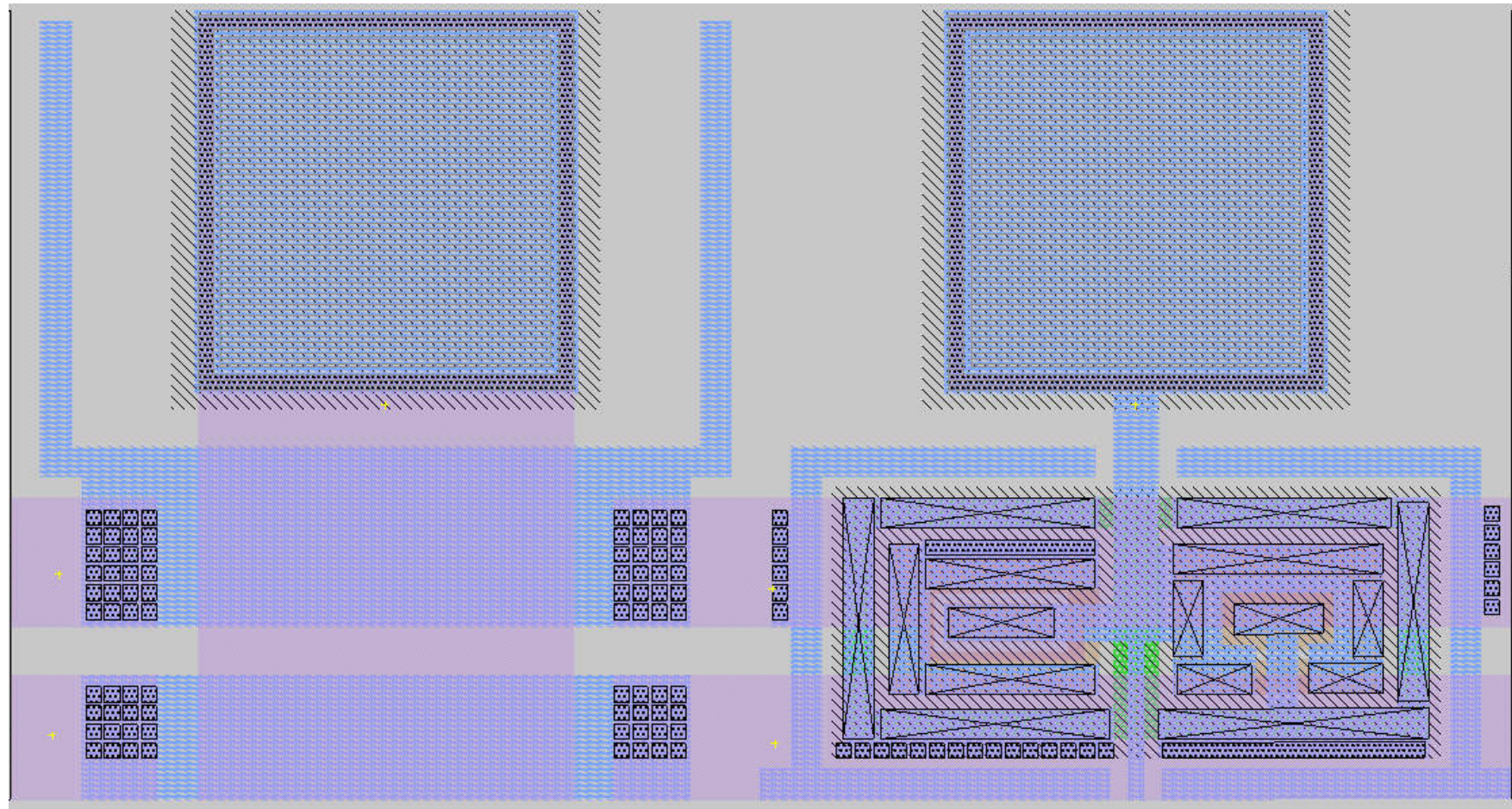
Cechy pozytywne:

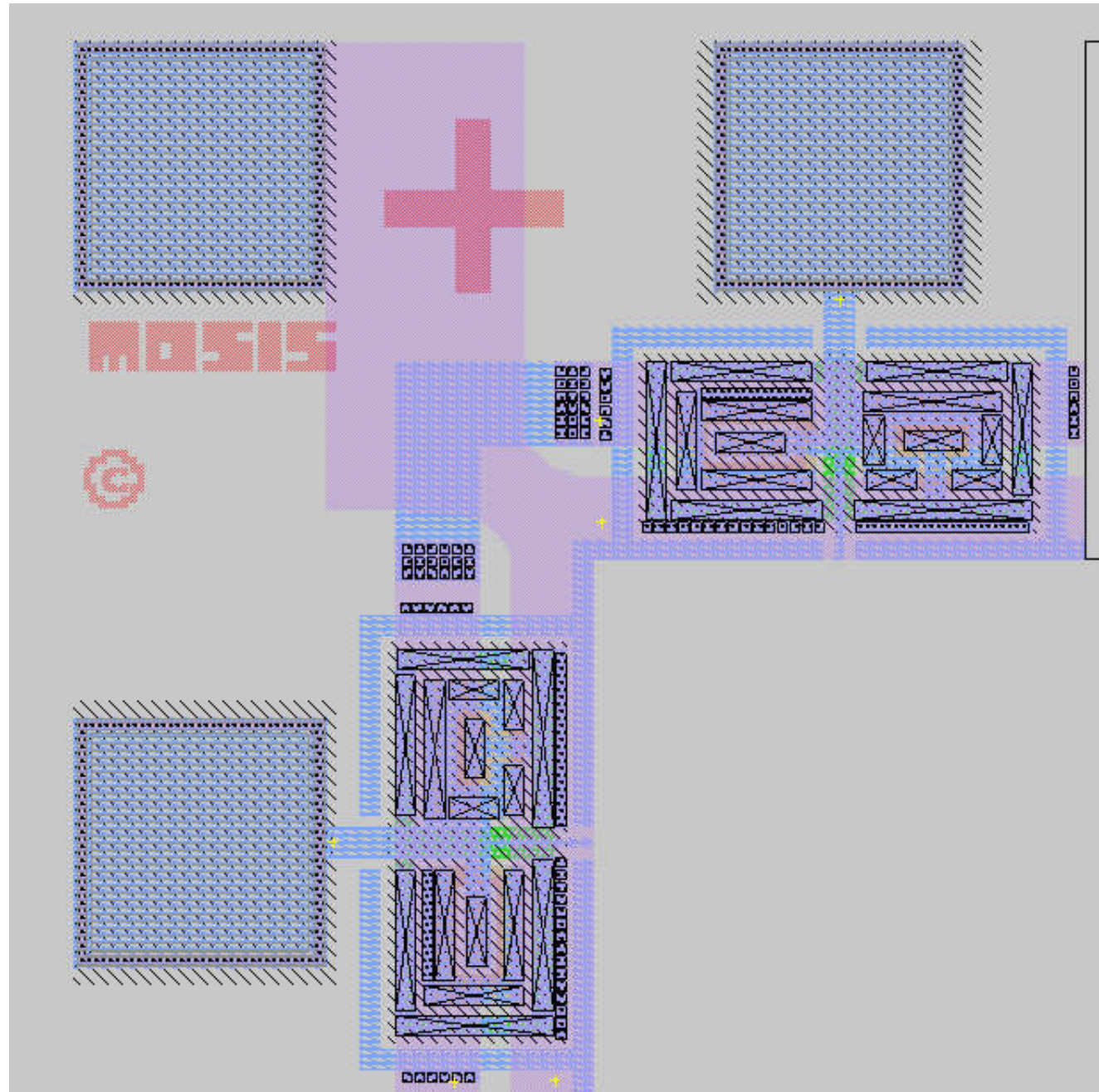
- możliwość wykonywania bardzo dużych projektów,
- możliwość wielokrotnego wykorzystania danego bloku,
- możliwość łatwego podziału projektu na podbloki realizowane rozdzielnie.

Cechy negatywne:

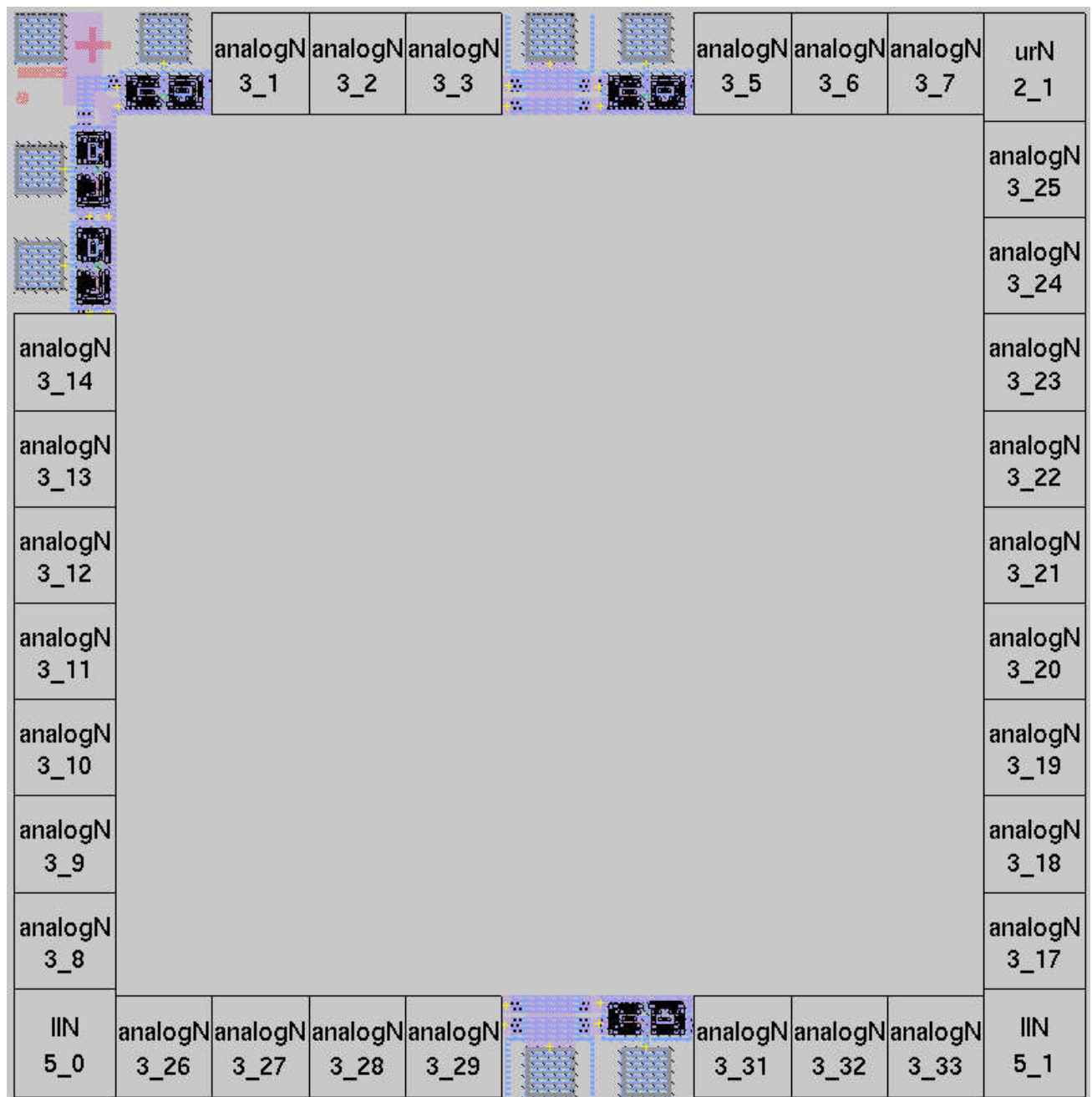
- większa złożoność systemów wspomagania projektowania,
- trudności w szacowaniu interakcji bloków nakładających się na siebie,
- trudne projektowanie ścieżki zegara.

Komórki hierarchiczne w programie MAGIC – przykład wejściowego bloku I/O [www.mosis.com]





Cały ring I/O

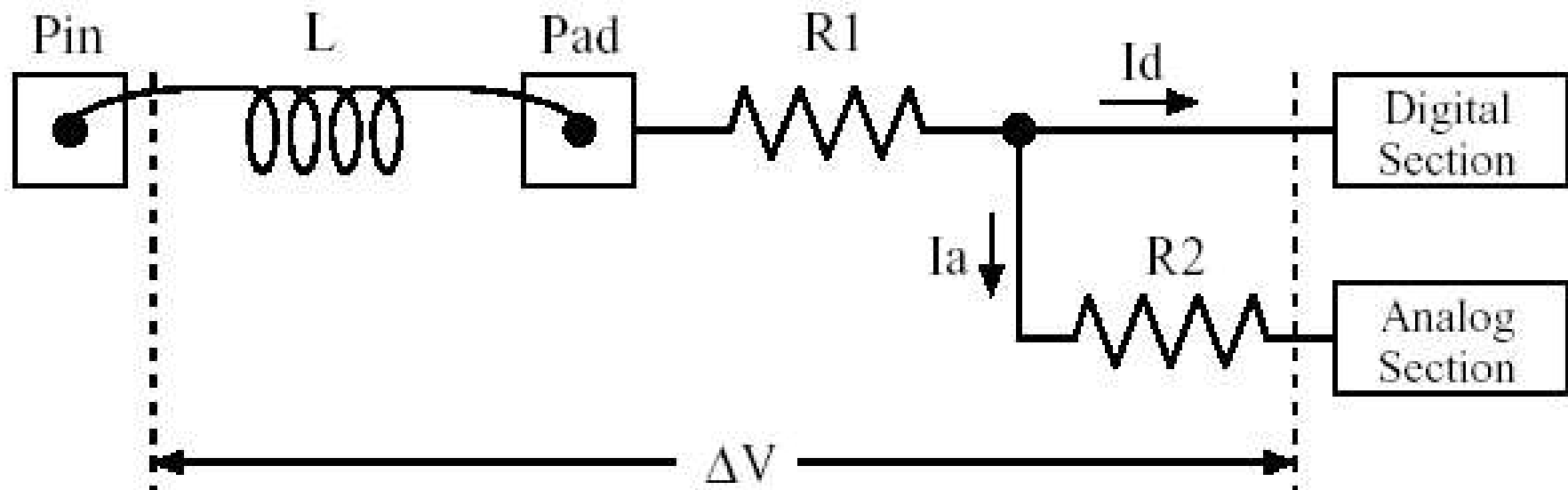


Projektowanie obwodów zasilania.

Zasady dobrego projektowania ścieżek zasilających:

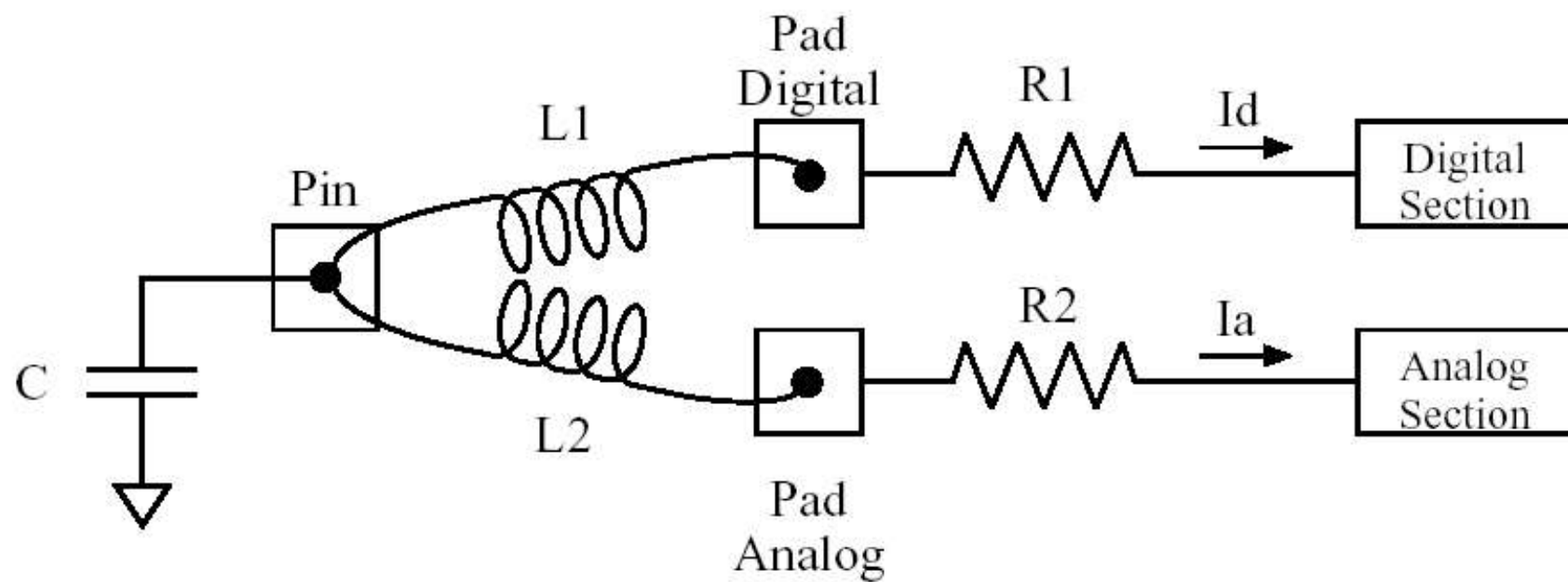
- stosowanie wydzielonych linii zasilających do poszczególnych podukładów,
- oddzielanie zasilania układów o dużym poborze prądu od pozostałych układów,
- stosowanie możliwie najszerszych ścieżek zasilających oraz stosowanie warstw o mniejszej rezystancji na kwadrat,
- oddzielanie zasilania układów analogowych i cyfrowych,
- stosowanie struktury gwiazdowej zamiast magistralowej,
- stosowanie wielu punktów lutowniczych (PAD) i wyprowadzeń układu scalonego (PIN) do obwodów zasilania / masy.

Projektowanie obwodów zasilania [8]



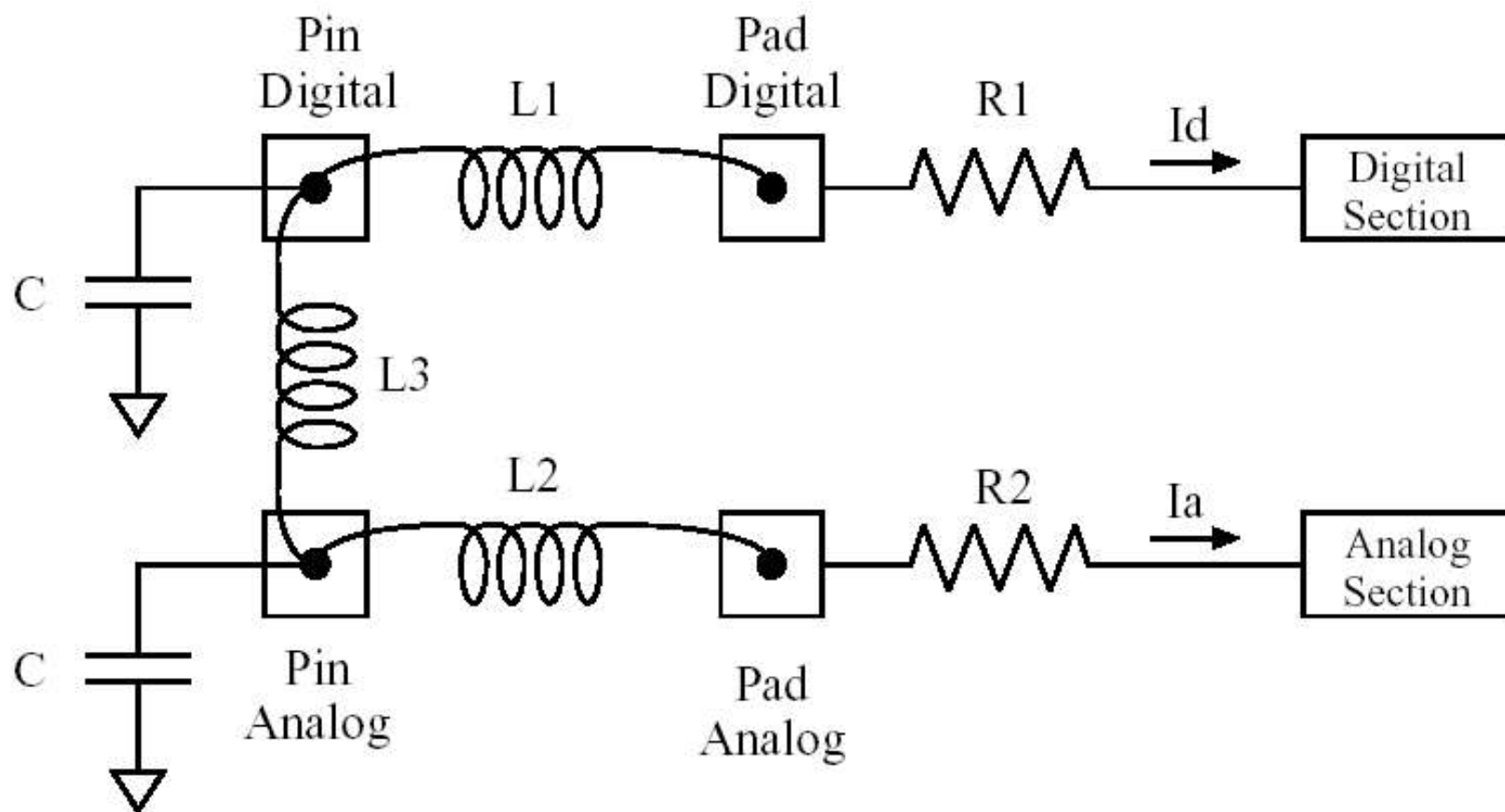
Rys. 16.1 Wady: sprzężenie przez wspólną rezystancję i indukcyjność, możliwy jest rezonans obwodu RLC, niezbędne symulacje elektryczne na poziomie elementów. [8]

Projektowanie obwodów zasilania.



Rys. 16.2 Brak sprzężenia przez wspólne elementy, zastosowany dodatkowy kondensator. [8]

Projektowanie obwodów zasilania.



Rys. 16.3 Rozwiązanie najlepsze ale o największym koszcie. [8]

Projektowanie systemów mieszanych analogowo - cyfrowych.

Zastosowanie układów mieszanych:

- telekomunikacja,
- elektronika użytkowa,
- komputery i urządzenia peryferyjne,
- systemy multimedialne,
- systemy samochodowe,
- biomedycyna,
- robotyka i inne.

Zalety stosowania układów mieszanych:

- zredukowany rozmiar całego systemu,
- możliwe jest zwiększenie szybkości działania,
- zmniejszenie zużycia mocy,
- poprawa niezawodności,
- zmniejszenie kosztów systemu.

Problemy związane z projektowaniem układów mieszanych:

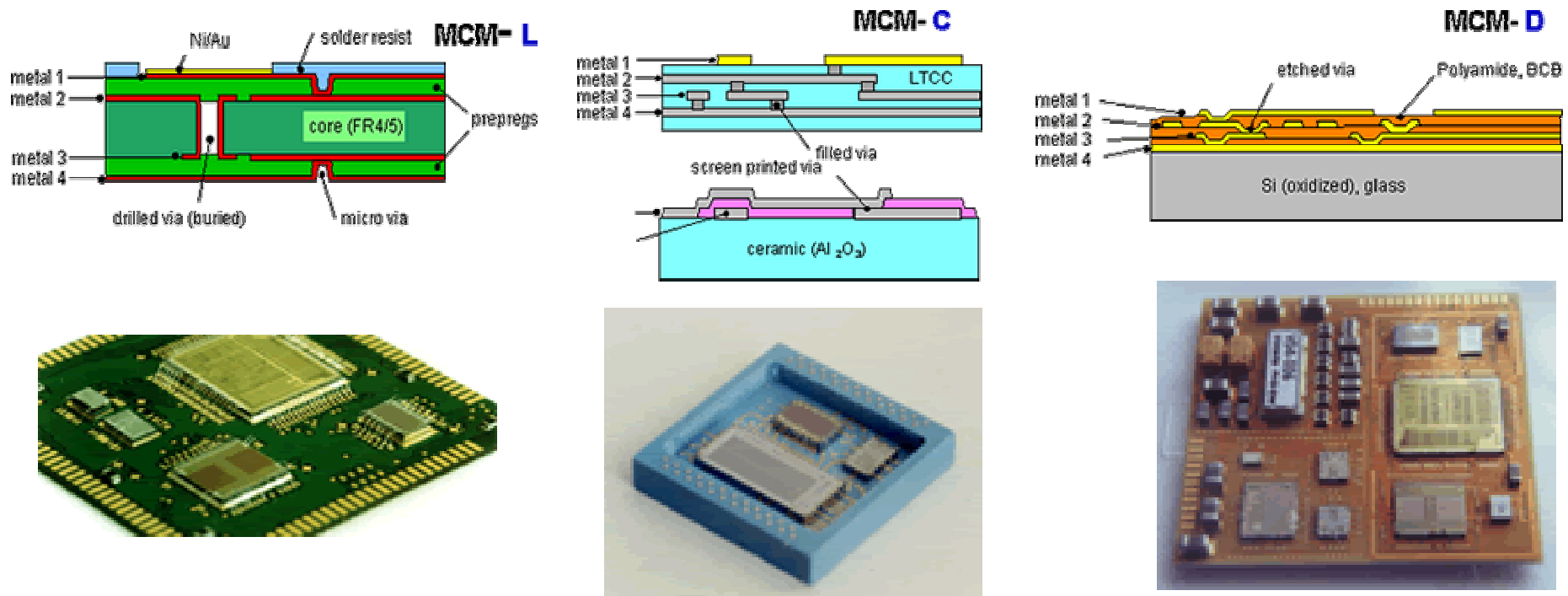
- projektowanie układów analogowych jest trudne,
- sygnały analogowe są bardzo małe (uV) w porównaniu do cyfrowych (V),
- w układzie następuje oddziaływanie układów analogowych na cyfrowe i odwrotne (znacznie bardziej niekorzystne),
- układy analogowe nie są standaryzowane,
- nie ma możliwości automatycznego projektowania układów analogowych,
- brak projektantów układów mieszanych.

Mechanizmy oraz skutki przenoszenia zakłóceń:

- wzajemne oddziaływanie sąsiadujących bloków,
- wspólne podłoże powoduje powstanie sprzężeń podłożowych,
- korzystanie ze wspólnych wyprowadzeń zewnętrznych,
- sprzężenia indukcyjne i rezystancyjne wyprowadzeń zasilających,
- sprzężenia pojemnościowe.

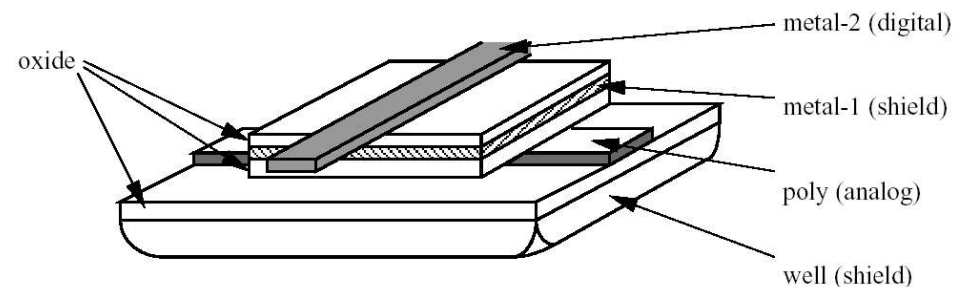
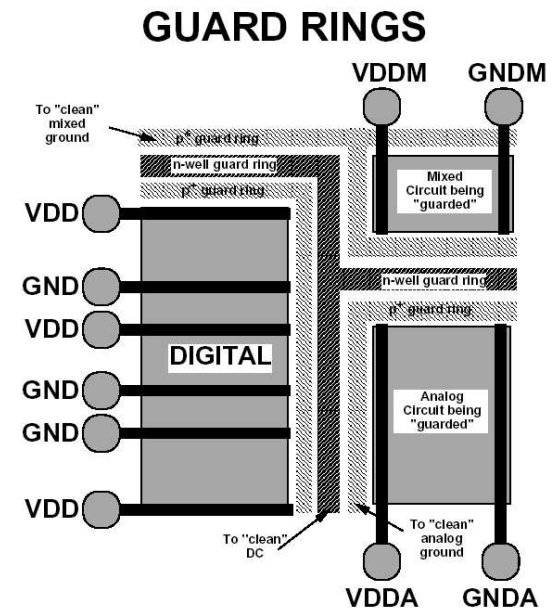
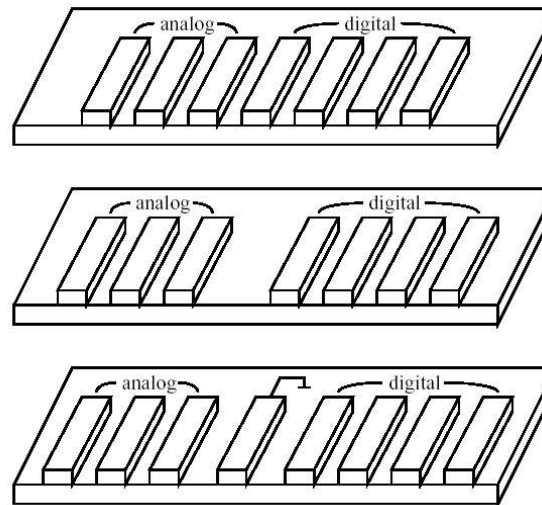
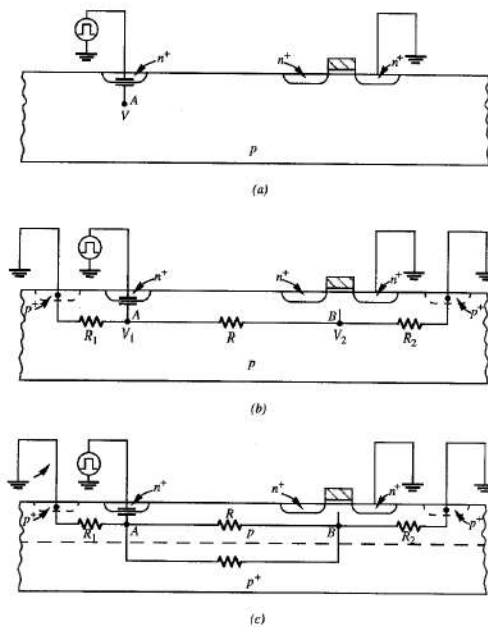
Metody zmniejszenia zakłóceń w układach mieszanych.

- rozwiązania systemowe: układy hybrydowe oraz MCM (ang. multi chip modules), odpowiednie zaprojektowanie timingów sygnałów (np. próbkowanie i porównywanie sygnałów analogowych w momentach braku aktywności części cyfrowej), używanie analogowych układów różnicowych, stosowanie specjalnej logiki generującej mniejsze zakłócenia,



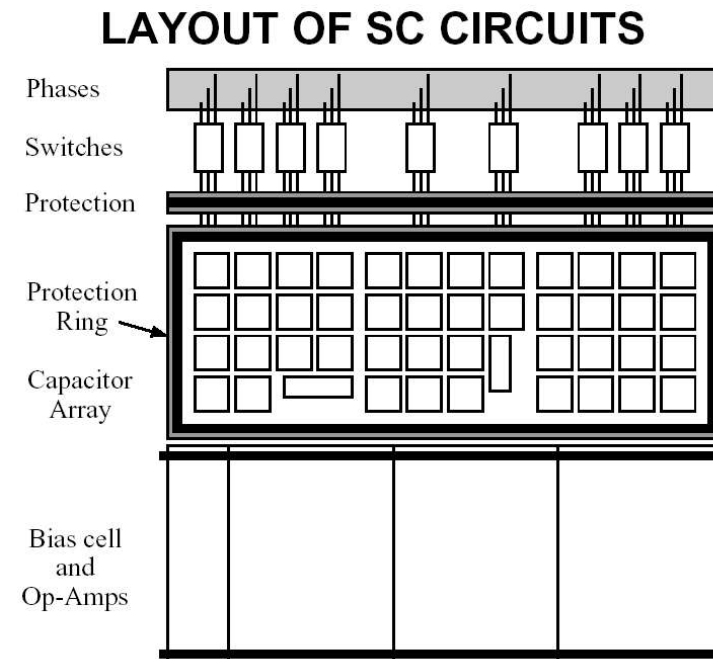
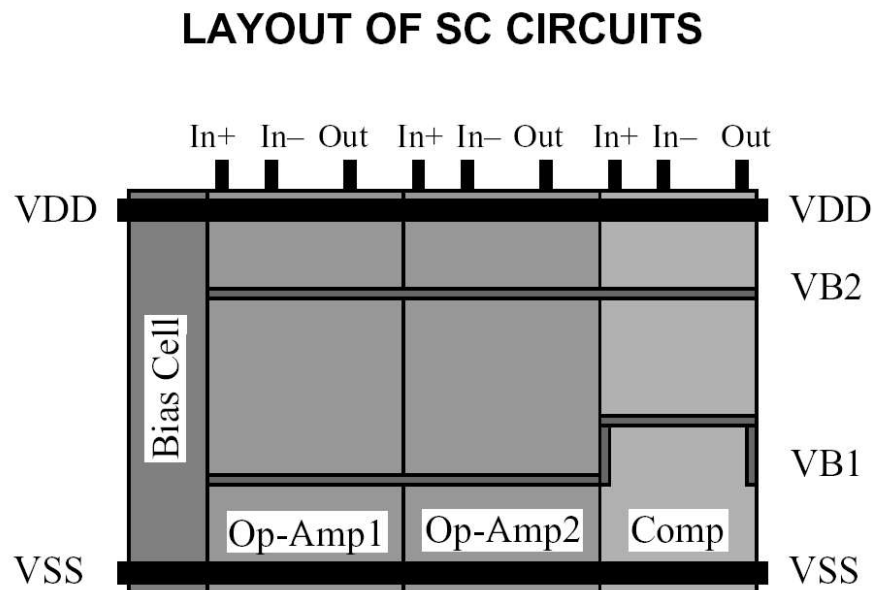
Metody zmniejszenia zakłóceń w układach mieszanych c.d. [8]

- ekranowanie: stosowanie pierścieni ochronnych oraz ekranowania liniami metalicznymi,



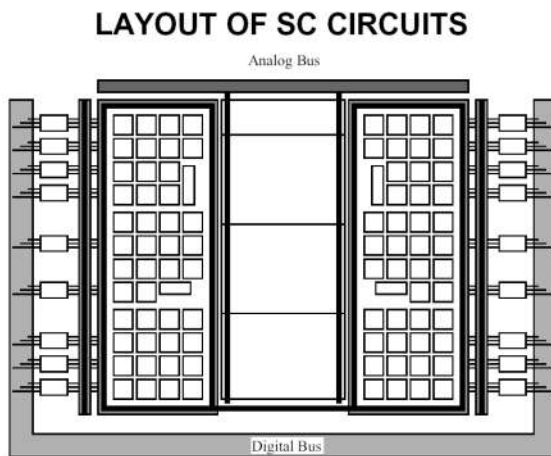
Metody zmniejszenia zakłóceń w układach mieszanych c.d. [8]

- wczesne planowanie rozmieszczenia bloków (chip floorplanning),

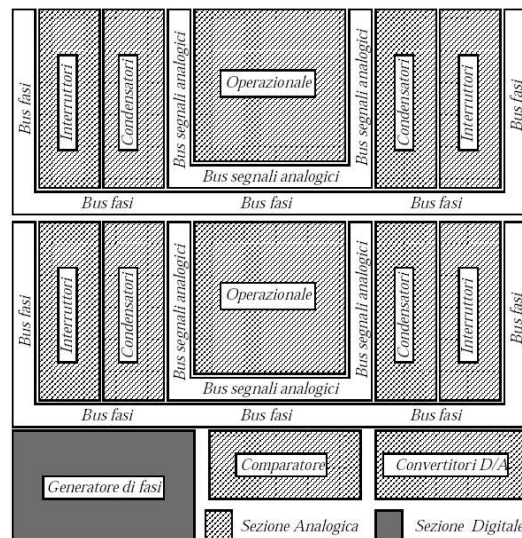


Metody zmniejszenia zakłóceń w układach mieszanych c.d. [8]

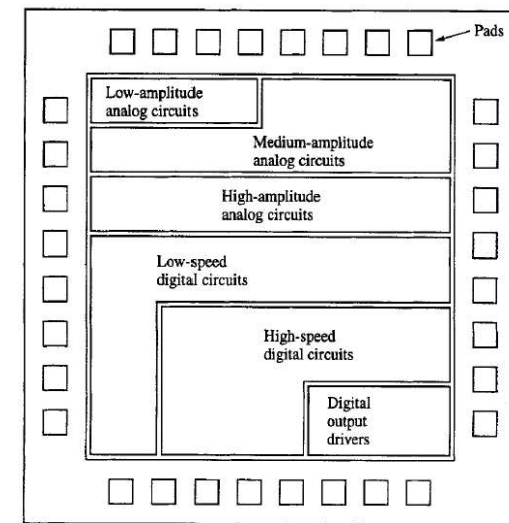
- wczesne planowanie rozmieszczenia bloków (chip floorplanning),



FLOORPLAN SC CIRCUITS



FLOORPLAN



- odpowiednie zaplanowanie wyprowadzeń układu scalonego (chip wiring),
- odpowiednie zaprojektowanie linii zasilających.

Weryfikacja poprawności projektu układu scalonego. [1-3]

Odtworzenie schematu elektrycznego na podstawie geometrii masek nazywane jest **ekstrakcją schematu elektrycznego**. Informacją wejściową jest topografia w formacie przemysłowym (np. CIF lub GDS) oraz dane specyficzne dla wykorzystywanej technologii (wartości rezystancji ścieżek, pojemności międzywarstwowych, itd.) natomiast wyjściem lista połączeń w formacie akceptowanym przez symulatory (SPICE, Spectra itd.).

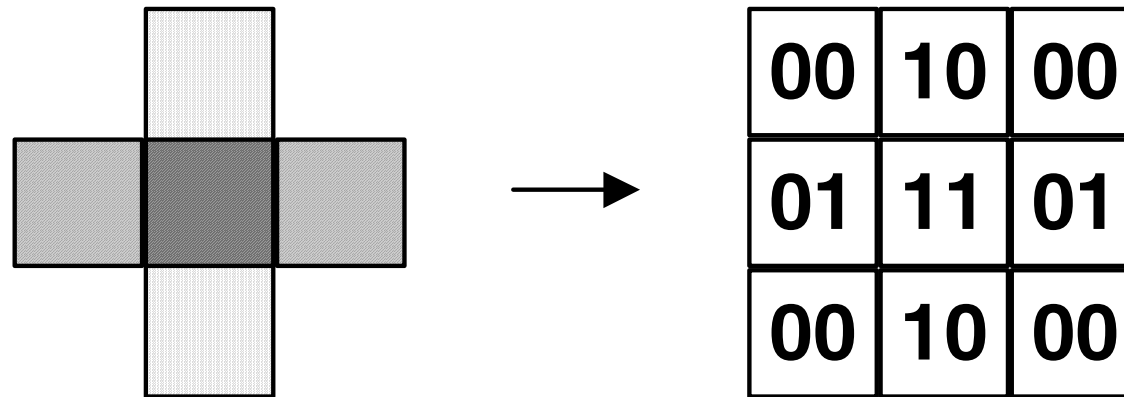
Celem wykonania ekstrakcji jest dalsze testowanie projektu układu pod względem:

- sprawdzenia elektrycznych reguł projektowych (ang. ERC), np: błędy podłączenia wysp, przerwy, zwarcia i inne,
- porównanie schematu wejściowego z wynikowym (ang. LVS),
- dokładniejsze określenie parametrów wynikowego układu na podstawie symulacji zawierającej elementy pasożytnicze.

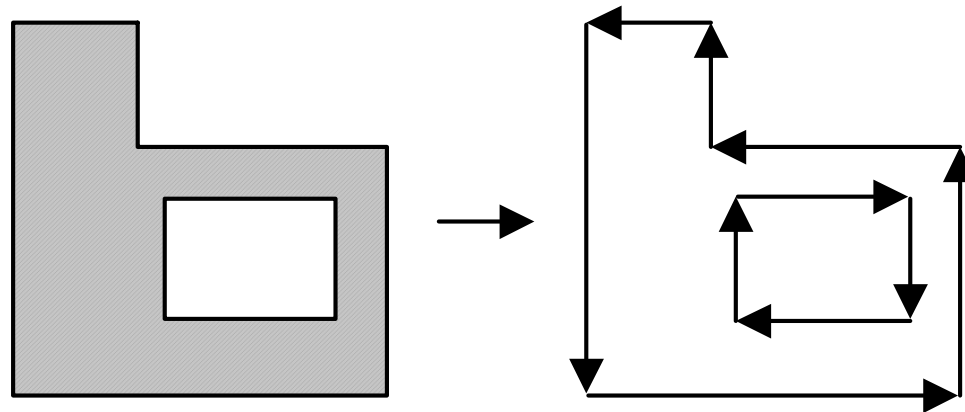
Proces ekstrakcji schematu elektrycznego. [1-3]

- 1) Odwzorowanie geometrii masek pliku wejściowego w pamięci komputera. Możliwe jest zapisanie tych informacji w kilku formatach np.:

- raster:



- wielokąty:



- inne np. krawędzie, połączone rogami prostokąty.

Proces ekstrakcji schematu elektrycznego c.d. [1-3]

2) Identyfikacja zaprojektowanych elementów układu, tj. tranzystorów, rezystorów, kondensatorów, cewek, i innych. Identyfikacja ta wykonywana jest poprzez operacje logiczne na warstwach w kierunku pionowym np.:

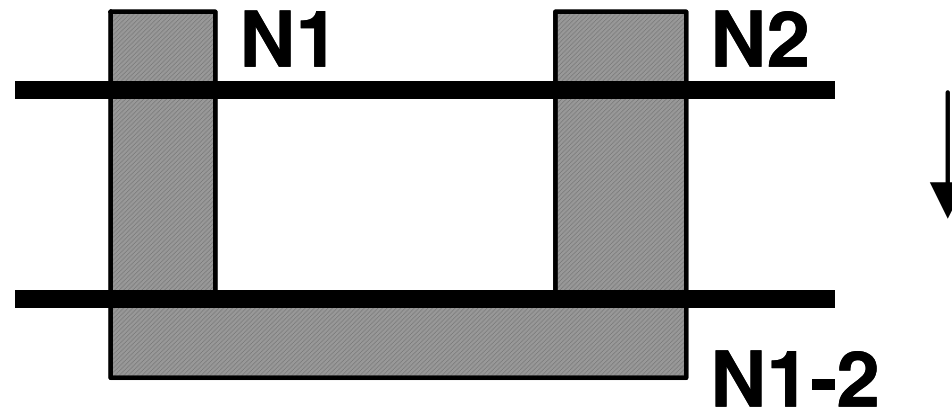
- kanał_N = $\text{poly} \cap \text{active} \cap \text{nselect} \cap \text{not nwell}$,
- kanał_P = $\text{poly} \cap \text{active} \cap \text{nselect} \cap \text{nwell}$,
- kondensator = $\text{poly} \cap \text{electrode}$.

Identyfikacja elementów pasywnych w powyższej metodzie jest trudna i dlatego stosuje się specjalne warstwy je identyfikujące.

Proces ekstrakcji schematu elektrycznego c.d. [1-3]

3) Znalezienie połączeń pomiędzy elementami, wybrane metody:

- śledzenie połączeń poprzez uznanie że krawędzie stykających się wielokątów (punktów rastra) są połączone,
- budowa i zrastanie się sieci wzdłuż linii skanowania topografii:



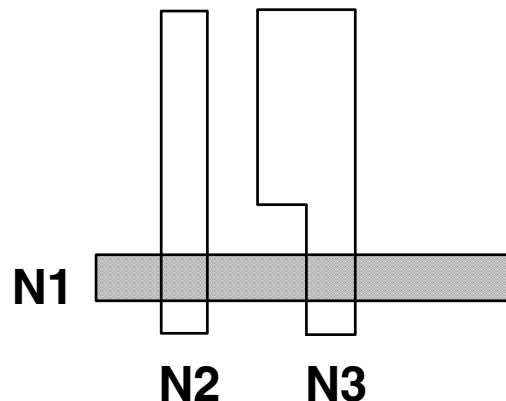
Proces ekstrakcji schematu elektrycznego c.d. [1-3]

4) Wyznaczenie elementów pasożytniczych (opcjonalne ale bardzo ważne).

Wyznaczane elementy mogą zawierać m.in.:

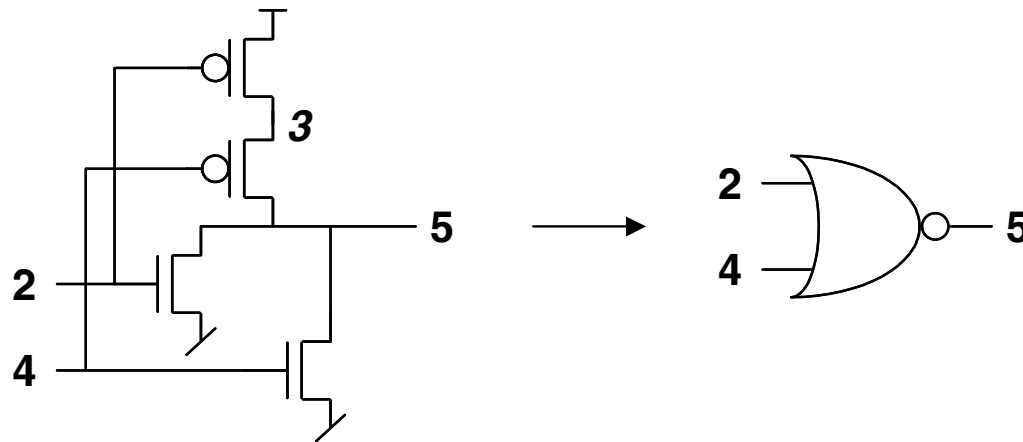
- pojemności do podłoża i międzywarstwowe wyznaczane jako powierzchniowe i obwodowe,
- rezystancje ścieżek przewodzących,
- indukcyjności własne i sprzęgające.

Dla przykładu trzech sieci N1, N2 i N3, jak na poniższym rysunku, jedną z możliwości byłoby wyznaczenie: rezystancji ścieżek N1, N2, N3 (zależy ona od orientacji źródło – odbiornik), pojemności tych ścieżek w stosunku do podłoża oraz pojemności pomiędzy ścieżkami N1-N2, N2-N3 i N1-N3.



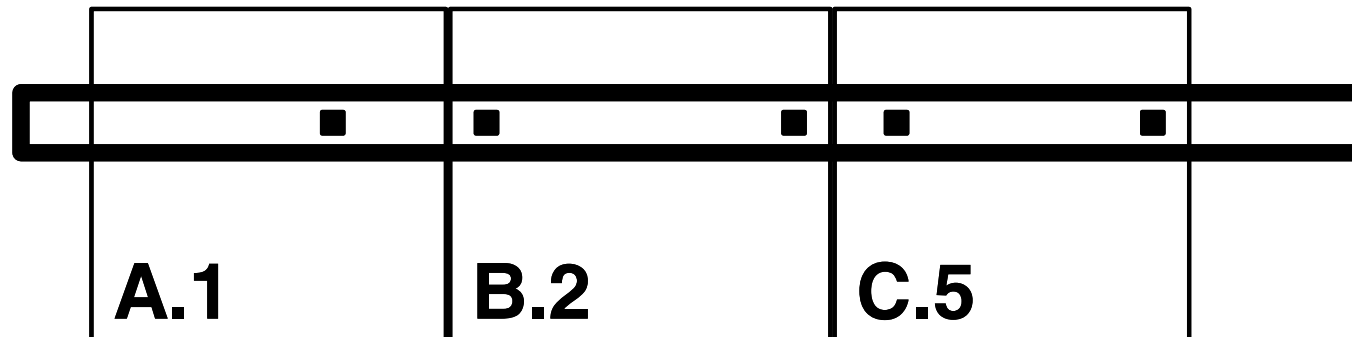
Proces ekstrakcji schematu elektrycznego c.d. [1-3]

5) Odwzorowanie schematu jako elementów logicznych (opcjonalne), wykonywane jest w celu przyspieszenia symulacji układów cyfrowych – można je wówczas wykonywać w symulatorach logicznych a nie elektrycznych.



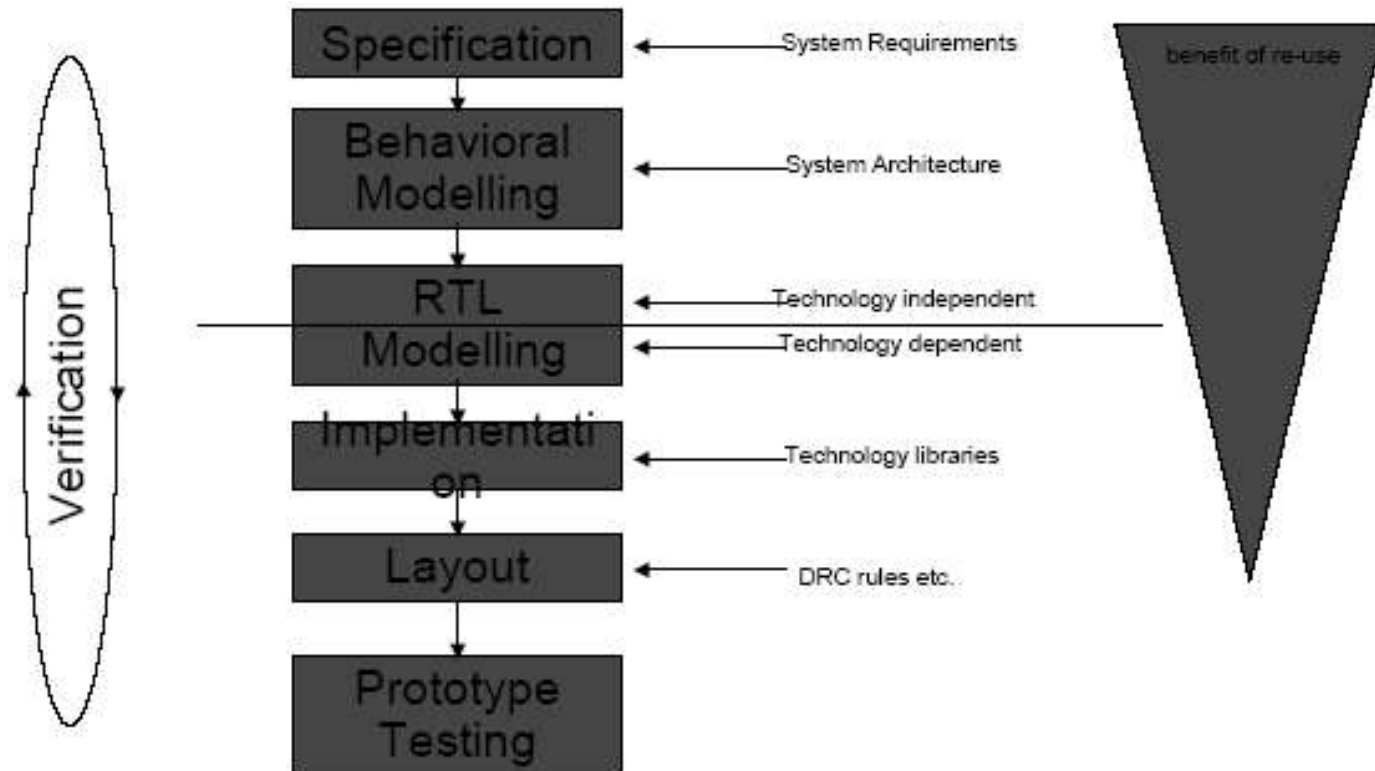
Proces ekstrakcji schematu elektrycznego podsumowanie.

Ekstrakcja hierarchiczna – uproszczenie procesu ekstrakcji i zmniejszenie wymagań na pamięć i szybkość systemu wykonującego ekstrakcję kosztem późniejszego wyznaczania interakcji nakładających się komórek lub ścieżek:



Po ekstrakcji otrzymujemy listę połączeń (zawierającą również elementy pasożytnicze), która w dalszym etapie jest wykorzystywana do symulacji elektrycznej i/lub logicznej projektu przy użyciu programów CAD.

Omówienie procesu automatycznego projektowania cyfrowych układów scalonych.



Rys. 19.1 Ogólny przebieg procesu projektowania cyfrowego układu scalonego z wykorzystaniem komórek standardowych.

Komercyjne pakiety CAD:

- Cadence
- Mentor Graphics,
- Compass Design Automation,
- programy innych firm ale już nie całe pakiety, np. Avant! (P&R, Symulator), Synopsys (VHDL symulator, syntezer) ...

Programy darmowe:

- Spice,
- Magic,
- Alliance i inne.

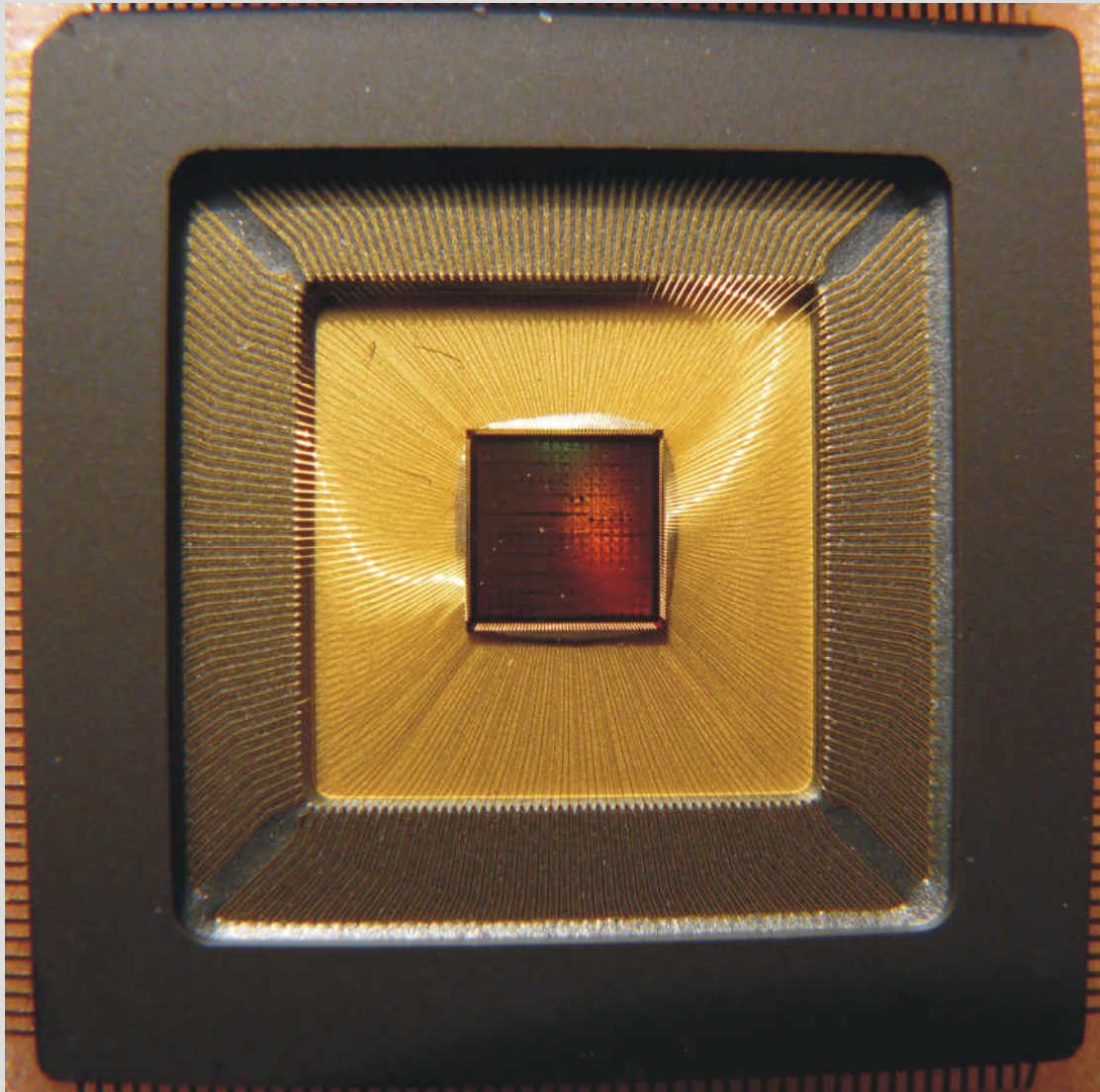
Cena pakietu ok. 500k\$/stanowisko, edukacyjna ok. 1k\$/stanowisko /rok.

Tendencje rozwojowe układów i systemów scalonych.

- zmniejszanie minimalnych wymiarów geometrycznych realizowanych elementów,
- zmniejszanie grubości tlenku bramkowego a więc konieczność zmniejszania napięcia zasilającego,
- zwiększenie liczby elementów aktywnych i częstotliwości pracy więc zwiększenie zużywanej mocy w układzie scalonym,
- coraz większy udział mocy stałej w stosunku do dynamicznej (układy cyfrowe CMOS),
- stosowanie nowych materiałów jako przewodników (np. miedź) i aktywnych,
- zmiana właściwości modeli tranzystorów (np. tranzystor MOS nie ma już charakterystyki kwadratowej),
- zwiększanie znaczenia programów CAD,
- wzrost znaczenia własności intelektualnej (ang. Intellectual Property),
- coraz szersze stosowanie układów typu system on chip (SoC),
- większa integracja układów analogowych i cyfrowych,
- koszt układów programowalnych zaczyna być porównywalny do układów tradycyjnych więc ich stosowanie zaczyna być również uzasadnione ekonomicznie.

Tendencje rozwojowe układów i systemów scalonych

Dla częstotliwości zegara równego 10GHz okres wynosi 100ps, w tym czasie światło w próżni przebywa odległość równą 30mm. W materiałach typowych dla technologii produkcji układów CMOS światło przebywa odległość 15.2mm co jest w przybliżeniu równe szerokości dzisiejszych układów scalonych!



Układ w technologii UMC 130nm:

- rozmiar 5 x 5mm,
 - liczba bramek ok. 3mln,
 - liczba tranzystorów ok. 12mln,
 - przetwarzanie obrazów niskiej rozdzielczości,
 - zegar 100MHz,
 - 208 wyprowadzeń,
 - zasilanie 1,2V / 3,3V,
 - pobór mocy ok. 0,4W,
 - projekt typu standard cells,
-
- wewnątrz m.in. 32-bitowy mikrokontroler BA12, zestaw procesorów obrazowych, kontroler JTAG, komórki DFT, szereg modułów pamięci obrazowych i konfiguracyjnych ...

Układ zamontowany na płytce drukowanej

