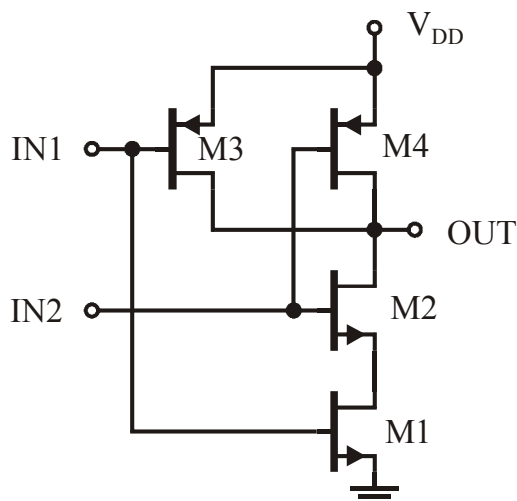


## Organizacja laboratorium

W czasie laboratorium należy wykonać 9 ćwiczeń, po 3 z części PSPICE, Verilog oraz VHDL. Ćwiczenia punktowane są odpowiednio po 5, 5, 6 (PSPICE), 5, 6, 6 (Verilog) oraz 5, 6, 6 (VHDL) punktów co daje łącznie 50pkt. Warunkiem zaliczenia laboratorium jest uzyskanie minimum 25 punktów. Informacje dotyczące obsługi oprogramowania Quartus Prime (v17.0) wykorzystywanego podczas laboratorium można znaleźć tutaj: [http://www.ue.eti.pg.gda.pl/~bpa/jmis/intelaltera\\_instrukcja.pdf](http://www.ue.eti.pg.gda.pl/~bpa/jmis/intelaltera_instrukcja.pdf)

### Zadania do wykonania w czasie laboratorium z części PSPICE

**Zadanie 1 – badanie bramki CMOS nand.** W czasie laboratorium należy wykonać badania symulacyjne bramki NAND CMOS. Schemat bramki przedstawiony jest na poniższym rysunku. Należy zastosować nazwy węzłów sygnałowych jak podane na rysunku. Modele tranzystorów MOS (technologia AMI C5) należy pobrać z następującego linka: [http://www.ue.eti.pg.gda.pl/~bpa/jmis/ami\\_c5.lib](http://www.ue.eti.pg.gda.pl/~bpa/jmis/ami_c5.lib). Jako napięcie zasilające należy przyjąć źródło napięciowe o wydajności 3.3V.



**Badana bramka CMOS NAND. Należy przyjąć wymiary tranzystorów NMOS  $w=1,8\mu\text{m}$   $l=0,6\mu\text{m}$  oraz PMOS  $w=5,4\mu\text{m}$   $l=0,6\mu\text{m}$ .**

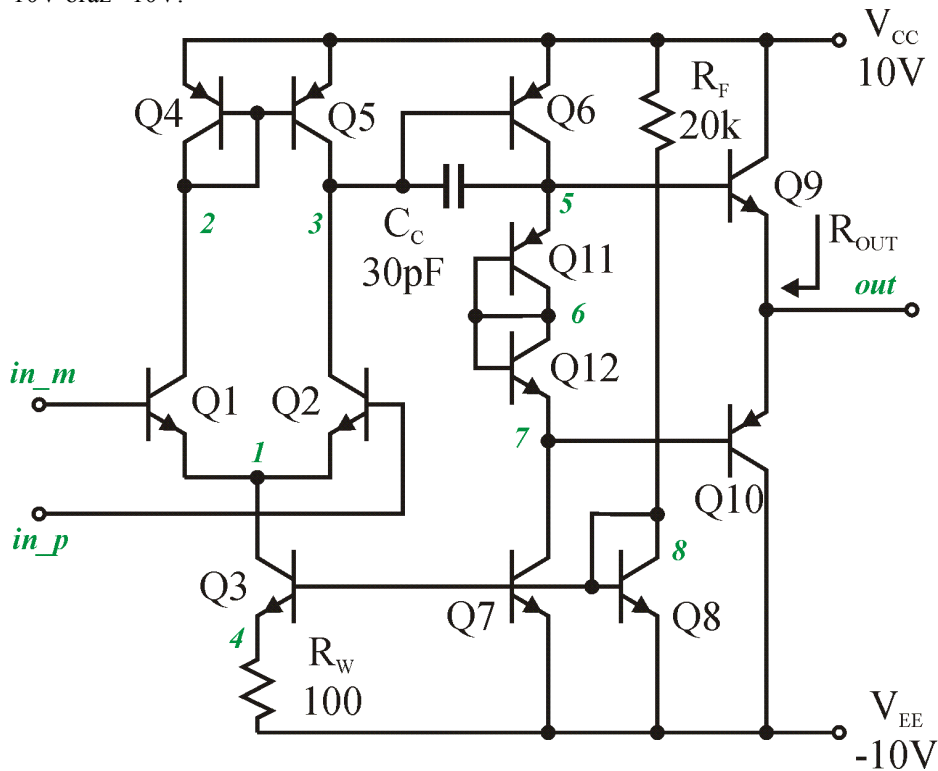
Należy stworzyć plik tekstowy w którym będzie znajdował się opis listy połączeniowej badanego układu wraz z zadanymi symulacjami. W ramach symulacji należy wykonać następujące badania:

- 1) Należy sprawdzić poprawność działania bramki poprzez podanie na wejścia przebiegów prostokątnych o częstotliwościach odpowiednio 50MHz i 25MHz.
- 2) Należy bramkę obciążyć drugą bramką NAND (pojedynczym wejściem kolejnej bramki) i znaleźć czas narastania sygnału na wyjściu bramki (liczony od 10% do 90% wartości sygnału), czas opadania sygnału na wyjściu bramki (liczony od 90% do 10% wartości sygnału) oraz czas propagacji sygnału z wejścia do wyjścia (liczony dla 50% wartości sygnału na wejściu i wyjściu).
- 3) Należy zewrzeć oba wejścia bramki i traktować te zwarte wyprowadzenia jako pojedyncze wejście. Dla takiego układu należy wykonać analizę stałoprądową zmieniając napięcie wejściowe w zakresie od 0 do 3,3V. Należy znaleźć napięcie wejściowe dla którego napięcie wyjściowe jest równe 1,65V.
- 4) Dla stałego napięcia wejściowego wyznaczonego w pkt. 3) należy wykonać analizę zmiennoprądową i wyznaczyć wzmocnienie oraz pasmo 3dB bramki NAND w układzie wzmacniacza.
- 5) Należy do wejścia wzmacniacza podać sygnał harmoniczny o amplitudzie 30mV, częstotliwości 10kHz i składowej stałej wyznaczonej w pkt. 3) i wyznaczyć zniekształcenia harmoniczne sygnału na wyjściu bramki.

Po wyznaczeniu powyższych parametrów należy uzupełnić tabelę i przesłać ją na adres wskazany przez prowadzącego zajęcia.

Ćwiczenie 1 – badanie bramki CMOS NAND		
L.p.	Nazwa / opis	Wartość
1	Data wykonania ćwiczenia	
2	Nazwiska osób, które wykonały ćwiczenie	
3	Czas narastania	
4	Czas opadania	
5	Czas propagacji	
6	Napięcie wejściowe dla $V(out)=1,65V$	
7	Wzmocnienie małosygnałowe	
8	Pasma 3dB	
9	THD	

**Zadanie 2 – badanie prostego bipolarnego wzmacniacza operacyjnego.** W czasie laboratorium należy wykonać badania symulacyjne prostego bipolarnego wzmacniacza operacyjnego. Schemat wzmacniacza podany jest na poniższym rysunku. Należy zastosować nazwy węzłów sygnałowych jak podane na rysunku (oznaczone zieloną kursywą). Modele tranzystorów bipolarnych należy pobrać z następującego linka: <http://www.ue.eti.pg.gda.pl/~bpa/jmis/modele8.lib>. Jako napięcie zasilające należy przyjąć źródła napięciowe o wydajności +10V oraz -10V.



*Badany bipolarny wzmacniacz operacyjny*

Należy stworzyć plik tekstowy w którym będzie znajdował się opis listy połączeniowej badanego układu wraz z zadanymi symulacjami. Do wejścia układu dołączyć pobudzenie jak w poniższym przykładzie. Takie pobudzenie daje rozdzielanie pobudzenia różnicowego ( $V_{id}$ ) od sumacyjnego ( $V_{cm}$ ).

```
Vid in_p in_m dc 0 ac 1
Vcm cm 0 0
Ecm in_p cm in_p in_m 0.5
```

W ramach symulacji należy wykonać następujące badania:

1) Należy sprawdzić poprawność wprowadzenia listy połączeniowej poprzez porównanie wartości prądów kolektorów tranzystorów dla  $V_{id}=0V$  (analiza .OP, wyniki w pliku \*.out) z wartościami poprawnymi.

Poprawne wartości powinny wynosić:

NAME	Q1	Q2	Q3	Q4	Q5
MODEL	qnpn	qnpn	qnpn	qnpn	qnpn
IB	2.75E-06	2.75E-06	5.21E-06	-2.32E-06	-2.32E-06
IC	1.47E-04	1.47E-04	3.00E-04	-1.43E-04	-1.43E-04
NAME	Q6	Q7	Q8	Q9	Q10
MODEL	qnpn	qnpn	qnpn	qnpn	qnpn
IB	-4.58E-06	7.74E-05	1.50E-05	5.60E-06	-5.67E-06
IC	-3.38E-04	3.38E-04	8.70E-04	3.65E-04	-3.65E-04
NAME	Q11	Q12			
MODEL	qnpn	qnpn			
IB	-5.10E-06	6.19E-06			
IC	-3.27E-04	3.26E-04			

2) Należy wykonać analizę .DC przy zmianie napięcia  $V_{id}$  od  $-30\text{mV}$  do  $30\text{mV}$ . Znaleźć wejściowe napięcie niezrównoważenia  $V_{INOFF}$  (takie napięcie  $V_{ID}$  dla którego  $V(\text{out})=0$ ). **Dalsze wszelkie symulacje należy przeprowadzić zakładając wstępne podanie tego napięcia na wejście różnicowe.**

3) Należy wyznaczyć wzmocnienie różnicowe jako pochodna napięcia wyjściowego dla  $V_{ID}=V_{INOFF}$  (ta sama analiza co w pkt. 2).

4) Należy wyznaczyć wzmocnienie sumacyjne jako pochodna napięcia wyjściowego dla  $V_{CM}=0\text{V}$  przy zmianach napięcia  $V_{CM}$  (analiza .DC ze zmianą napięcia dla  $V_{VCM}$  od  $-1\text{V}$  do  $1\text{V}$ ).

5) Z wyznaczonych wcześniej parametrów należy wyliczyć współczynnik **CMRR**.

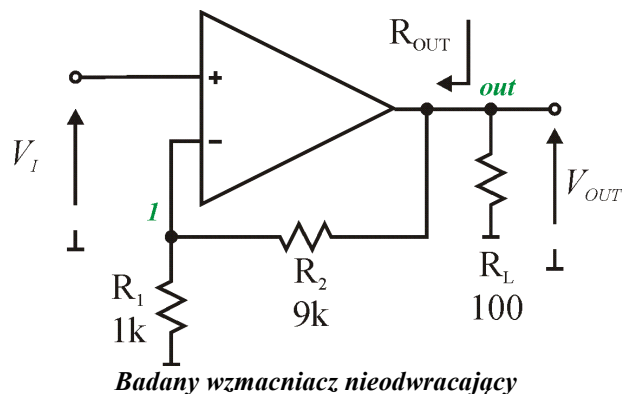
6) Do wyjścia układu należy podłączyć źródło napięciowe (tylko do tej symulacji) i wykonać analizę .DC ze zmianą wartości tego źródła w zakresie od  $-1\text{V}$  do  $1\text{V}$ . Na podstawie tej analizy należy wyznaczyć rezystancję wyjściową wzmacniacza  $R_{OUT}$ .

7) Wykonać analizę .AC w zakresie częstotliwości od  $100\text{Hz}$  do  $100\text{MHz}$  i wyznaczyć częstotliwość  $3\text{dB}$   $f_{3dB}$  oraz częstotliwość odcięcia  $f_T$  wzmacniacza (t.j. częstotliwość dla której wzmocnienie jest równe  $0\text{dB}$ ).

**Po wyznaczeniu powyższych parametrów należy uzupełnić tabelę i przesłać ją na adres wskazany przez prowadzącego zajęcia.**

Ćwiczenie 2 – badanie bipolarnego wzmacniacza operacyjnego		
L.p.	Nazwa / opis	Wartość
1	Data wykonania ćwiczenia	
2	Nazwiska osób, które wykonały ćwiczenie	
3	$V_{INOFF}$	
4	$A_{ID}$	
5	$A_{CM}$	
6	<b>CMRR</b>	
7	$R_{OUT}$	
8	$f_{3dB}$	
9	$f_T$	

**Zadanie 3 – zastosowanie wzmacniacza operacyjnego.** W czasie laboratorium należy wykonać badania symulacyjne wzmacniacza operacyjnego z zadania 2 w połączeniu wzmacniacza nieodwracającego, jak to przedstawiono na poniższym rysunku. Należy zastosować nazwy węzłów sygnałowych jak podane na rysunku (oznaczone zieloną kursywą). Wzmacniacz z zadania 2 należy umieścić w podukładzie o nazwie **OPAMP2**. Następnie należy go osadzić w badanym układzie. Uwaga: na poniższym rysunku nie zaznaczono wyprowadzeń zasilających, należy je wykonać jak w poprzednim zadaniu - jako napięcie zasilające należy przyjąć źródła napięciowe o wydajności  $+10\text{V}$  oraz  $-10\text{V}$ .



W ramach symulacji należy wykonać następujące badania:

- 1) Należy wykonać analizę stałoprądową .DC i na jej podstawie określić wzmocnienie układu  $V_{OUT} / V_I$ .
- 2) Wykonać analizę .AC i na jej podstawie znaleźć częstotliwość 3dB  $f_{3dB}$  wzmacniacza.
- 3) Należy wykonać analizę stałoprądową .DC i na jej podstawie określić rezystancję wyjściową układu. Uwaga: do tej analizy należy usunąć rezystor  $R_L$  oraz dołączyć źródło testujące do wyjścia układu.
- 4) Należy ponownie wykonać analizę .AC (z obciążeniem) i znaleźć skuteczną wartość napięcia szumów odniesioną do wejścia wzmacniacza w paśmie od 100Hz do  $f_{3dB}$ .
- 5) Należy wykonać analizę czasową oraz Fourniera i znaleźć amplitudę sygnału harmonicznego o częstotliwości 10kHz dla którego zniekształcenia THD na wyjściu są równe 1%.
- 6) Z symulacji 5 i 4 należy wyznaczyć zakres dynamiki **DR**.
- 7) Należy wykonać 100 krotną analizę Monte Carlo (dla analizy .AC) dla 10% zmian wartości rezystancji rezystorów  $R_1$  i  $R_2$ . Zmiany rezystancji  $R_1$  i  $R_2$  powinny być od siebie niezależne. Należy odczytać wynikający z tego zakres zmian wzmocnienia układu.

**Po wyznaczeniu powyższych parametrów należy uzupełnić tabelę i przesłać ją na adres wskazany przez prowadzącego zajęcia.**

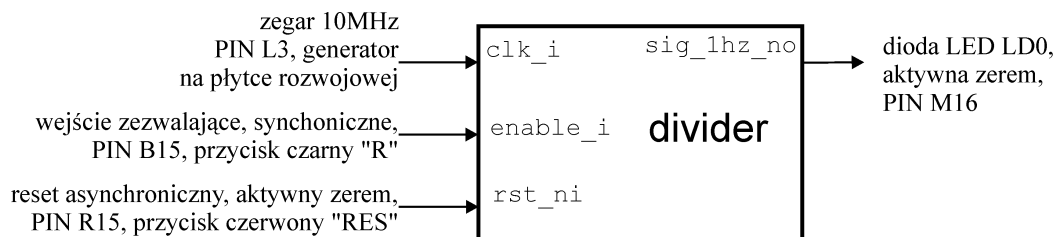
Ćwiczenie 3 – zastosowanie wzmacniacza operacyjnego		
L.p.	Nazwa / opis	Wartość
1	Data wykonania ćwiczenia	
2	Nazwiska osób, które wykonały ćwiczenie	
3	$V_{OUT}/V_I$	
4	$f_{3dB}$	
5	$R_{OUT}$	
6	$V_{InoiseRMS}$	
7	$V_I$ @ THD=1%, $f=10kHz_T$	
8	<b>DR</b>	
9	<b>Analiza MC, zakres zmian <math>V_{OUT}/V_I</math></b>	

## Zadania do wykonania w czasie laboratorium z części Verilog i VHDL

**Zadania 4 (Verilog) i 7 (VHDL) - dzielnik częstotliwości.** Wejściowy sygnał `clk_i` o częstotliwości 10MHz należy podzielić przez 10 000 000. Sygnał wyjściowy `sig_1hz_no` (sygnał aktywny logicznym zerem - tzn. stan "0" powoduje zapalenie diody) o częstotliwości 1Hz ma zostać wyprowadzony na wyjście dzielnika. Stopień podziału (10 000 000) ma być podany za pomocą parametru o nazwie `DivRatio`. Dodatkowo dzielnik powinien mieć wejście asynchronicznego resetu `rstn_ni` (reset aktywny logicznym zerem, tj. "0" powoduje reset wszystkich wewnętrznych rejestrów a "1" daje możliwość normalnej pracy) oraz wejście zezwalające `enable_i` (synchroniczne). Zadanie należy przeprowadzić w następujących etapach:

- wykonanie opisu funkcjonalnego dzielnika,
- wykonanie opisu modułu Test\_Bench,
- symulacja funkcjonalna, podczas symulacji należy ustawić stopień podziału na 5,
- synteza i implementacja,
- testy działania na płytce prototypowej MAXIMATOR.

Schematyczne wyprowadzenie sygnałów przedstawiono na rysunku poniżej.



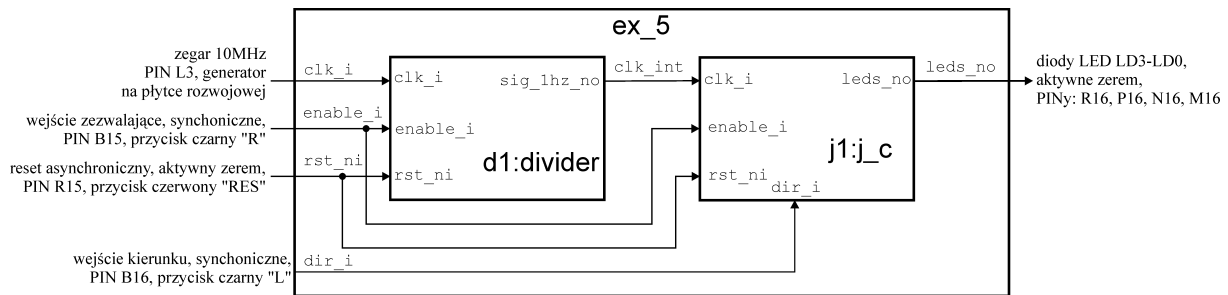
Przypisane wyprowadzeń I/O na płytce MAXIMATOR (układ FPGA: **10M08DAF256C8GES**) wraz z płytką rozszerzeniową MAXimator Expander:

```
# Buttons (pressed low, default high):
set_location_assignment PIN_R15 -to rst_ni      # pressed LOW, red RES button
set_location_assignment PIN_B15 -to enable_i    # pressed LOW, black R button
#10MHz clock signal
set_location_assignment PIN_L3 -to clk_i        # 10MHz clock_gen
# LED (low level active)
set_location_assignment PIN_M16 -to sig_1hz_no # LED0
```

**Zadania 5 (Verilog) i 8 (VHDL) – linijka świetlna.** W zadaniu tym należy wykorzystać blok dzielnika częstotliwości zaprojektowany poprzednio w zadaniu 4 (lub odpowiednio 7 dla VHDL). Stopień podziału dzielnika należy ustawić na 1 000 000. Następnie należy dodać drugi blok (koniecznie jako oddzielny blok module/entity), który będzie realizował kolejne zapalenie 4 diod LED (wyjście `leds_no [3:0]` aktywne stanem niskim) a następnie ich gaszenie zgodnie z zasadą pierwsza włączona pierwsza wyłączona. Blok ten powinien być blokiem synchronicznym z asynchronicznym resetem i powinien być taktowany zegarem otrzymanym z wyjścia dzielnika częstotliwości. Dodatkowe wejście `dir_i` ma umożliwiać zmianę kierunku zapalania diod (od najmłodszego bitu gdy `dir_i=1` oraz od najstarszego bitu gdy `dir_i=0`). Pozostałe wejścia o funkcji identycznej jak w poprzednim zadaniu. Zadanie należy wykonać w następujących etapach:

- wykonanie opisu funkcjonalnego bloku dzielnika, bloku włączania/gaszenia diod oraz połączenie tych bloków w bloku nadrzędnym,
- wykonanie opisu modułu Test\_Bench,
- symulacja funkcjonalna, podczas symulacji należy ustawić stopień podziału na 5,
- synteza i implementacja,
- testy działania na płytce prototypowej MAXIMATOR.

Schemat blokowy realizowanego układu cyfrowego przedstawiony jest na rysunku poniżej:



Przypisane wyprowadzeń I/O na płytce MAXIMATOR (układ FPGA: **10M08DAF256C8GES**) wraz z płytką rozszerzeniową MAXimator Expander:

```
# Reset (low level active):
set_location_assignment PIN_R15 -to rst_ni      # pressed LOW, RED RST button
# Buttons (pressed low, default high):
set_location_assignment PIN_B15 -to enable_i    # pressed LOW, black R button
set_location_assignment PIN_B16 -to dir_i       # pressed LOW, black L button
#10MHz clock signal
set_location_assignment PIN_L3 -to clk_i # 10MHz clock_gen
# LEDs (low level active)
set_location_assignment PIN_M16 -to leds_no[0] # LED0
set_location_assignment PIN_N16 -to leds_no[1] # LED1
set_location_assignment PIN_P16 -to leds_no[2] # LED2
set_location_assignment PIN_R16 -to leds_no[3] # LED3
```

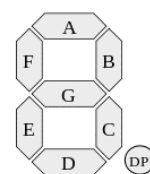
**Zadania 6 (Verilog) i 9 (VHDL) – multipleksowany sterownik wyświetlacza siedmiosegmentowego LED.**

Układ ma realizować blok sterownika wyświetlacza multipleksowanego LED. Blok sterownika ma mieć nazwę **disp\_cnt** i następujące wejścia: zegara (**clk\_i**), asynchronicznego resetu aktywnego zerem (**rst\_ni**), wejście zezwalające (**enable\_i**) aktywne stanem wysokim jeśli nieaktywne wyświetlacze powinny być wygaszone oraz 20-to bitowe wejście poszczególnych cyfr (**[19:0] digits\_i**). Znaczenie poszczególnych bitów wektora wejściowego **digits\_i** jest następujące:

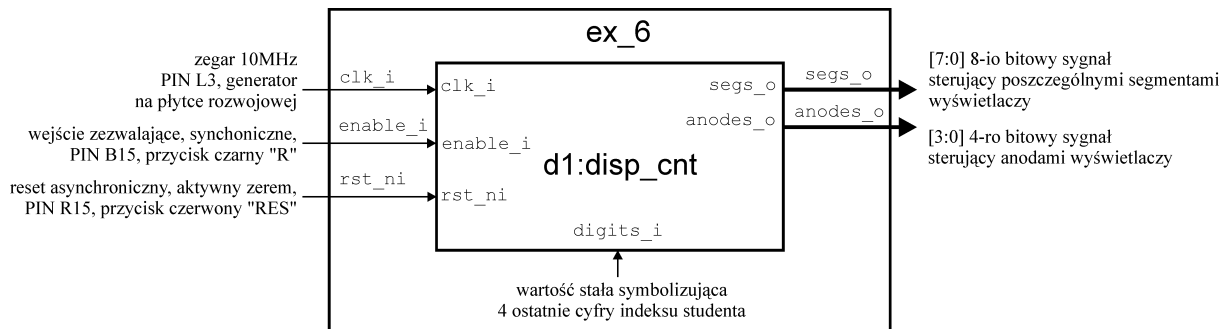
- bit [19] - punkt dziesiętny wyświetlacza nr 3,
- bity [18-15] - cyfra wejściowa w kodzie szesnastkowym przeznaczona do wyświetlenia na wyświetlaczu nr 3,
- bit [14] - punkt dziesiętny wyświetlacza nr 2,
- bity [13-10] - cyfra wejściowa w kodzie szesnastkowym przeznaczona do wyświetlenia na wyświetlaczu nr 2,
- bit [9] - punkt dziesiętny wyświetlacza nr 1,
- bity [8-5] - cyfra wejściowa w kodzie szesnastkowym przeznaczona do wyświetlenia na wyświetlaczu nr 1,
- bit [4] - punkt dziesiętny wyświetlacza nr 0,
- bity [3-0] - cyfra wejściowa w kodzie szesnastkowym przeznaczona do wyświetlenia na wyświetlaczu nr 0,

Wyświetlacze są numerowane od 0 dla segmentu położonego na płytce najbardziej z prawej strony do 3 dla segmentu po stronie lewej. Wyjściami z bloku **disp\_cnt** mają być 2 następujące sygnały wektorowe:

- **anodes\_o** - 4-ro bitowy sygnał włączający poszczególne segmenty wyświetlaczy, w dowolnej chwili czasu tylko jeden z segmentów powinien być aktywny (stan 1) a pozostałe powinny mieć stan logicznego zera, przełączanie pomiędzy segmentami powinno następować z częstotliwością proporcjonalną do **clk\_i** podzieloną przez wartość parametru nazwanego **DivRatio**, domyślna wartość tego parametru powinna być równa 10 000,
- **segs\_o** 8-mio bitowy sygnał sterujący poszczególnymi segmentami wyświetlacza, znaczenie poszczególnych bitów sygnału jest następujące:
  - segs\_o[0]**, - wyjście segmentu A, logiczna "1" zapala segment,
  - segs\_o[1]**, - wyjście segmentu B, logiczna "1" zapala segment,
  - segs\_o[2]**, - wyjście segmentu C, logiczna "1" zapala segment,
  - segs\_o[3]**, - wyjście segmentu D, logiczna "1" zapala segment,
  - segs\_o[4]**, - wyjście segmentu E, logiczna "1" zapala segment,
  - segs\_o[5]**, - wyjście segmentu F, logiczna "1" zapala segment,
  - segs\_o[6]**, - wyjście segmentu G, logiczna "1" zapala segment,
  - segs\_o[7]**, - wyjście segmentu DP, logiczna "1" zapala segment,



Blok sterownika wyświetlacza należy osadzić w bloku o nazwie **ex\_6** a następnie na wejścia należy podać wartości odpowiadające 4 ostatnim numerom indeksu osoby realizującej ćwiczenie. Schemat blokowy realizowanego układu cyfrowego przedstawiony jest na rysunku poniżej:



Przypisane wyprowadzeń I/O na płytce MAXIMATOR (układ FPGA: **10M08DAF256C8GES**) wraz z płytką rozszerzeniową MAXimator Expander:

```
# Reset (low level active):
set_location_assignment PIN_R15 -to rst_ni           # pressed LOW, RED RST button
# Buttons (pressed low, default high):
set_location_assignment PIN_B15 -to enable_i        # pressed LOW, black R button
#10MHz clock signal
set_location_assignment PIN_L3 -to clk_i           # 10MHz clock_gen
# 7-seg LED segments (high level active)
set_location_assignment PIN_L16 -to segs_o[0]      # A
set_location_assignment PIN_J15 -to segs_o[1]      # B
set_location_assignment PIN_J16 -to segs_o[2]      # C
set_location_assignment PIN_H15 -to segs_o[3]      # D
set_location_assignment PIN_H16 -to segs_o[4]      # E
set_location_assignment PIN_G15 -to segs_o[5]      # F
set_location_assignment PIN_G16 -to segs_o[6]      # G
set_location_assignment PIN_F16 -to segs_o[7]      # DP
# 7-seg displays anodes (high level active)
set_location_assignment PIN_E15 -to anodes_o[0]    # right display
set_location_assignment PIN_E16 -to anodes_o[1]    #
set_location_assignment PIN_D15 -to anodes_o[2]    #
set_location_assignment PIN_D16 -to anodes_o[3]    # left display
```