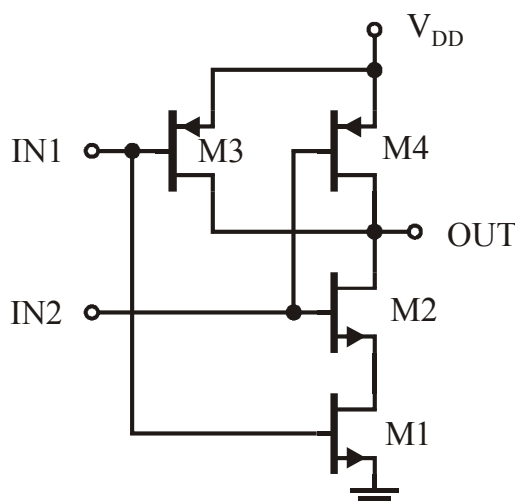


Organizacja laboratorium

W czasie laboratorium należy wykonać 9 ćwiczeń, po 3 z części PSPICE, Verilog oraz VHDL. Ćwiczenia punktowane są odpowiednio po 5, 5, 6 (PSPICE), 5, 6, 6 (Verilog) oraz 5, 6, 6 (VHDL) punktów co daje łącznie 50pkt. Warunkiem zaliczenia laboratorium jest uzyskanie minimum 25 punktów. Informacje dotyczące obsługi oprogramowania Xilinx ISE 10.1 wykorzystywanego podczas laboratorium można znaleźć tutaj: http://www.ue.eti.pg.gda.pl/fpgalab/info_prog_spartan3/index.html

Zadania do wykonania w czasie laboratorium z części PSPICE

Zadanie 1 – badanie bramki CMOS nand. W czasie laboratorium należy wykonać badania symulacyjne bramki NAND CMOS. Schemat bramki przedstawiony jest na poniższym rysunku. Należy zastosować nazwy węzłów sygnałowych jak podane na rysunku. Modele tranzystorów MOS (technologia AMI C5) należy pobrać z następującego linka: http://www.ue.eti.pg.gda.pl/~bpa/jmis/ami_c5.lib. Jako napięcie zasilające należy przyjąć źródło napięciowe o wydajności 3.3V.



Badana bramka CMOS NAND. Należy przyjąć wymiary tranzystorów NMOS $w=1,8\mu\text{m}$ $l=0,6\mu\text{m}$ oraz PMOS $w=5,4\mu\text{m}$ $l=0,6\mu\text{m}$.

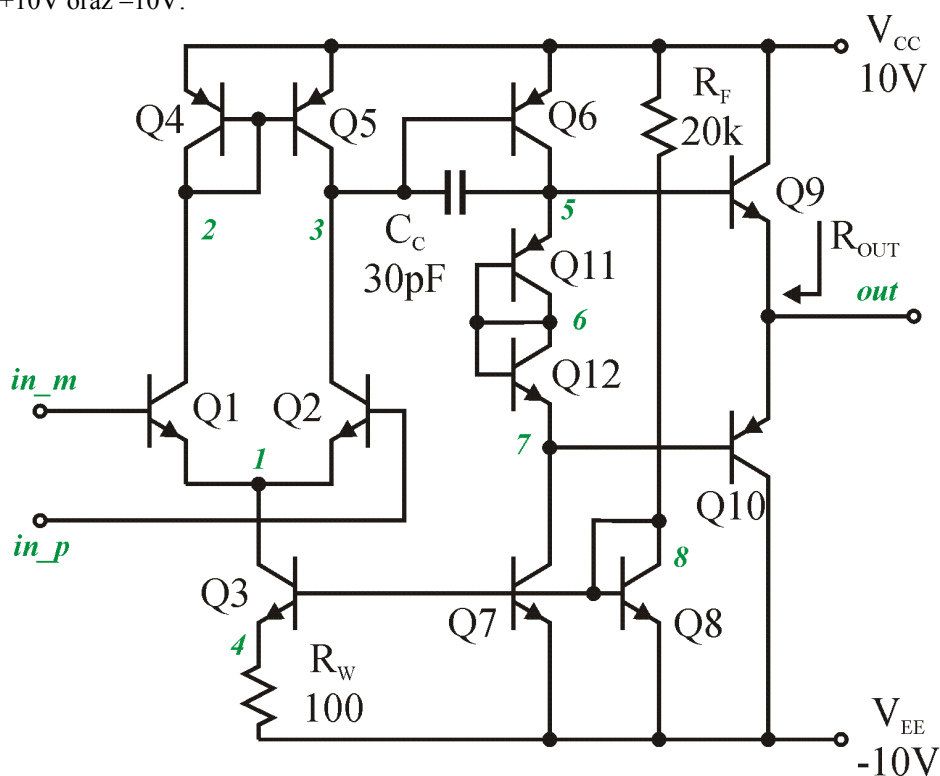
Należy stworzyć plik tekstowy w którym będzie znajdował się opis listy połączeniowej badanego układu wraz z zadanymi symulacjami. W ramach symulacji należy wykonać następujące badania:

- 1) Należy sprawdzić poprawność działania bramki poprzez podanie na wejścia przebiegów prostokątnych o częstotliwościach odpowiednio 50MHz i 25MHz.
- 2) Należy bramkę obciążyć drugą bramką NAND (pojedynczym wejściem kolejnej bramki) i znaleźć czas narastania sygnału na wyjściu bramki (liczony od 10% do 90% wartości sygnału), czas opadania sygnału na wyjściu bramki (liczony od 90% do 10% wartości sygnału) oraz czas propagacji sygnału z wejścia do wyjścia (liczony dla 50% wartości sygnału na wejściu i wyjściu).
- 3) Należy zewrzeć oba wejścia bramki i traktować te zwarte wyprowadzenia jako pojedyncze wejście. Dla takiego układu należy wykonać analizę stałoprądową zmieniając napięcie wejściowe w zakresie od 0 do 3,3V. Należy znaleźć napięcie wejściowe dla którego napięcie wyjściowe jest równe 1,65V.
- 4) Dla stałego napięcia wejściowego wyznaczonego w pkt. 3) należy wykonać analizę zmiennoprądową i wyznaczyć wzmocnienie oraz pasmo 3dB bramki NAND w układzie wzmacniacza.
- 5) Należy do wejścia wzmacniacza podać sygnał harmoniczny o amplitudzie 30mV, częstotliwości 10kHz i składowej stałej wyznaczonej w pkt. 3) i wyznaczyć zniekształcenia harmoniczne sygnału na wyjściu bramki.

Po wyznaczeniu powyższych parametrów należy uzupełnić tabelę i przesłać ją na adres wskazany przez prowadzącego zajęcia.

Ćwiczenie 1 – badanie bramki CMOS NAND		
L.p.	Nazwa / opis	Wartość
1	Data wykonania ćwiczenia	
2	Nazwiska osób, które wykonały ćwiczenie	
3	Czas narastania	
4	Czas opadania	
5	Czas propagacji	
6	Napięcie wejściowe dla $V(out)=1,65V$	
7	Wzmocnienie małosygnałowe	
8	Pasma 3dB	
9	THD	

Zadanie 2 – badanie prostego bipolarnego wzmacniacza operacyjnego. W czasie laboratorium należy wykonać badania symulacyjne prostego bipolarnego wzmacniacza operacyjnego. Schemat wzmacniacza podany jest na poniższym rysunku. Należy zastosować nazwy węzłów sygnałowych jak podane na rysunku (oznaczone zieloną kursywą). Modele tranzystorów bipolarnych należy pobrać z następującego linka: <http://www.ue.eti.pg.gda.pl/~bpa/jmis/modele8.lib>. Jako napięcie zasilające należy przyjąć źródła napięciowe o wydajności +10V oraz -10V.



Badany bipolarny wzmacniacz operacyjny

Należy stworzyć plik tekstowy w którym będzie znajdował się opis listy połączeniowej badanego układu wraz z zadanymi symulacjami. Do wejścia układu dołączyć pobudzenie jak w poniższym przykładzie. Takie pobudzenie daje rozdzielenie pobudzenia różnicowego (**Vid**) od sumacyjnego (**Vcm**).

```
Vid in_p in_m dc 0 ac 1
Vcm cm 0 0
Ecm in_p cm in_p in_m 0.5
```

W ramach symulacji należy wykonać następujące badania:

1) Należy sprawdzić poprawność wprowadzenia listy połączeniowej poprzez porównanie wartości prądów kolektorów tranzystorów dla **Vid=0V** (analiza .OP, wyniki w pliku *.out) z wartościami poprawnymi.

Prawidłowe wartości powinny wynosić:

NAME	Q1	Q2	Q3	Q4	Q5
MODEL	qnpn	qnpn	qnpn	qnpn	qnpn
IB	2.75E-06	2.75E-06	5.21E-06	-2.32E-06	-2.32E-06
IC	1.47E-04	1.47E-04	3.00E-04	-1.43E-04	-1.43E-04

NAME	Q6	Q7	Q8	Q9	Q10
MODEL	qnpn	qnpn	qnpn	qnpn	qnpn
IB	-4.58E-06	7.74E-05	1.50E-05	5.60E-06	-5.67E-06
IC	-3.38E-04	3.38E-04	8.70E-04	3.65E-04	-3.65E-04

NAME	Q11	Q12
MODEL	qnpn	qnpn
IB	-5.10E-06	6.19E-06
IC	-3.27E-04	3.26E-04

2) Należy wykonać analizę .DC przy zmianie napięcia V_{id} od -30mV do 30mV . Znaleźć wejściowe napięcie niezrównoważenia V_{INOFF} (takie napięcie V_{ID} dla którego $V(out)=0$). *Dalsze wszelkie symulacje należy przeprowadzić zakładając wstępne podanie tego napięcia na wejście różnicowe.*

3) Należy wyznaczyć wzmocnienie różnicowe jako pochodną napięcia wyjściowego dla $V_{ID}=V_{INOFF}$ (ta sama analiza co w pkt. 2).

4) Należy wyznaczyć wzmocnienie sumacyjne jako pochodną napięcia wyjściowego dla $V_{CM}=0\text{V}$ przy zmianach napięcia V_{CM} (analiza .DC ze zmianą napięcia dla V_{CM} od -1V do 1V).

5) Z wyznaczonych wcześniej parametrów należy wyliczyć współczynnik **CMRR**.

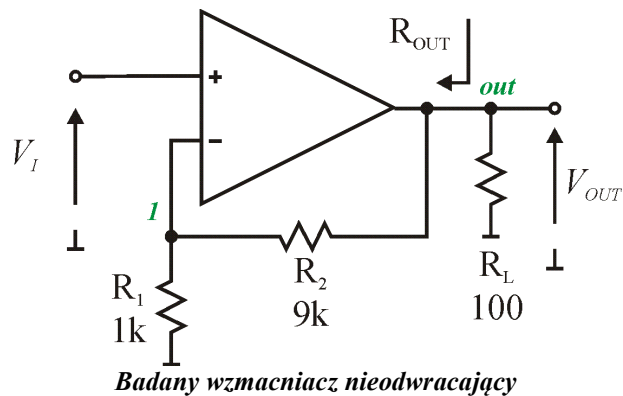
6) Do wyjścia układu należy podłączyć źródło napięciowe (tylko do tej symulacji) i wykonać analizę .DC ze zmianą wartości tego źródła w zakresie od -1V do 1V . Na podstawie tej analizy należy wyznaczyć rezystancję wyjściową wzmacniacza R_{OUT} .

7) Wykonać analizę .AC w zakresie częstotliwości od 100Hz do 100MHz i wyznaczyć częstotliwość 3dB f_{3dB} oraz częstotliwość odcięcia f_T wzmacniacza (t.j. częstotliwość dla której wzmocnienie jest równe 0dB).

Po wyznaczeniu powyższych parametrów należy uzupełnić tabelę i przesłać ją na adres wskazany przez prowadzącego zajęcia.

Ćwiczenie 2 – badanie bipolarnego wzmacniacza operacyjnego		
L.p.	Nazwa / opis	Wartość
1	Data wykonania ćwiczenia	
2	Nazwiska osób, które wykonały ćwiczenie	
3	V_{INOFF}	
4	A_{ID}	
5	A_{CM}	
6	CMRR	
7	R_{OUT}	
8	f_{3dB}	
9	f_T	

Zadanie 3 – zastosowanie wzmacniacza operacyjnego. W czasie laboratorium należy wykonać badania symulacyjne wzmacniacza operacyjnego z zadania 2 w połączeniu wzmacniacza nieodwracającego, jak to przedstawiono na poniższym rysunku. Należy zastosować nazwy węzłów sygnałowych jak podane na rysunku (oznaczone zieloną kursywą). Wzmacniacz z zadania 2 należy umieścić w podukładzie o nazwie **OPAMP2**. Następnie należy go osadzić w badanym układzie. Uwaga: na poniższym rysunku nie zaznaczono wyprowadzeń zasilających, należy je wykonać jak w poprzednim zadaniu - jako napięcie zasilające należy przyjąć źródła napięciowe o wydajności $+10\text{V}$ oraz -10V .



W ramach symulacji należy wykonać następujące badania:

- 1) Należy wykonać analizę stałoprądową .DC i na jej podstawie określić wzmacnienie układu V_{OUT} / V_I .
- 2) Wykonać analizę .AC i na jej podstawie znaleźć częstotliwość 3dB f_{3dB} wzmacniacza.
- 3) Należy wykonać analizę stałoprądową .DC i na jej podstawie określić rezystancję wyjściową układu. Uwaga: do tej analizy należy usunąć rezystor R_L oraz dołączyć źródło testujące do wyjścia układu.
- 4) Należy ponownie wykonać analizę .AC (z obciążeniem) i znaleźć skuteczną wartość napięcia szumów odniesioną do wejścia wzmacniacza w paśmie od 100Hz do f_{3dB} .
- 5) Należy wykonać analizę czasową oraz Fourniera i znaleźć amplitudę sygnału harmonicznego o częstotliwości 10kHz dla którego zniekształcenia THD na wyjściu są równe 1%.
- 6) Z symulacji 5 i 4 należy wyznaczyć zakres dynamiki **DR**.
- 7) Należy wykonać 100 krotną analizę Monte Carlo (dla analizy .AC) dla 10% zmian wartości rezystancji rezystorów R_1 i R_2 . Zmiany rezystancji R_1 i R_2 powinny być od siebie niezależne. Należy odczytać wynikający z tego zakres zmian wzmacnienia układu.

Po wyznaczeniu powyższych parametrów należy uzupełnić tabelę i przesłać ją na adres wskazany przez prowadzącego zajęcia.

Ćwiczenie 3 – zastosowanie wzmacniacza operacyjnego		
L.p.	Nazwa / opis	Wartość
1	Data wykonania ćwiczenia	
2	Nazwiska osób, które wykonały ćwiczenie	
3	V_{OUT}/V_I	
4	f_{3dB}	
5	R_{OUT}	
6	$V_{InoiseRMS}$	
7	V_I @ THD=1%, $f=10kHz_T$	
8	DR	
9	Analiza MC, zakres zmian V_{OUT}/V_I	

Zadania do wykonania w czasie laboratorium z części Verilog i VHDL

Zadania 4 (Verilog) i 7 (VHDL) - dzielnik częstotliwości. Wejściowy sygnał **clk_i** o częstotliwości 50MHz należy podzielić przez 50 000 000. Sygnał wyjściowy **sig_1hz_o** o częstotliwości 1Hz ma zostać wyprowadzony na wyjście dzielnika. Stopień podziału (50 000 000) ma być podany za pomocą parametru o nazwie **DivRatio**. Dodatkowo dzielnik powinien mieć wejście asynchronicznego resetu **rst_i** oraz wejście zezwalające **enable_i** (synchroniczne), oba aktywne jedynką logiczną. Zadanie należy przeprowadzić w następujących etapach:

- wykonanie opisu funkcjonalnego dzielnika,
- wykonanie opisu modułu Test_Bench,
- symulacja funkcjonalna, podczas symulacji należy ustawić stopień podziału na 10,
- synteza i implementacja,
- testy działania na płytce prototypowej Spartan3.

Plik ucf do zadania, płytka Digilent Spartan-3, układ Spartan-3 3S200 FT256-4:

```
# Push-button:
NET "rst_i" LOC = "L14" ; # pressed high BTN3
# Slider:
NET "enable_i" LOC = "K13" ; # high on
#50MHz clock:
NET "clk_i" LOC = "T9" ; # 50 MHz clock
# LED:
NET "sig_1hz_o" LOC = "K12" ; # high on
```

Zadania 5 (Verilog) i 8 (VHDL) – linijka świetlna. W zadaniu tym należy wykorzystać blok zaprojektowany poprzednio w zadaniu 1. Stopień podziału dzielnika należy ustawić na 5 000 000. Następnie należy dodać drugi blok, który będzie realizował kolejne zapalanie 8 diod LED a następnie ich gaszenie zgodnie z zasadą pierwsza włączona pierwsza wyłączona. Blok ten powinien być blokiem synchronicznym z asynchronicznym resetem i powinien być napędzany zegarem otrzymanym z wyjścia dzielnika częstotliwości. Podobnie jak poprzednio zadanie należy wykonać w następujących etapach:

- wykonanie opisu funkcjonalnego bloku dzielnika, bloku włączania/gaszenia diod oraz połączenie tych bloków w bloku nadrzędnym,
- wykonanie opisu modułu Test_Bench,
- symulacja funkcjonalna, podczas symulacji należy ustawić stopień podziału na 10,
- synteza i implementacja,
- testy działania na płytce prototypowej Spartan3.

Plik ucf do zadania, płytka Digilent Spartan-3, układ Spartan-3 3S200 FT256-4:

```
# Push-button:
NET "rst_i" LOC = "L14" ; # pressed high BTN3
# Slider:
NET "enable_i" LOC = "K13" ; # high on
#50MHz clock:
NET "clk_i" LOC = "T9" ; # 50 MHz clock
# LEDs:
NET "led_o<0>" LOC = "K12" ; # high on
NET "led_o<1>" LOC = "P14" ; # high on
NET "led_o<2>" LOC = "L12" ; # high on
NET "led_o<3>" LOC = "N14" ; # high on
NET "led_o<4>" LOC = "P13" ; # high on
NET "led_o<5>" LOC = "N12" ; # high on
NET "led_o<6>" LOC = "P12" ; # high on
NET "led_o<7>" LOC = "P11" ; # high on
```

Zadania 6 (Verilog) i 9 (VHDL) – nadajnik RS323. Układ ma realizować nadawanie szeregowo 20 znaków ASCII zawierających nazwisko i imię projektanta. Nadawanie zgodne z poniższą specyfikacją:

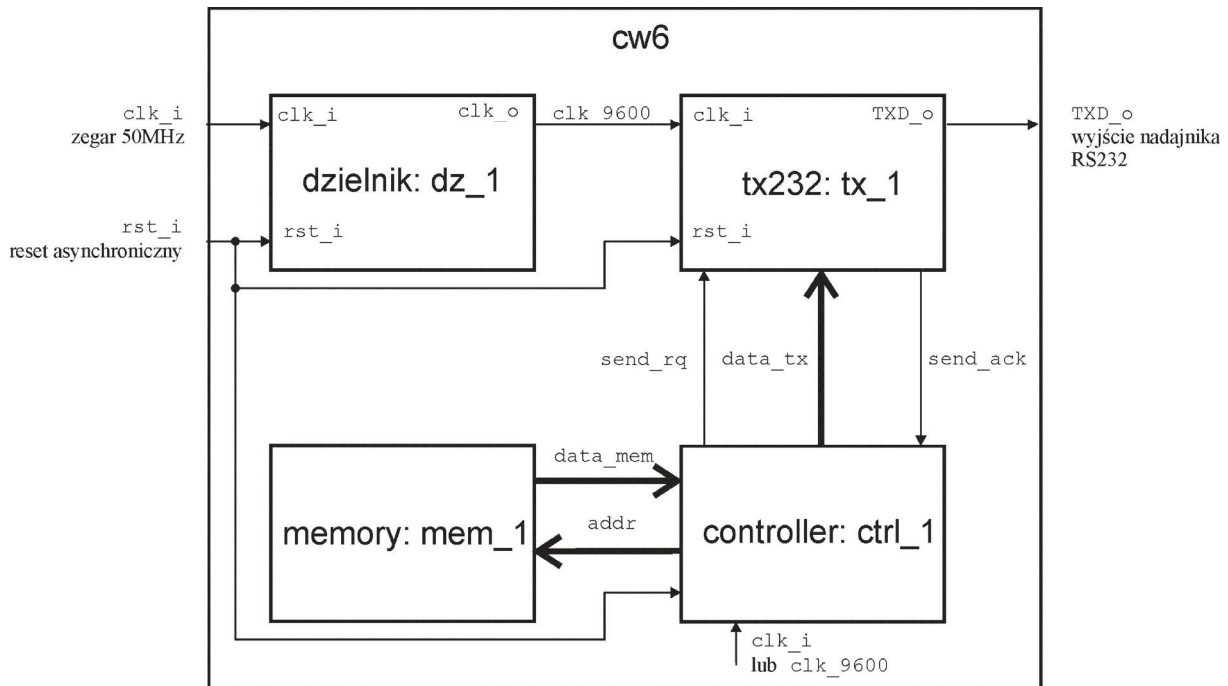
- prędkość transmisji 9600 bps,
- format danych 8N1 (8 bitów danych, brak bitu parzystości, 1 bit stopu),
- sygnał generowany przez układ: **Tx** – wyjście szeregowo
- kolejność bitów w słowie wyjściowym: bit startu (0), D0,D1,D2,D3,D4,D5,D6,D7,bit stopu (1)

Projekt należy przeprowadzić w następujących etapach

- opis funkcjonalny układu (+ ew. modułu Test_Bench),
- symulacja funkcjonalna,

- synteza i implementacja,
- testowanie na płytce prototypowej.

Zadanie powinno być wykonane zgodnie z podziałem hierarchicznym przedstawionym na poniższym rysunku. Należy zastosować nazwy bloków ENTITY (dla VHDL) lub modułów (dla Verilog), osadzanych komponentów jak i sygnałów dokładnie jak podano na rysunku. Zapis **xxx: yyy** oznacza: **xxx** - nazwa bloku ENTITY, **yyy** - nazwa wstawianego komponentu (lub dla Verilog **xxx** - nazwa modułu, **yyy** - nazwa wstawianego komponentu). Blok **memory** należy zadeklarować jako tablica 20 elementów, każdy 8 bitowy i może być to układ asynchroniczny. Blok **tx232** ma oczekiwać na sygnał **send_rq** (żądanie wysłania danej), gdy się on pojawi, daną **data_tx** powinien wysłać zgodnie ze standardem RS232 do wyjścia **TXD_o**. Po zakończeniu wysyłania blok **tx232** powinien wystawić sygnał **send_ack** (potwierdzenie wysłania) na 1 okres zegara. Całością pracy układu powinien sterować blok o nazwie **controller**. Zegarem bloku **controller** może być zegar wejściowy **clk_i** lub wewnętrzny **clk_9600** w zależności od upodobania projektanta.



Dodatkowe informacje o porcie RS232:

<http://www.fizyka.umk.pl/~ptarg/labview/fole/RS232.pdf>

Plik ucf do zadania, płytka Digilent Spartan-3, układ Spartan-3 3S200 FT256-4:

```
# Clock:
NET "clk_i" LOC = "T9" ; # 50 MHz clock
# Push-buttons:
NET "rst_i" LOC = "L14" ; # pressed high BTN3
# RS232:
NET "TXD_o" LOC = "R13" ; # RS 232 TXD
```

