

Zadanie dodatkowe do części VHDL zwalniające z kolokwium pod warunkiem wykonania zadania przed 04/12/2012

Stoper z wyświetlaniem wyniku pomiaru na ekranie VGA

Należy zaprojektować układ stopera zliczającego czas i wyświetlającego wyniki pomiaru na ekranie VGA. Działanie stopera powinno być następujące:

- należy generować następujące sygnały: jednobitowe kolory **R** (**red_o**), **G** (**grn_o**), oraz **B** (**blu_o**), synchronizację pionową (**vs_o**) i poziomą (**hs_o**);
- sygnały należy generować zgodnie z normą dla standardu VGA 60Hz, 640x480 pikseli;
- na ekranie VGA powinno być widoczne tło w kolorze zielonym, generowany napis powinien mieć kolor biały jeśli stoper jeszcze nie zaczął zliczać, niebieski w czasie zliczania i czerwony po zatrzymaniu zliczania;
- w środku ekranu powinien być wydzielony prostokąt o wymiarach 220 x 30 pikseli;
- w prostokącie opisanym powyżej powinien być wyświetlany wynik pomiaru czasu w formacie hh:mm:ss.części_setne(2 cyfry);
- przycisk płytki BTN2 (**start_stop_i**) ma służyć poprzez kolejne cykliczne przyciskanie jako Start/Stop pomiaru czasu;
- przycisk płytki BTN1 (**delete_i**) ma służyć do zerowania stopera;
- kształt wyświetlanych znaków (od „0” do „9” oraz „:” i „.”) należy pobierać z pamięci synchronicznej ROM, wymiary wszystkich znaków w pikselach powinny wynosić 20 (szerokość) x 30 (wysokość);
- pamięć ROM opisaną powyżej można wygenerować za pomocą programu **Xilinx ISE8.1i Core Generator** lub zapisać manualnie w postaci kodu VHDL, zawartość pamięci (czyli kształty znaków) należy wyznaczyć i wprowadzić samodzielnie;
- w celu możliwości szybkiego sprawdzenia poprawności wyświetlania cyfr godzin, przełącznik SW5 (**fast_i**) powinien służyć do 600 krotnego przyspieszenia zliczania w stosunku do nominalnego;
- dodatkowymi sygnałami wejściowymi modułu są zegar 50MHz (**clk_i**) oraz asynchroniczny reset (**rst_i**).

Należy wykonać symulację funkcjonalną przy użyciu *Testbencha* oraz zaprogramować płytkę testową SPARTAN3 i praktycznie sprawdzić działanie układu.

Dodatkowe informacje:

1. [Generowanie sygnału VGA.](http://www.ue.eti.pg.gda.pl/fpgalab/zadania.spartan3/zad_vga_generowanie_sygnalu_vga.html)
(http://www.ue.eti.pg.gda.pl/fpgalab/zadania.spartan3/zad_vga_generowanie_sygnalu_vga.html)

2. Generacja i używanie pamięci ROM.

(http://www.ue.eti.pg.gda.pl/fpgalab/zadania.spartan3/zad_vga_generacja_i_uzywanie_pamieci_rom.html)

Uwaga: przyciski **start_stop_i** oraz **delete_i** powinny posiadać zabezpieczenie przed drganiem zestyków.

Plik „ucf” do zadania:

```
# Clock:
NET "clk_i" LOC = "T9" ; # 50 MHz clock
NET "clk_i" TNM_NET = "clk";
TIMESPEC "TS_clk" = PERIOD "clk" 15 ns HIGH 50 %;
# Push-buttons:
NET "rst_i" LOC = "L14" ; # pressed high BTN3
NET "start_stop_i" LOC = "L13" ; # pressed high BTN2
NET "delete_i" LOC = "M14" ; # pressed high BTN1

# VGA port:
NET "blu_o" LOC = "R11" ;
NET "grn_o" LOC = "T12" ;
NET "red_o" LOC = "R12" ;
NET "hs_o" LOC = "R9" ; # horizontal sync
NET "vs_o" LOC = "T10" ; # vertical sync
# Slide switches
NET "fast_i" LOC = "J13" ; # active high when in UP position (SW5)
```