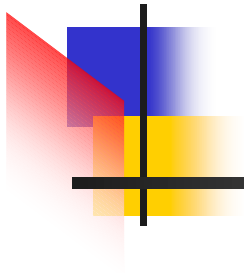
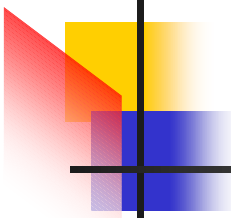


Języki modelowania i symulacji



Wykład

Bogdan Pankiewicz



Zasady zaliczenia

- Wykład

- 3 kolokwia (zaliczenie zerowe) : $15+15+15$ punktów = 45 punktów + obecności na wykładzie 5pkt (terminy kolokwiów: 23/10/2019, 04/12/2019 i 08/01/2020) lub
- egzamin 50 punktów

- Laboratorium

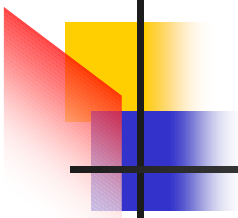
- 50 punktów (9 zadań: $5+5+6 + 5+6+6 + 5+6+6 = 50$ punktów).
- Każda nieusprawiedliwiona nieobecność na laboratorium = minus 5 punktów)

- Warunek zaliczenia przedmiotu łącznie:

- Przynajmniej 51% punktów łącznie z kolokwiów lub egzaminu oraz każda część wykładu zaliczona na min. 50%
- przynajmniej 25 punktów z laboratorium.

Ustalenie oceny końcowej wg poniższej skali:

0 - 50pkt. – 2.0, 51 - 60pkt. – 3.0, 61 – 70pkt. – 3.5, 71 – 80pkt. – 4.0, 81 – 90pkt. – 4.5, 91 – 100pkt. – 5.0

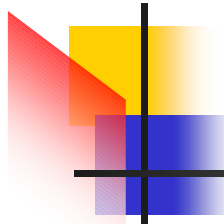


Konsultacje – pok. 307 EA

- Terminy w semestrze zimowym 2019/2020:

poniedziałki 11.15 – 12.00

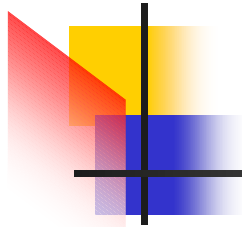
poniedziałki 12.15 – 13.00



Wykład

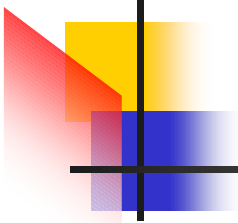
Trzy części wykładu zaliczane na pierwszej godzinie części kolejnej lub ostatnim wykładzie

- PSPICE
- Verilog
- VHDL



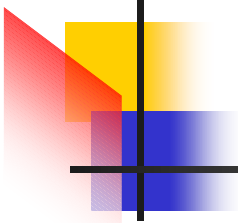
PSPICE

- ogólna forma netlisty
- opis poszczególnych elementów rzeczywistych i idealnych
- polecenia systemowe
- symulacje parametryczne
- symulacje MC



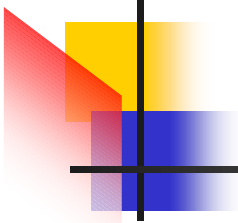
Plan wykładu

- Verilog
 - Koncepcja modelowania hierarchicznego
 - Podstawowe pojęcia
 - Moduły i porty
 - Modelowanie na poziomie bramek logicznych
 - Modelowanie na poziomie rejestrów (*dataflow*)
 - Modelowanie na poziomie behawioralnym
 - Zadania i funkcje



Plan wykładu (cd.)

- VHDL
 - Składnia i typy danych
 - Biblioteki
 - Jednostki projektowe, sygnały
 - Poziom strukturalny
 - Poziom RTL
 - Poziom behawioralny
 - Maszyny stanów
 - Biblioteki standardowe
 - Synteza



Terminy zajęć:

- Wykład część PSPICE:

01/10, 01/10, 02/10, 09/10, 16/10

- Wykład część Verilog:

23/10, 30/10, 06/11, 13/11, 20/11

- Wykład część VHDL:

27/11, 04/12, 11/12, 18/12, 08/01

- Lab. część PSPICE:

08/10, 15/10, 22/10, 29/11, 05/11

- Lab. część Verilog:

12/11, 19/11, 26/11, 03/12, 17/12

- Lab. część VHDL:

07/01, 14/01, 21/01, 28/01, 28/01