

# *Projektowanie układów ASIC*

*Wykład dla semestru VII – studia  
inżynierskie dwustopniowe*

B. Pankiewicz

pok. EA 307.

**Konsultacje w sem. zimowym 2019/20 – informacje na stronie domowej:**

<http://www.ue.eti.pg.gda.pl/~bpa/>

**Strona przedmiotu:** [http://www.ue.eti.pg.gda.pl/~bpa/pua\\_in/pua.html](http://www.ue.eti.pg.gda.pl/~bpa/pua_in/pua.html)

# Zaliczenie przedmiotu

Ocena końcowa = średnia ważona oceny z wykładu (waga 2) i laboratorium (waga 1) i projektu (waga 1).

Zarówno wykład jak i laboratorium oraz projekt muszą być zaliczone na ocenę co najmniej 3.0 – w przeciwnym przypadku brak zaliczenia przedmiotu.

# Zaliczenie wykładu

Ocena z wykładu.

A) Zaliczenie zerowe:

- kolokwium 85pkt w czasie ostatniego wykładu (t.j. dnia 02/12/2019),
- każda obecność na wykładzie 1pkt.,
- możliwe dodatkowe punkty w przypadku aktywności na zajęciach lub przygotowania prezentacji.

lub:

B) Egzamin w terminie podstawowym i poprawkowym:

- 100% punktów do uzyskania w czasie egzaminu.

Pytania do kolokwium jak również do egzaminu dostępne na stronie:

***<http://www.ue.eti.pg.gda.pl/~bpa/pua-in/pua.html>***

Ustalenie oceny końcowej wg poniższej skali:

0 - 50pkt – 2.0, 51 - 60pkt. – 3.0, 61 - 70pkt. – 3.5, 71 - 80pkt. – 4.0, 81 - 90pkt. – 4.5, 91 - 100pkt. – 5.0

# Zaliczenie laboratorium

Ocenę końcową stanowi średnia uzyskana ze sprawozdań.

- 1) Wykonanie zestawu ćwiczeń prostszych – bez wyprowadzeń I/O - ocena do 4,5.
- 2) Wykonanie dodatkowo zestawu z wyprowadzeniami I/O - ocena do 5,0.



# Zaliczenie projektu

Ocenę końcową stanowi średnia uzyskana z prezentacji końcowej oraz sprawozdania. Prezentacja na 15 godzinie projektu. Prezentacja ma zawierać tylko główne, najważniejsze informacje dotyczące wykonywanego projektu (5 - 6 slajdów zawartości).

Podobnie jak dla laboratorium wykonanie projektu wyłącznie rdzenia – ocena do 4,5, projekt pełny z wyprowadzeniami I/O – ocena do 5,0.

# Terminy zajęć

## semestr zimowy 2019/20:

### Wykład:

- 07/10/2019 – 2h,
- 14/10/2019 – 2h,
- 21/10/2019 – 2h,
- 28/10/2019 – 2h,
- 04/11/2019 – 2h,
- 18/11/2019 – 2h,
- 25/11/2019 – 2h,

### Wykład c.d.:

- 02/12/2019 – ew.  
prezentacje i zaliczenie  
zerowe

Wykład odbywa się w sali EA 337

# Terminy zajęć

## semestr zimowy 2019/20:

### Laboratorium:

- 02/10/2019 – 4h,
- 09/10/2019 – 4h,
- 16/10/2019 – 4h,
- 23/10/2019 – 3h,

### Projekt:

- 23/10/2019 – 1h,
- 06/11/2019 – 4h,
- 13/11/2019 – 4h kontrola postępów w projekcie,
- 20/11/2019 – 4h,
- 27/11/2019 – 2h prezentacje projektów

Laboratorium i projekt  
w sali EA 308

# *Przygotowanie prezentacji*

## **A) ZASADY:**

- 1) Forma: 10-15minutowe wystąpienie, przygotowanie materiałów Power Point lub Acrobat Reader - należy je dostarczyć co najmniej dzień wcześniej.
- 2) Nagroda za przygotowanie: 5pkt dodatkowych.
- 3) Kara za zdeklarowanie przygotowania i nie wykonanie: 5pkt mniej.
- 4) Ok. 4 wystąpień, w przypadku większej liczby chętnych osób liczy się kolejność zgłoszeń.
- 5) Zgłoszenia dzisiaj po wykładzie lub na przewie.

## **B) TEMATY:**

- 1) CCD (ang. Charge - Coupled Device) – budowa, podstawowe właściwości i zastosowania.
- 2) MEMS (ang. Micro-Electro-Mechanical Systems) – budowa, podstawowe właściwości i zastosowania.
- 3) MCM (ang. Multi Chip Modules) – budowa, podstawowe właściwości i zastosowania.
- ...
- 7) Temat inny niż powyższe, zaproponowany samodzielnie przez studenta.

# Literatura:

- 1) R. L. Geiger, P. E. Allen, N. R. Strader, „VLSI design techniques for analog and digital circuits“, McGraw-Hill 1990.
- 2) P. E. Allen, D. R. Holberg, „CMOS analog circuit design“, Sanders College Publishing, 1987.
- 3) P. R. Gray, R. G. Meyer, „Analysis and design of analog integrated circuits“, John Wiley & Son, Inc. 1993.
- 4) P. Gajewski, J. Turczyński, „Cyfrowe układy scalone CMOS“, WKŁ 1990.
- 5) „Matching properties of MOS transistors“, M. Pelgrom, A. Duinmaijer, A. Welbres, IEEE Journal of Solid-State Circuits, vol. 24, no. 5, October 1989.
- 6) „Boundary-Scan Tutorial“, ASSET Inter Tech 2000, [www.asset-intertech.com](http://www.asset-intertech.com).
- 7) K. P. Parker, „The Boundary-Scan Handbook Second Edition Analog and Digital“, Kluwer Academic Publishers, 1998.
- 8) A. Grochowski, D. Bhattachara, T.R. Viswanathan, K. Laker, „Integrated Circuit Testing for Quality Assurance in Manufacturing: History, Current Status, and Future Trends“, IEEE Transactions on Circuits and Systems – II Analog and Digital Signal Processing, vol. 44, no. 8, pp. 610-633, August 1997.
- 9) „Analog VLSI: Signal and Information processing“, Chapter Design for Testability.
- 10) J. Izydorczyk, „PSpice komputerowa symulacja układów elektronicznych“, Helion, 1993.
- 11) C. Wai-Kai (editor), „The VLSI Handbook“, Taylor & Francis Group, 2007.
- 12) Dokumentacja pakietu CEDENCE – dostępna w zasobach katedry.
- 13) E.A. Vittoz, „Analog Layout Techniques“, Practical Aspects of Analog and Mixed-Mode IC Design, Portland, Oregon, USA, July 18-22, 1994.

# Technologie produkcji (2005)

- **CMOS (90%)**
- **BiCMOS (5%)**
- **Bipolar (2%)**
- **GaAs (2%)**
- **SOI (1%)**

# Technologia wytwarzania układów scalonych

**Etapy technologiczne produkcji układów scalonych:**

- *Przygotowanie kryształu.*
- *Maskowanie.*
- *Proces fotolitograficzny.*
- *Osadzanie.*
- *Wytrawianie.*
- *Dyfuzja.*
- *Utlenianie.*
- *Epitaksja.*

# Przygotowanie kryształu krzemu

Podłożem dla bipolarnych i MOS-owych układów scalonych jest najczęściej kryształ krzemu lekko domieszkowany domieszkami typu n- lub p-. Podłoże służy jako fizyczne medium dla produkcji układu scalonego jak również jako część obwodu elektrycznego. Podłoża te są cięte z dużego walca krzemowego o strukturze krystalicznej o długości do ok. 2m i średnicy od 1 do kilku cali. Grubość płytek krzemu (wafer) wynosi 250 $\mu$ m do 400 $\mu$ m. Z elektrycznego punktu widzenia mogłyby być one cieńsze, ze względów praktycznych (pękanie) są one grubsze. Średnica płytek krzemowych używanych jako podłoża układów scalonych wzrasta (przykładowo kiedyś 4" lub 5" teraz 10" i więcej). Daje to możliwość produkcji większej ilości układów scalonych przypadających na jedną płytkę (wafer) lub produkcji większych układów scalonych.



# Maskowanie

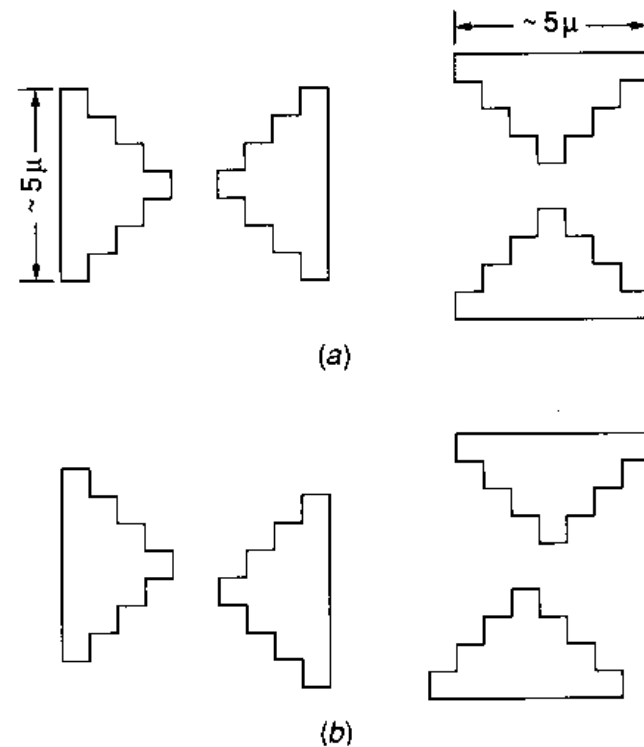
Maski układów scalonych są wysokokontrastowymi (czarno-białe) pozytywami lub negatywami fotograficznymi. Są one używane do selektywnego zabezpieczania powierzchni przed promieniami światła w czasie procesu fotolitografii. Maski są zazwyczaj wykonywane ze szkła powleczonego cienką warstwą nieprzezroczystego metalu. Czasami spotyka się też maski z materiałów mniej odpornych i oczywiście tańszych. Maski wytwarzane są z cyfrowego opisu kształtu maski (wygenerowanego z programu projektowego). Jest kilka metod wytwarzania masek. Pierwsza z nich polega na fotograficznym pomniejszaniu dużej kopii żądanego kształtu wydrukowanego lub narysowanego za pomocą drukarki lub plotera. Metoda ta była używana szeroko w przeszłości, obecnie została wyparta przez dwie następne. Druga metoda polega na wykorzystaniu promienia lasera do wytworzenia obrazu maski. Obie metody wymagają kroków o wysokiej rozdzielczości i kamery pomniejszającej do wytworzenia finalnych masek. Obraz pośredni nazywany jest *reticle* i jest zazwyczaj 5 lub 10 krotnie większy od rzeczywistego. Trzecia metoda wykorzystuje promień elektronów (E-beam) do wytworzenia obrazu od razu o wymiarach rzeczywistych bezpośrednio na masce finalnej. Ta metoda daje maski o najlepszej jakości i jest używana szeroko dla technologii niskoskalowalnych. Niestety wymaga względnie dużego czasu i drogiego sprzętu.

# Fotolitografia

Fotolitografia ma na celu **selektywne** naniesienie materiału na docelowy obiekt

Etapy fotolitografii:

- naniesienie fotomaski
- selektywne naświetlenie (poprzez maskę)
- wywołanie



Znaki wyrównujące –  
pomoc przy pozycjonowaniu wielu masek

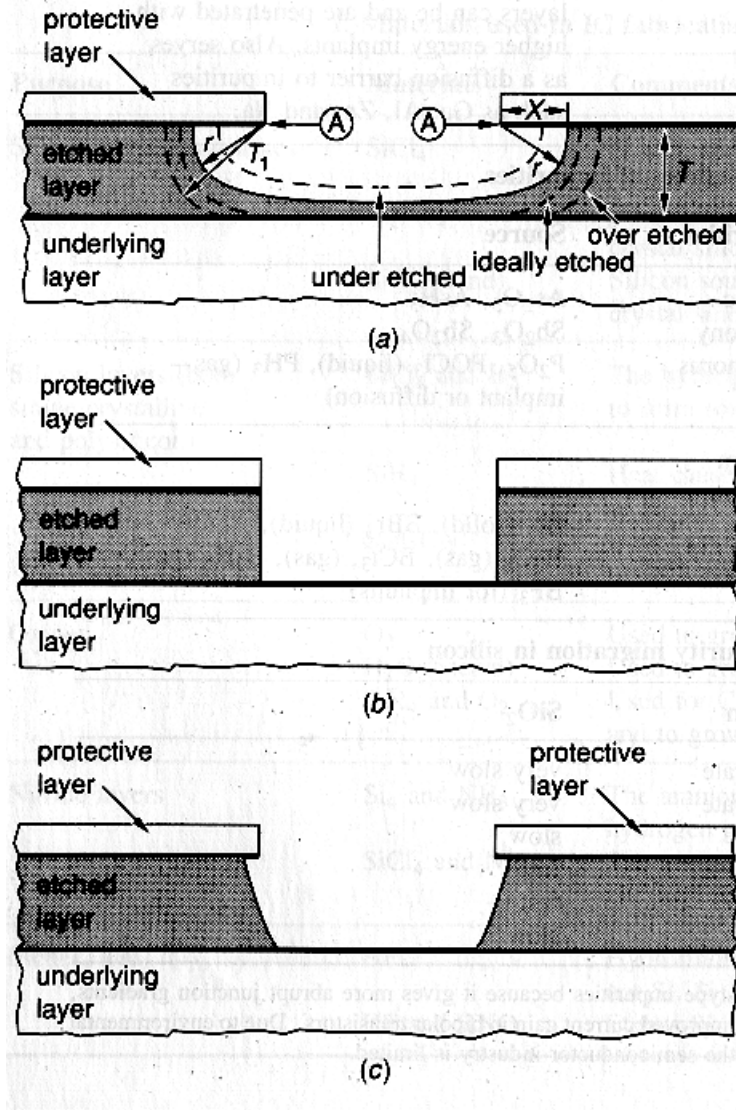
# Osadzanie

Rodzaje:

- naparowywanie,
- napyłanie katodowe,
- CVD,
- epitaksja.

# Wytrawianie

Wytrawianie jest selektywnym usuwaniem niepotrzebnego materiału z powierzchni podłoża.



Rys. 2.1-2. Charakterystyki wytrawiaczy: (a) izotropowe, (b) anizotropowe, (c) selektywne.

# Dyfuzja

Dyfuzja w przypadku produkcji układów scalonych oznacza kontrolowaną migrację domieszek w głąb podłoża lub sąsiadujących materiałów. Wynikowy profil koncentracji domieszek, który gra kluczową rolę w parametrach układu scalonego, jest zniekształcony przez temperaturę i czas jak również zależność czasowo - temperaturową podczas poszczególnych kroków technologicznych. Kolejne dyfuzje w ogólności powodują dodatkową migrację wcześniej wykonywanych. W rzeczywistości proces dyfuzji trwa ciągle, ale dla normalnych temperatur pracy układów scalonych potrzeba dziesiątek lat aby dodatkowy ruch domieszek spowodował istotne zmiany.

Są różne techniki osadzania domieszek. Jako źródło domieszek może być wykorzystany materiał stały bądź gazowy. Domieszki mogą być także przyśpieszane w celu bombardowania nimi podłoża, w ten sposób zostają wtrącone w strukturę podłoża w pobliżu jego powierzchni. Taka technika nazywana jest implantacją jonów i daje bardzo dokładną kontrolę koncentracji domieszek za cenę zniszczenia struktury krystalicznej w pobliżu powierzchni.

Po etapie wytrącenia lub osadzenia domieszek następuje proces dyfuzji. Jej celem jest migracja nośników ze stałej lub gazowej warstwy. Krok dyfuzji po implantacji jonów ma na celu naprawę zniszczonej wcześniej struktury krystalicznej w pobliżu powierzchni oraz dodatkową migrację domieszek.

Podobnie jak w przypadku wytrawiania kierunek zachodzenia dyfuzji jest trudny do kontroli. Domieszki zazwyczaj dyfundują w sposób izotropowy, we wszystkich kierunkach z jednakową prędkością, podobnie jak wytrawianie na rys. 2.1-2a.

### III. Migracja domieszek w krzemie

Domieszka	Krzem	SiO <sub>2</sub>
Arsen <sup>[1]</sup>	średnia	bardzo wolna
Antymon	średnia	bardzo wolna
Fosfor	szybka	wolna
Gal	średnia	szybka
Glin	szybka	szybka
Bor	szybka	wolna

### II. Źródła domieszek

Typ domieszki	Domieszka	Material
<b>n</b>	Arsen Antymon Fosfor	As <sub>2</sub> O <sub>3</sub> , AsH <sub>3</sub> Sb <sub>2</sub> O <sub>3</sub> , Sb <sub>2</sub> O <sub>4</sub> P <sub>2</sub> O <sub>5</sub> , POCl <sub>3</sub> (płyn), PH <sub>3</sub> (gaz-implantacja lub dyfuzja)
<b>p</b>	Gal Glin Bor	BN (stałe), BBr <sub>3</sub> (ciecz), B <sub>2</sub> O <sub>3</sub> (gaz), B <sub>2</sub> H <sub>6</sub> (gaz), BF <sub>3</sub> (do implantacji)

<sup>[1]</sup> Arsen jest często preferowanym typem domieszek typu *n* gdyż daje większy gradient domieszkowania złącz półprzewodnikowych i w ten sposób uzyskuje się lepsze właściwości częstotliwościowe i zwiększone wzmocnienie prądowe tranzystorów bipolarnych. Jednak ze względu na ochronę środowiska używanie arsenu w przemyśle elektronicznym jest ograniczone.

# Przewodniki i rezystory

## Przewodniki:

- glin (grubość warstwy 0.6-0.8um typowo do 2um dla układów z pojedynczą warstwą metalu)
- miedź i inne metale (rzadziej),
- polikrzem.

## Rezystory:

- polikrzem, specjalny polikrzem,
- wyspy,
- dyfuzje,
- układy aktywne.

# Utlenianie i dielektryki

Utlenianie jest procesem podczas którego cząsteczki tlenu z gazu nad przetwarzaną płytką powodują wzrost warstwy tlenku na jej powierzchni. Ponieważ przeważnie podłożem jest krzem proces utleniania powoduje powstanie dwutlenku krzemu. Prędkość tworzenia się warstwy  $\text{SiO}_2$  jest funkcją koncentracji domieszek i temperatury podłoża. Warstwy  $\text{SiO}_2$  służą jako bardzo dobre izolatory pomiędzy innymi warstwami. Podczas wzrostu tlenku na powierzchni krzemowej następuje jego rozwijanie się w dół (47%) oraz ponad powierzchnię (53%).

Alternatywnie  $\text{SiO}_2$  może zostać naniesiony przez CVD. Taką technikę stosuje się gdy dwutlenek krzemu musi pokryć powierzchnie inne niż krzem. Proces CVD jest wykonywany w niższych temperaturach niż zwykle utlenianie co zmniejsza wtórną dyfuzję wcześniej aplikowanych materiałów. Warstwy nanoszone metodą utleniania są jednak bardziej jednorodne.

Często wykorzystuje się inne typy tlenków. Przykładem może być szkło fosforowo-krzemowe (PSG). Jest ono zazwyczaj używane jako warstwy izolujące nanoszone na polikrzem.

Azotek krzemu  $\text{Si}_3\text{N}_4$ , w niektórych procesach, jest używany jako dielektryk pomiędzy dwoma warstwami polikrzemu. Stała dielektryczna azotku jest około 4 razy większa niż dwutlenku krzemu co umożliwia wykonywanie większych gęstości powierzchniowych pojemności dla tych samych grubości izolatorów.

Poliamidy są także stosowane jako izolatory. Mają dobre własności pokrywania warstw z ostrymi krawędziami. Często stosowane są pomiędzy warstwami metalicznymi.



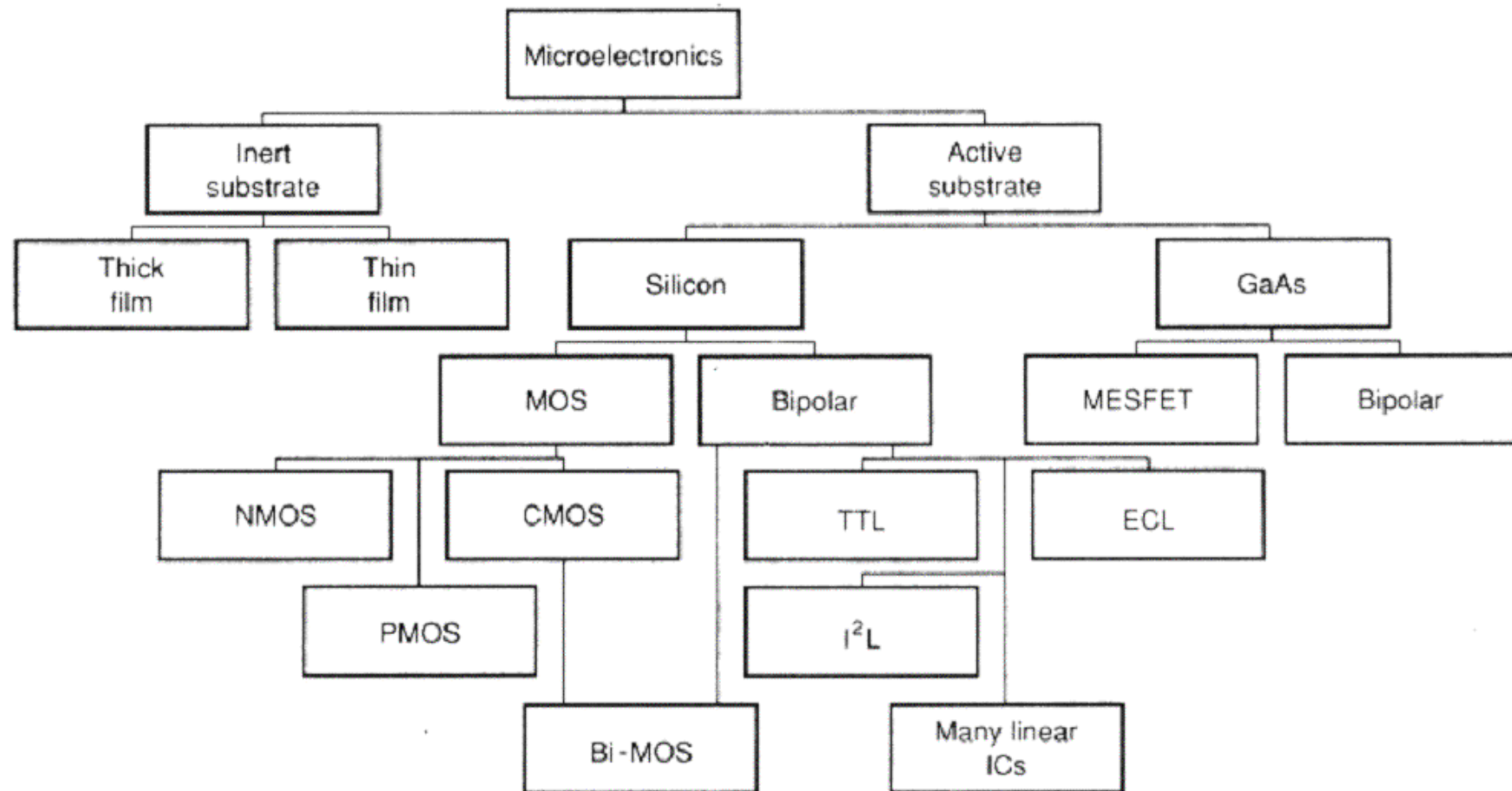
# Epitaksja

Wzrost epitaksjalny typowo jest CVD. Jego skutkiem jest idealnie krystaliczne przedłużenie warstwy podłoża. Wzrost warstw epitaksjalnych jest na tyle wolny, że można łatwo dodać do nich domieszki, które formują krystaliczne domieszkowane warstwy epitaksjalne np. typu  $n$  lub typu  $p$ .

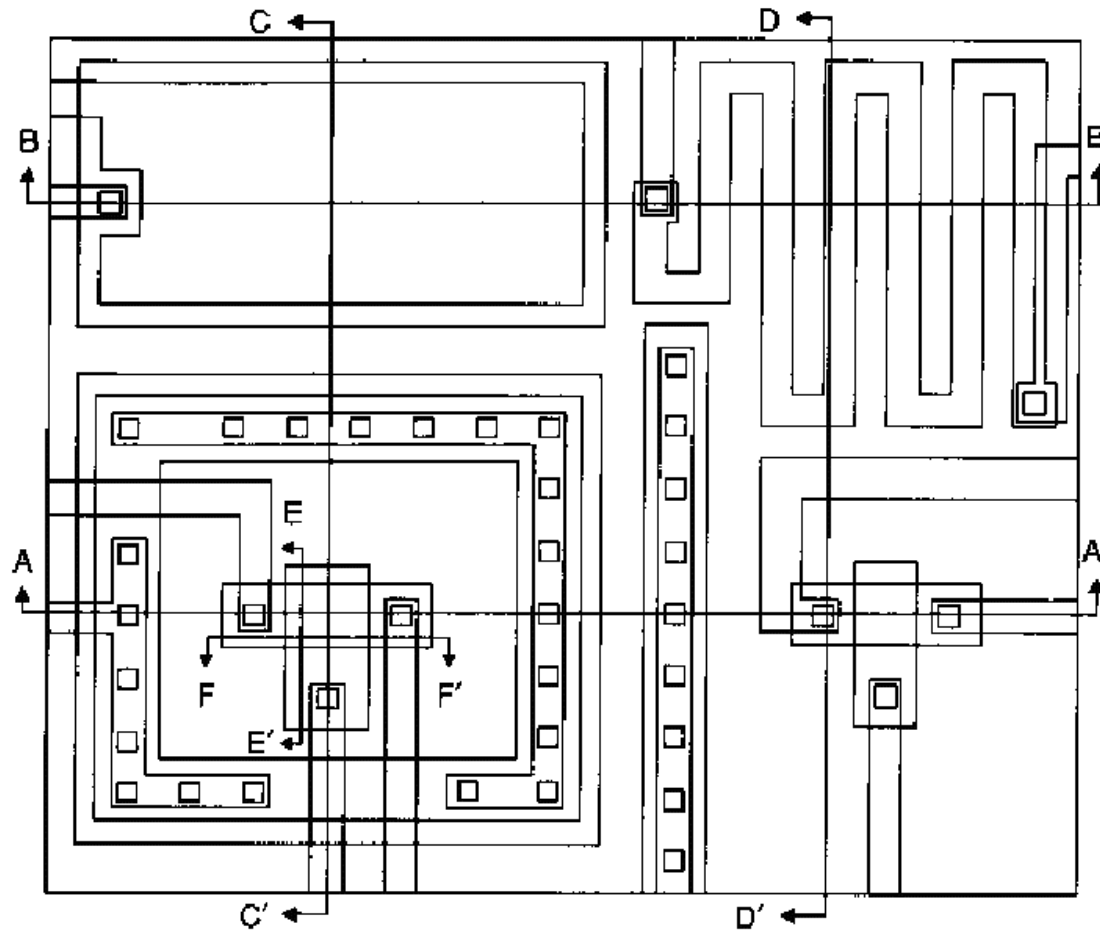
# Pakowanie i testowanie

- weryfikacja okna procesu technologicznego, struktury testowe (PCB, PCM)
- testowanie poszczególnych die,
- cięcie,
- przyklejanie do podłoża lub obudowy,
- lutowanie do wyprowadzeń (bonding),
- zamykanie obudowy (lub jej uformowanie),
- test końcowy.

# Procesy półprzewodnikowe

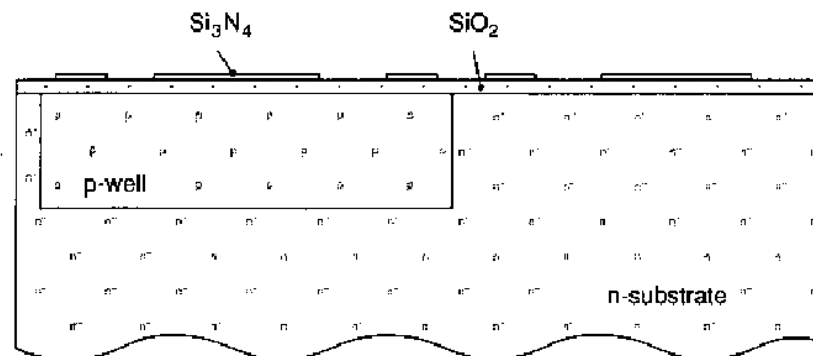


# Scenariusz procesu CMOS p-well z przykładem prostego układu



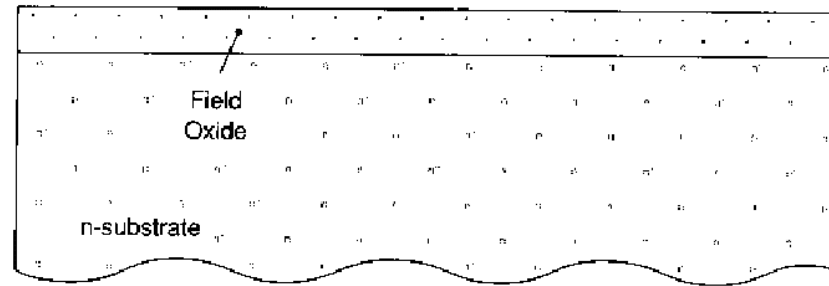
Widok końcowy

1. Czyszczenie płytki krzemowej (wafer)
  2. Wzrost cienkiego tlenku
  3. Naniesienie warstwy fotomaski
  4. Odwzorowanie obszarów wysp (MASKA #1)
  5. Wywołanie fotomaski
  6. Dyfuzja domieszek typu „p”
  7. Usunięcie fotomaski
  8. Usunięcie cienkiego tlenku
  9. Wzrost cienkiego tlenku
  10. Naniesienie warstwy  $\text{Si}_3\text{N}_4$
  11. Naniesienie warstwy fotomaski
  12. Odwzorowanie obszaru aktywnego ( $\text{Si}_3\text{N}_4$ ) (MASKA #2)
  13. Wywołanie fotomaski
  14. Wytrawienie  $\text{Si}_3\text{N}_4$
  15. Usunięcie fotomaski
- opcjonalne korygowanie napięcia progowego*
- A.1 Naniesienie fotomaski
  - A.2 Odwzorowanie antypodłoża (MASKA #A1)
  - A.3 Wywołanie fotomaski
  - A.4 Implantacja domieszek typu „n”
  - A.5 Usunięcie fotomaski

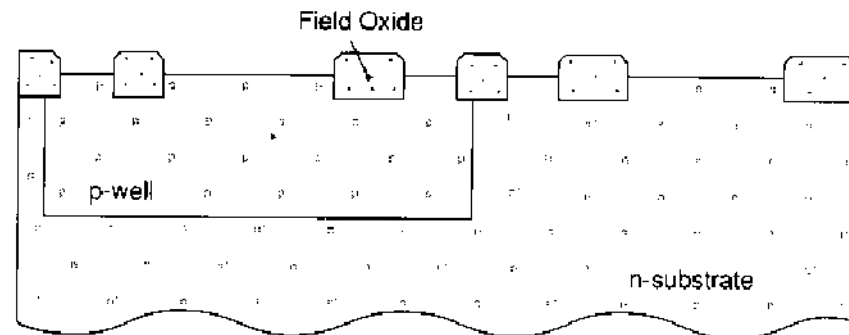


Przekrój A-A po kroku 15.

16. Wzrost tlenku grubego (polowego)



*Przekrój B-B po kroku 16.*



*Przekrój A-A po kroku 16.*

17. Usunięcie  $\text{Si}_3\text{N}_4$
18. Usunięcie cienkiego tlenku
19. Wzrost tlenku bramkowego
20. Naniesienie warstwy polikrzemu (POLY1)
21. Naniesienie fotomaski
22. Odwzorowanie warstwy polikrzemu (POLY1) (MASKA #3)
23. Wywołanie fotomaski
24. Wytrawienie polikrzemu

## 25. Usunięcie fotomaski

- opcjonalne kroki dla procesu z dwoma warstwami polikrzemu

-B.1 Usunięcie cienkiego tlenku

-B.2 Wzrost cienkiego tlenku

-B.3 Naniesienie polikrzemu (POLY2)

-B.4 Naniesienie fotomaski

-B.5 Odwzorowanie POLY2

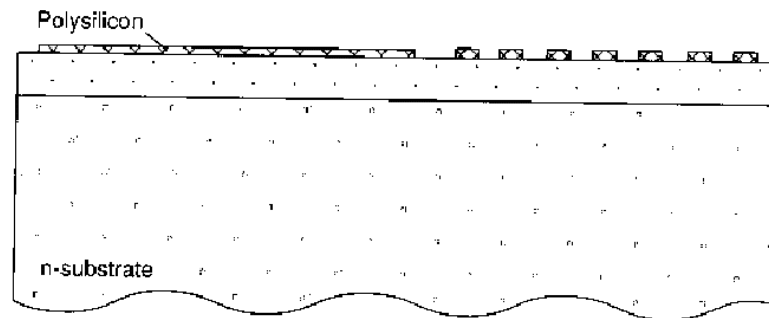
-B.6 Wywołanie fotomaski

-B.7 Wytrawienie polikrzemu

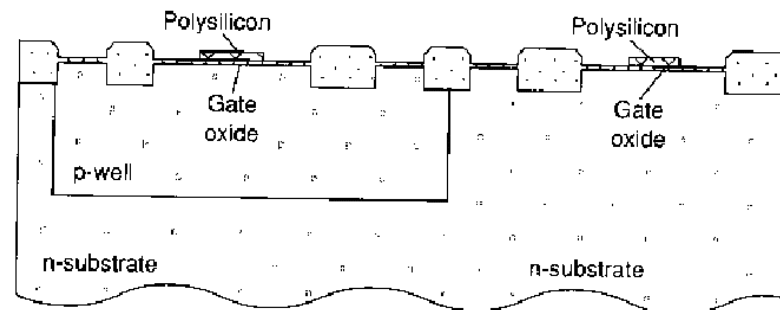
-B.8 Usunięcie fotomaski

-B.9 Usunięcie cienkiego tlenku

(MAKSA #B1)

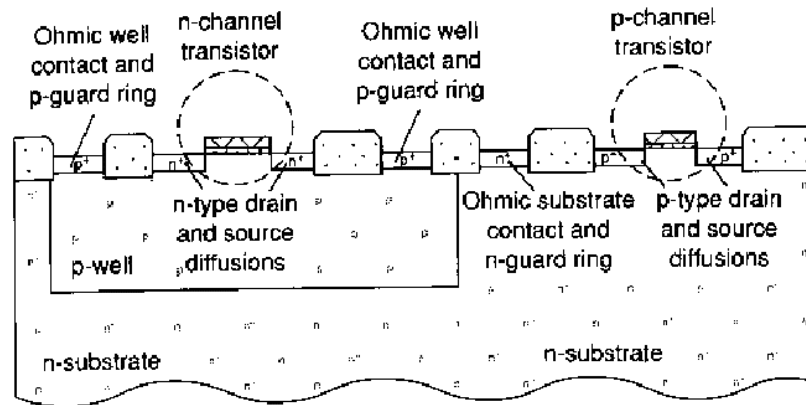


Przekrój B-B po kroku 25.



Przekrój A-A po kroku 25.

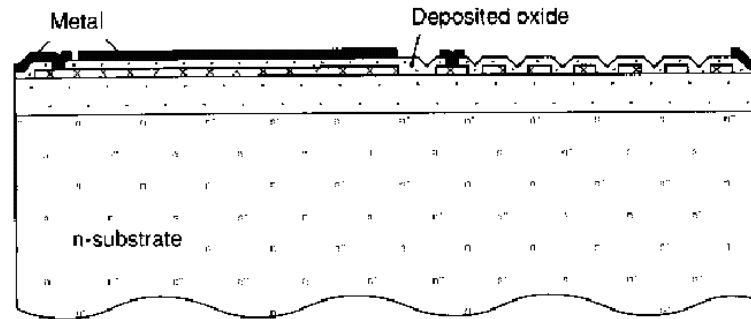
26. Naniesienie fotomaski
27. Odwzorowanie obszarów: drenów i źródeł tranzystorów z kanałem typu „p”, pierścieni ochronnych P<sup>+</sup> (kontaktów omowych do wysp typu „p”) (MASKA #4)
28. Wywołanie fotomaski
29. Implantacja P<sup>+</sup>
30. Usunięcie fotomaski
31. Naniesienie fotomaski
32. Odwzorowanie obszarów: drenów i źródeł tranzystorów z kanałem typu „n”, pierścieni ochronnych N<sup>+</sup> (kontaktów omowych do podłoża typu „n”) (MASKA #5)
33. Wywołanie fotomaski
34. Implantacja N<sup>+</sup>
35. Usunięcie fotomaski
36. Usunięcie cienkiego tlenku



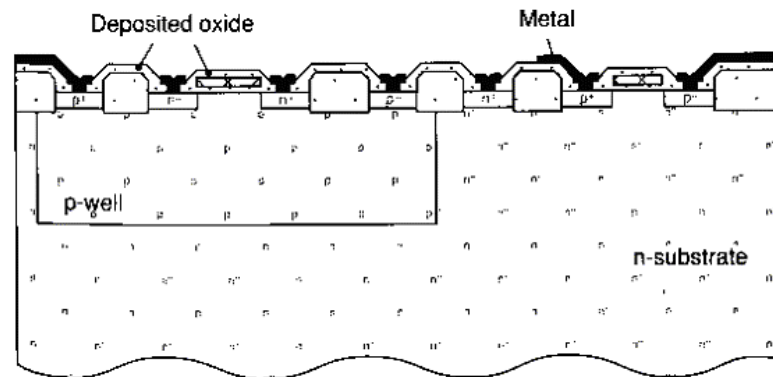
*Przekrój A-A po kroku 36.*



- 37. Wzrost tlenku
  - 38. Naniesienie fotomaski
  - 39. Odwzorowanie otworów kontaktów (MASKA #6)
  - 40. Wywołanie fotomaski
  - 41. Wytrawienie tlenku
  - 42. Usunięcie fotomaski
  - 43. Naniesienie metalu
  - 44. Naniesienie fotomaski
  - 45. Odwzorowanie metalu (MASKA #7)
  - 46. Wywołanie fotomaski
  - 47. Wytrawienie metalu
  - 48. Usunięcie fotomaski
- opcjonalne kroki dla procesu z podwójną warstwą metali*
- C.1 Usunięcie cienkiego tlenku
  - C.2 Naniesienie tlenku
  - C.3 Naniesienie fotomaski
  - C.4 Odwzorowanie przelotek (MASKA #C1)
  - C.5 Wywołanie fotomaski
  - C.6 Wytrawienie tlenku
  - C.7 Usunięcie fotomaski
  - C.8 Naniesienie warstwy metalu METAL2
  - C.9 Naniesienie fotomaski
  - C.10 Odwzorowanie metalu METAL2 (MASKA #C2)
  - C.11 Wywołanie fotomaski
  - C.12 Wytrawienie metalu
  - C.13 Usunięcie fotomaski



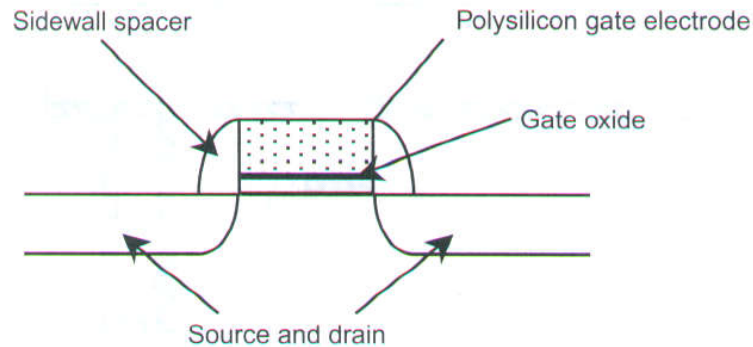
*Przekrój B-B po kroku 48.*



*Przekrój A-A po kroku 48.*

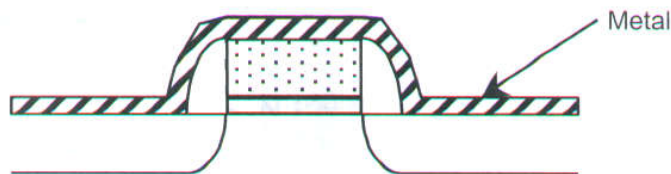
49. Naniesienie warstwy pasywacji
50. Naniesienie fotomaski
51. Odzworowanie obszarów kontaktów (PAD OPENINGS) (MASKA #8)
52. Wywołanie fotomaski
53. Wytrawienie pasywacji
54. Usunięcie fotomaski
55. Złożenie, pakowanie i test

# Technologie niskoskalowane

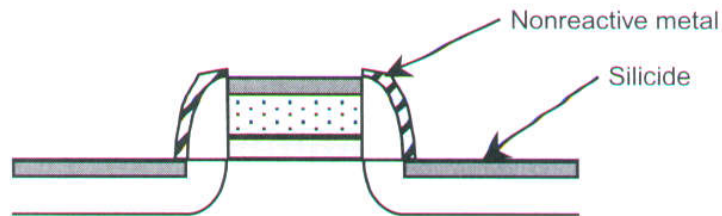


(a)

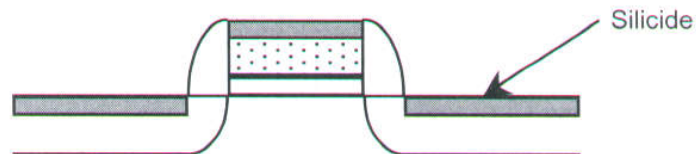
Technika selektywnego wykorzystania krzemków



(b)



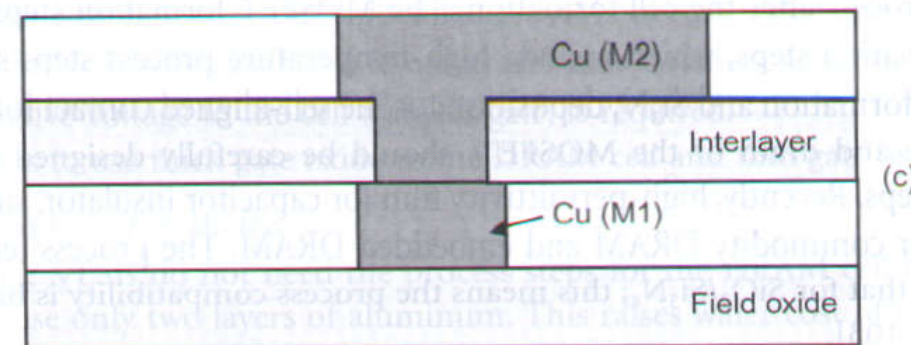
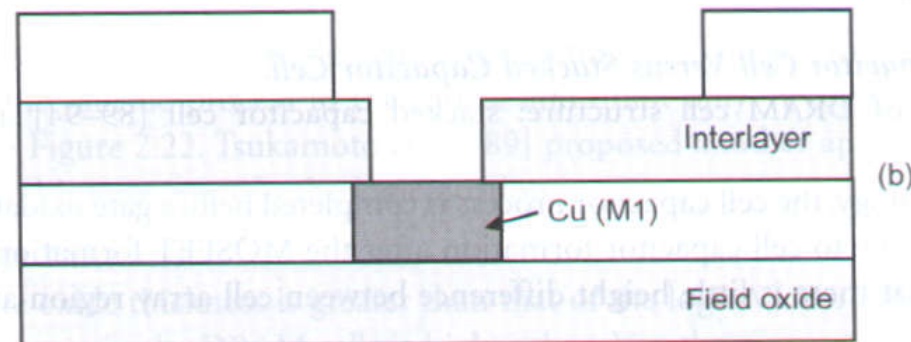
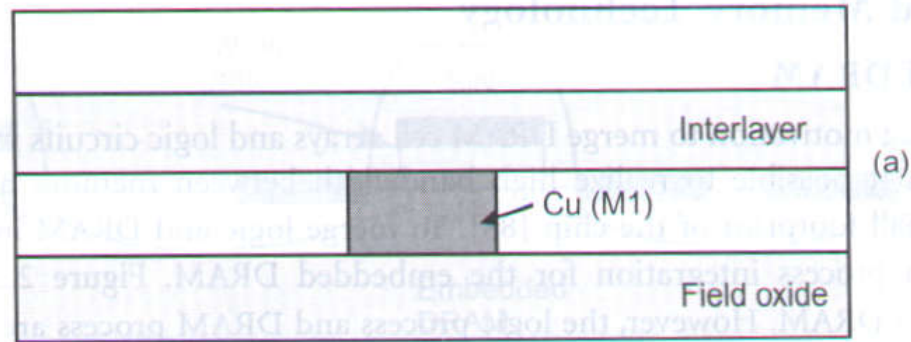
(c)



(d)

*Typowy przebieg procesu selektywnego nanoszenia krzemków stosowany w technologiach niskoskalowanych, (a) uformowanie tranzystora MOS, (b) naniesienie warstwy metalu, (c) utworzenie krzemku poprzez wygrzewanie RTA, (d) usunięcie metalu [11].*

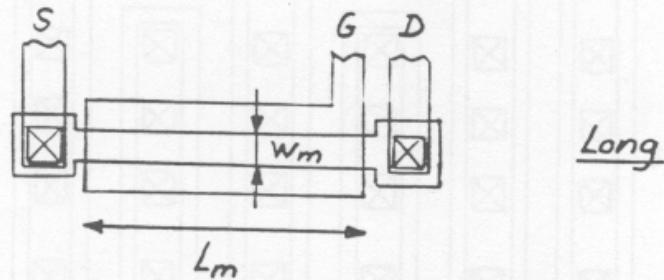
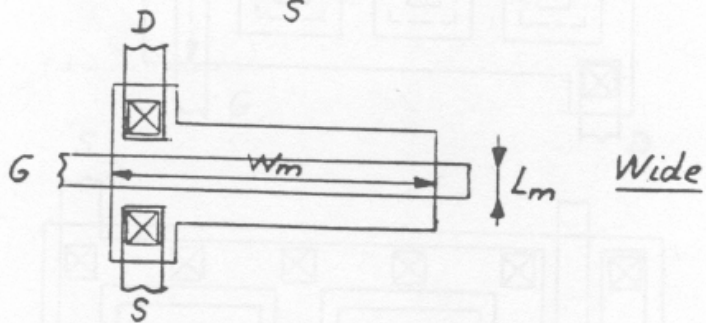
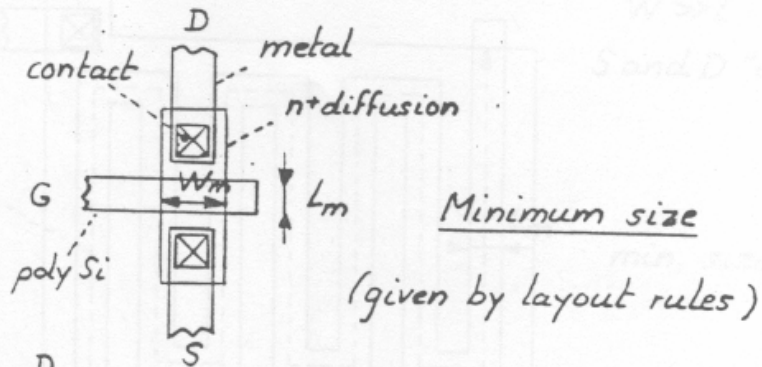
# Technologie niskoskalowane c.d.



Metalizacja metodą damasceńską

Typowy przebieg procesu metalizacji metodą damasceńską, (a)nałożenie warstw pośrednich, (b) uformowanie obszarów przelotek (VIA), (c) nałożenie warstwy M2 (Cu) i planaryzacja [11].

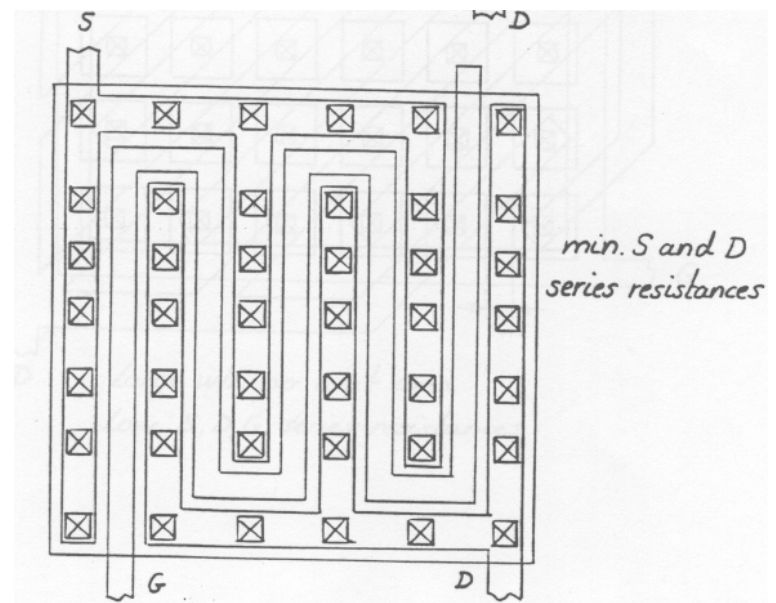
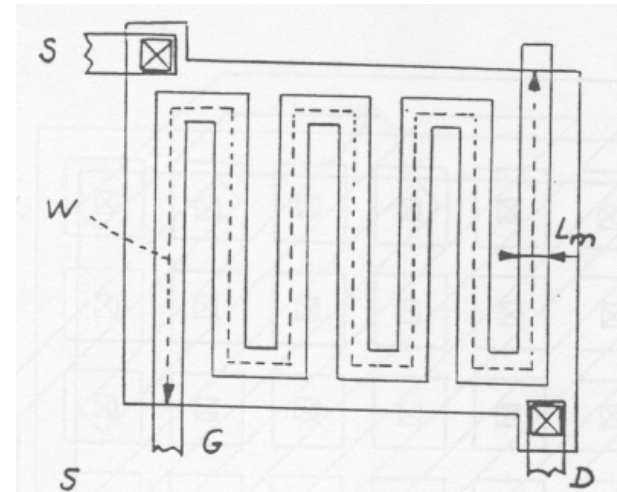
# Topografia tranzystorów MOS [13]



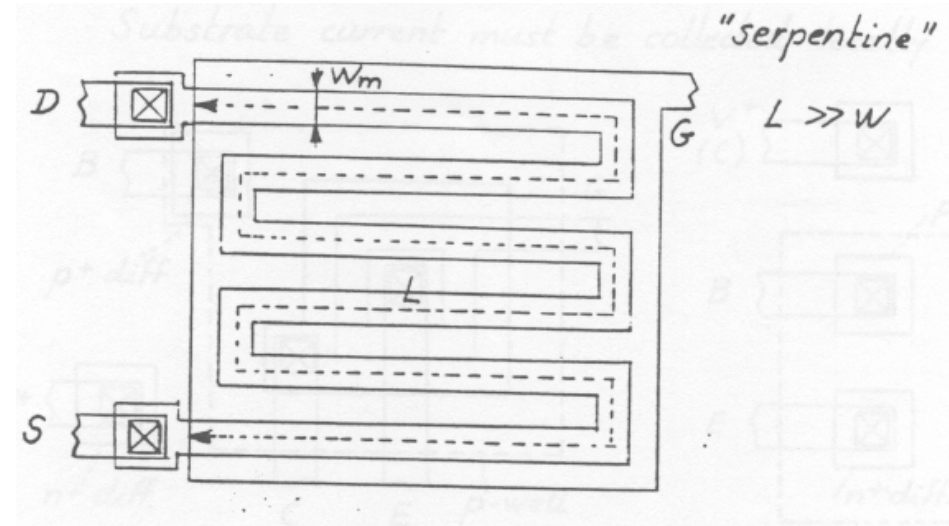
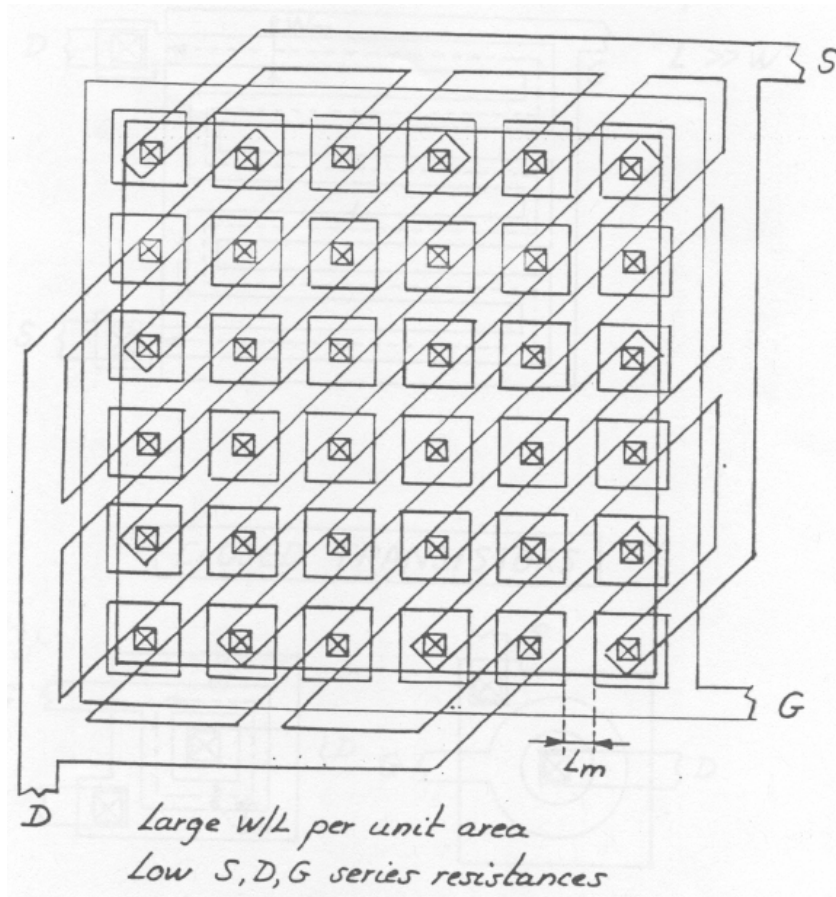
$$L = L_m + \Delta L$$

$$W = W_m + \Delta W$$

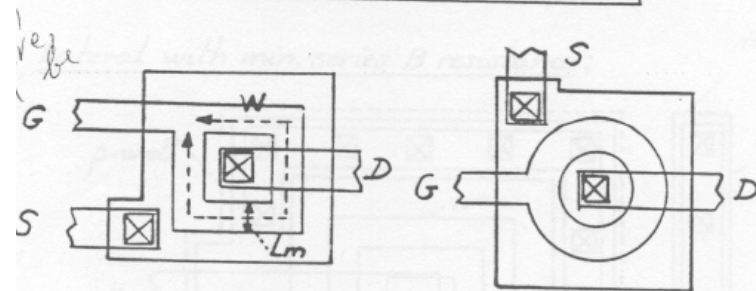
$\Delta L, \Delta W$  include process effects  
 $\Delta L$  includes  $-2L_{diff}$ , thus  $< 0$   
 $\Delta W$  may be centered at 0



# Topografia tranzystorów MOS c.d.

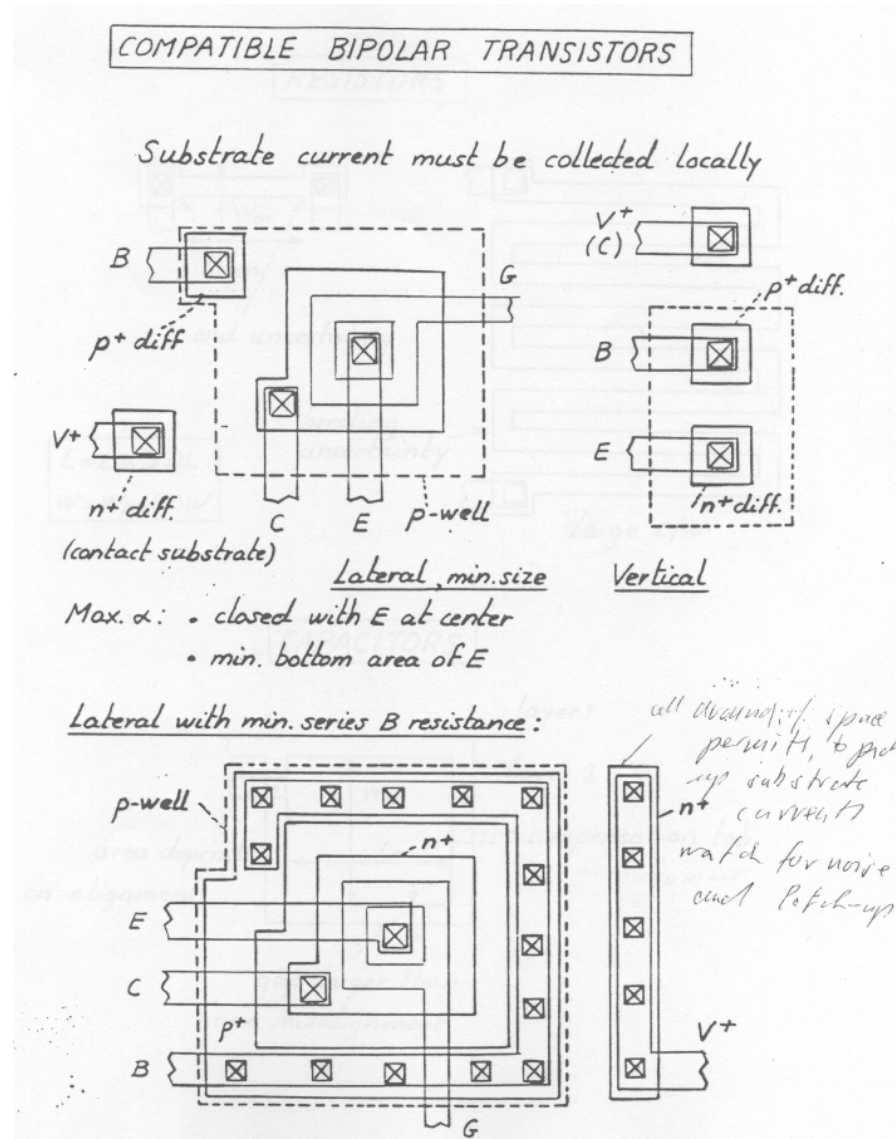


## CLOSED TRANSISTORS

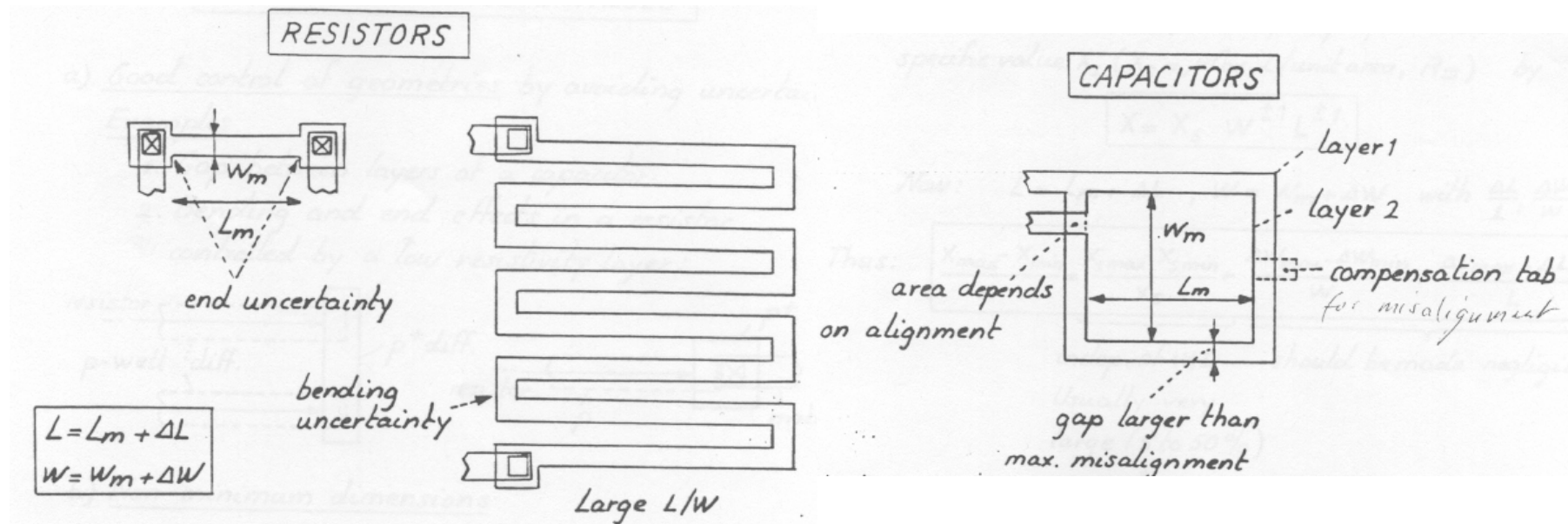


Max.  $B/C_{jd}$  (drain inside)  
No side of channel (no "bird's beak" effect)  
Circular shape best, but not always allowed

# Topografia tranzystorów BJT [13]



# Topografia elementów pasywnych [13]



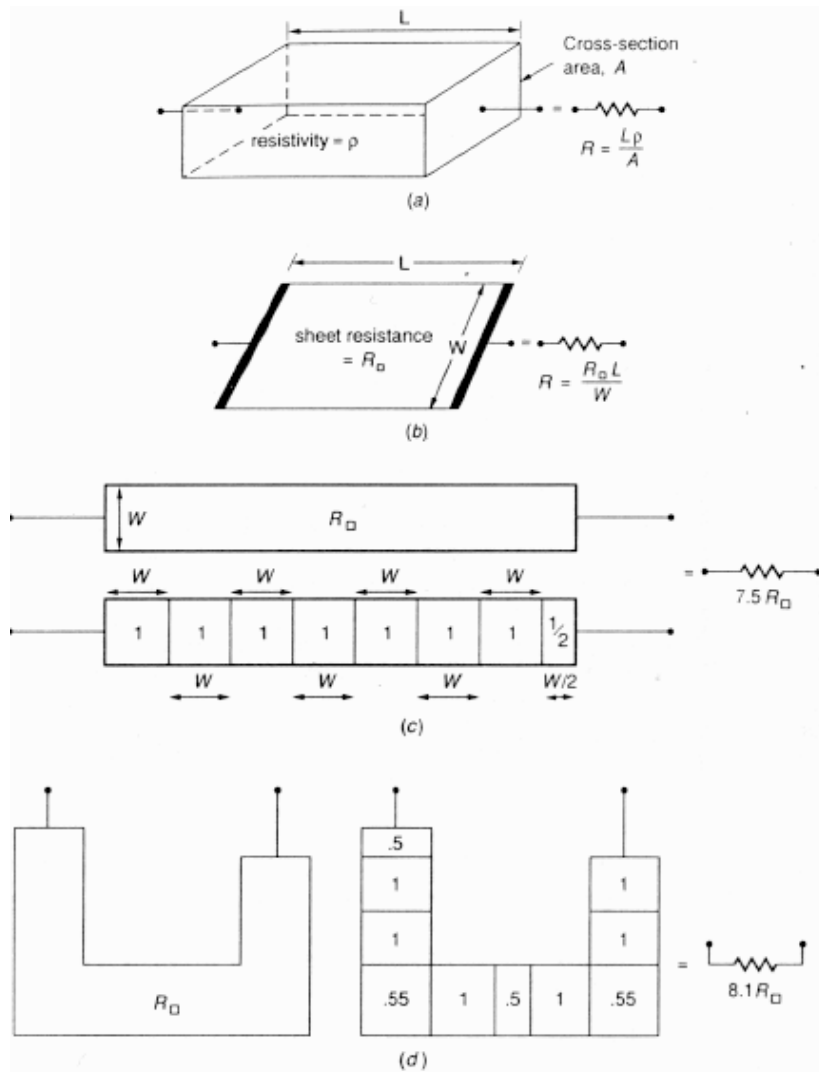


# Rezystor monolityczny c.d. [1,2,3]

Parametry rezystorów monolitycznych:

- rezystancja powierzchniowa warstwy (rezystancja na kwadrat),
- temperaturowy współczynnik rezystancji,
- napięciowy współczynnik rezystancji,
- dokładność bezwzględna,
- dokładność względna (dopasowanie).

# Rezystor monolityczny c.d.



$$R_{KW} = \frac{\rho}{z}$$

Rezystancja powierzchniowa (na kwadrat).

Rys. 0.4. Własności rezystywne materiałów a) rezystywność, b) rezystancja powierzchniowa (inaczej na kwadrat), c) i d) przykłady obliczenia rezystancji przy zastosowaniu rezystancji powierzchniowej.

# Parametry temperaturowe i napięciowe rezystorów i kondensatorów

Współczynnik zmian temperaturowych.

$$TC = \left(\frac{1}{x}\right)\left(\frac{dx}{dT}\right) \text{ w jednostkach [1/°C]}$$

$$TC = \left(\frac{1}{x}\right)\left(\frac{dx}{dT}\right)10^6 \text{ w jednostkach [ppm/°C]}$$

Współczynnik zmian napięciowych.

$$VC = \left(\frac{1}{x}\right)\left(\frac{dx}{dV}\right)$$

Dokładne wyznaczenie wartości parametru w temperaturze T2.

$$x(T_2) = x(T_1)e^{[TC(T_2-T_1)]}$$

Przybliżone wyznaczenie wartości parametru w temperaturze T2.

$$x(T_2) = x(T_1)[1 + (T_2 - T_1)TC]$$

# Rezystory – tabela [1,2,3]

Device	Characterizing equation	Ideal resistance†
Poly Strip	$V = I R_{\square} \frac{L}{W}$	$R = R_{\square} \frac{L}{W}$
Diffusion	$V = I R_{\square} \frac{L}{W}$	$R = R_{\square} \frac{L}{W}$
MOSFET (Ohmic region, Fig. 3.4-2a)	$I = \frac{K' W}{L} [(V_{GS} - V_T) - \frac{V}{2}] V$	$R = \frac{L}{K' W (V_{GS} - V_T)}$
MOSFET (Saturated region, Fig. 3.4-2b)	$I = \frac{K' W}{2L} (V_{GS} - V_T)^2 (1 + \lambda V)$	$R_{SS} = \frac{2L}{\lambda K' W (V_{GS} - V_T)^2}$
MOS depletion (Fig. 3.4-2c)	$I = \begin{cases} \frac{K' W}{L} (-V_T) V & V < -V_T \\ \frac{K' W}{2L} V^2 (1 + \lambda V) & V > -V_T \end{cases}$	$R = \frac{L}{K' W  V_T }$ $R_{SS} = \frac{2L}{K' W V_T^2 \lambda}$

Temperature characteristic	Absolute accuracy	Relative accuracy	Comments
1500 ppm/°C	±30%	±2%	Linear, low resistance density
1500 ppm/°C	±35%	±2%	Somewhat voltage dependent
$(l_2 + d_3)$			To minimize distortion, $V < (V_{GS} - V_T)/2$
$2d_2 + d_3)$			Small signal impedance only, high impedance values
)			Popular load device
			Quite nonlinear

# Kondensatory – tabela [1,2,3]

Capacitor type	Process	Dielectric	Absolute accuracy	Ratio accuracy	Voltage characteristic	Temperature	Comments
Poly-Poly	MOS	SiO <sub>2</sub>	±20%	±0.06%	-5 ppm/V	25 ppm/°C	Most popular MOS, best characteristic
Poly-Diffusion	MOS	SiO <sub>2</sub>	±10%	±0.06%	-20 ppm/V	25 ppm/°C	Lower plate potential often fixed
Metal-Diffusion (with thin oxide)	MOS/Bipolar	SiO <sub>2</sub>	±10%	±0.06%	-20 ppm/V	25 ppm/°C	Most desirable bipolar
Moat-Substrate	MOS	Si					Voltage dependent
Base-Collector	Bipolar	Si					Must be reverse biased, low density
Base-Emitter	Bipolar	Si					Must be reverse biased
Conductor-Conductor	Thin film	Varies					Good characteristics
Screened	Thick film	Varies					Chip capacitors often preferred

# Elementy pasywne - podsumowanie

Trudności realizacyjne monolitycznych elementów pasywnych:

- niewielkie uzyskiwane wartości,
- często występują silne zależności temperaturowe i napięciowe,
- niska dokładność bezwzględna,
- dobra powtarzalność – jednak przy spełnieniu szeregu dodatkowych warunków,
- szereg zjawisk pasożytniczych – niepożądanych,
- zazwyczaj duża zajmowana powierzchnia (w stosunku do tranzystorów).

# Reguły technologiczne

Reguły technologiczne – zbiór ograniczeń narzuconych przez producenta, których spełnienie gwarantuje sprawność układu scalonego.

Podział reguł:

- reguły geometryczne - zestaw ograniczeń dotyczących możliwych do stosowania wymiarów i względnego położenia poszczególnych elementów układu, przykłady:

- minimalne i maksymalne wymiary poszczególnych warstw,
- minimalne odstępki pomiędzy tymi samymi i różnymi warstwami,
- konieczne wartości nakładek warstw,
- maksymalna dopuszczalna odległość pomiędzy kontaktami do wysp i podłoża.

- reguły elektryczne - zestaw ograniczeń na wartości napięć i prądów dopuszczonych do występowania, przykłady:

- zakres napięć zasilających,
- maksymalne gęstości prądu poszczególnych warstw przewodzących,
- dopuszczalna tracona moc w układzie.

# Reguły technologiczne c.d.

UWAGA:

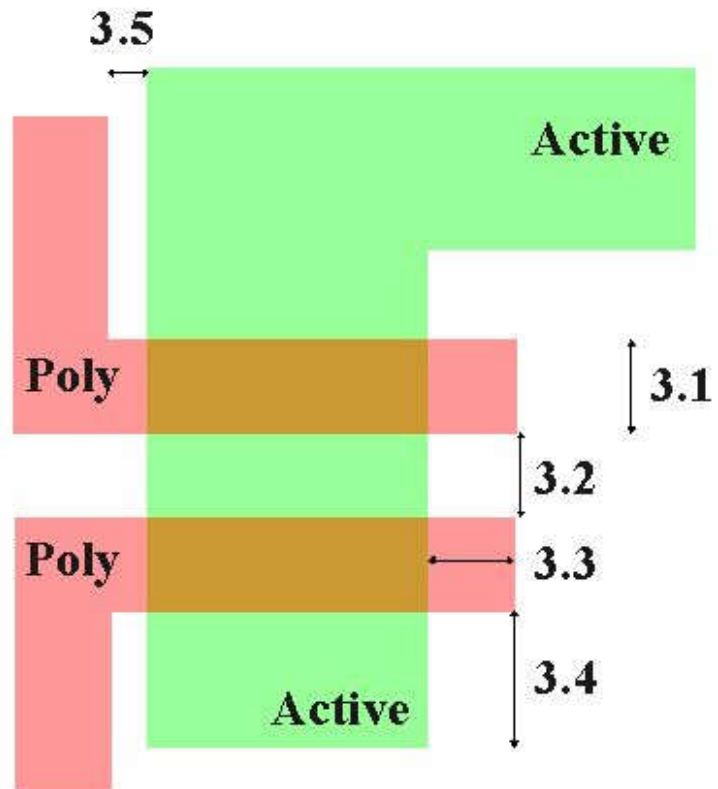
Reguły elektryczne – ciężar sprawdzenia poprawności zazwyczaj jest na projektancie układu scalonego.

Reguły geometryczne – większość reguł sprawdzana jest przez program projektowy.



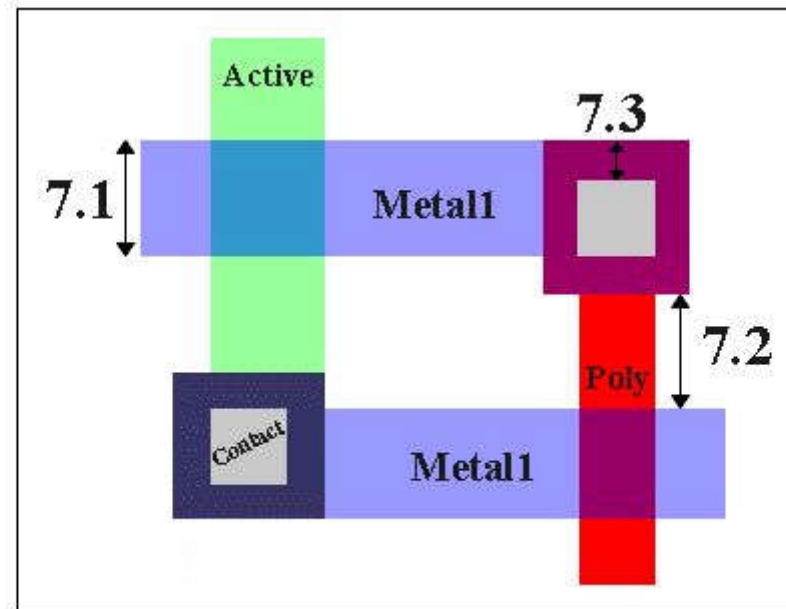
## SCMOS Layout Rules - Poly

Rule	Description	Lambda		
		SCMOS	SUBM	DEEP
3.1	Minimum width	2	2	2
3.2	Minimum spacing over field	2	3	3
3.2.a	Minimum spacing over active	2	3	4
3.3	Minimum gate extension of active	2	2	2.5
3.4	Minimum active extension of poly	3	3	4
3.5	Minimum field poly to active	1	1	1



## SCMOS Layout Rules - Metal1

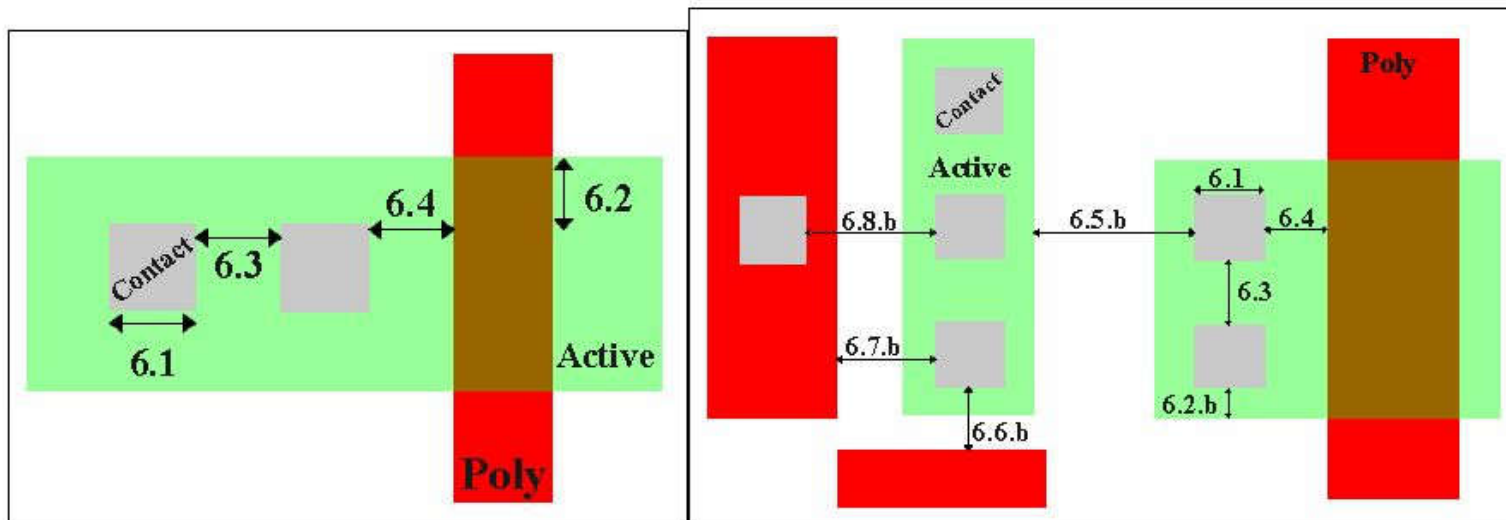
Rule	Description	Lambda		
		SCMOS	SUBM	DEEP
7.1	Minimum width	3	3	3
7.2	Minimum spacing	2	3	3
7.3	Minimum overlap of any contact	1	1	1
7.4	Minimum spacing when either metal line is wider than 10 lambda	4	6	6



### Simple Contact to Active

### Alternative Contact to Active

Rule	Description	Lambda			Rule	Description	Lambda		
		SCMOS	SUBM	DEEP			SCMOS	SUBM	DEEP
6.1	Exact contact size	2x2	2x2	2x2	6.2.b	Minimum active overlap	1	1	1
6.2	Minimum active overlap	1.5	1.5	1.5	6.5.b	Minimum spacing to diffusion active	5	5	5
6.3	Minimum contact spacing	2	3	4	6.6.b	Minimum spacing to field poly (one contact)	2	2	2
6.4	Minimum spacing to gate of transistor	2	2	2	6.7.b	Minimum spacing to field poly (many contacts)	3	3	3
					6.8.b	Minimum spacing to poly contact	4	4	4



# Parametry procesu ORBIT 2um

www.mosis.com

## MOSIS PARAMETRIC TEST RESULTS

RUN: N71V

VENDOR: ORBIT

TECHNOLOGY: SCNA20

FEATURE SIZE: 2.0 microns

COMMENTS: Orbit Semiconductor 2.0 um n-well.

TRANSISTOR PARAMETERS W/L N-CHANNEL P-CHANNEL UNITS

MINIMUM 3/2

Vth 0.87 -0.99 Volts

SHORT

18/2

Vth 0.79 -0.96 Volts

Vpt 10.0 -10.0 Volts

Vbkd 14.3 -15.9 Volts

Idss 132 -60 uA/um

WIDE

120/2

Ids0 0.3 -0.2 pA/um

LARGE

50/50

Vth 0.82 -0.95 Volts

Vjblk 15.5 -17.1 Volts

Ijlk -33.1 -1.3 pA

Gamma 0.21 0.66 V<sup>0.5</sup>

Delta length

(L\_eff = L\_drawn-DL) 0.15 0.19 microns

Delta width

(W\_eff = W\_drawn-DW) 0.00 0.00 microns

K' (Uo\*Cox/2)

25.5 -9.1 uA/V<sup>2</sup>

POLY2 TRANSISTORS W/L N-CHANNEL P-CHANNEL UNITS

MINIMUM 6/4

Vth 0.84 -1.34 Volts

SHORT 12/4

Vth 0.81 -1.31 Volts

LARGE 36/36

Vth 0.80 -1.32 Volts

Delta length

-0.05 -0.78 microns

(L\_eff = L\_drawn-DL)

Delta width 0.36 0.49 microns

(W\_eff = W\_drawn-DW)

K' (Uo\*Cox/2) 21.1 -7.1 uA/V<sup>2</sup>

FOX TRANSISTORS

Vth

GATE

Poly

N+ACTIVE

22.4

P+ACTIVE

-13.6

UNITS

Volts

BIPOLAR PARAMETERS

W/L

NPN

UNITS

2X1

2X1

Beta

145

V\_early

62.0

Volts

Vce,sat

0.4

Volts

2X2

2X2

Beta

145

V\_early

60.1

Volts

Vce,sat

0.2

Volts

PROCESS PARAMETERS

N+DIFF

P+DIFF

POLY

POLY2

METAL1

METAL2

N\_WELL

UNITS

Sheet Resistance

26.3

55.6

24.3

20.1

0.05

0.03

2474

ohms/sq

Width Variation

0.41

0.08

-0.07

-0.01

-0.40

0.11

microns

(measured - drawn)

Contact Resistance

13.5

130.1

9.5

9.3

0.04

ohms

Gate Oxide Thickness

410

angstroms

CAPACITANCE PARAMETERS

N+DIFF

P+DIFF

POLY

POLY2

METAL1

METAL2

UNITS

Area (substrate)

125

307

57

504

27

21

aF/um<sup>2</sup>

Area (poly)

504

43

23

aF/um<sup>2</sup>

Area (poly2)

43

43

aF/um<sup>2</sup>

Area (metal1)

38

38

aF/um<sup>2</sup>

Area (N+active)

841

669

47

27

aF/um<sup>2</sup>

Area (P+active)

836

664

aF/um<sup>2</sup>

Fringe (substrate)

548

400

aF/um

Fringe (N+active)

128

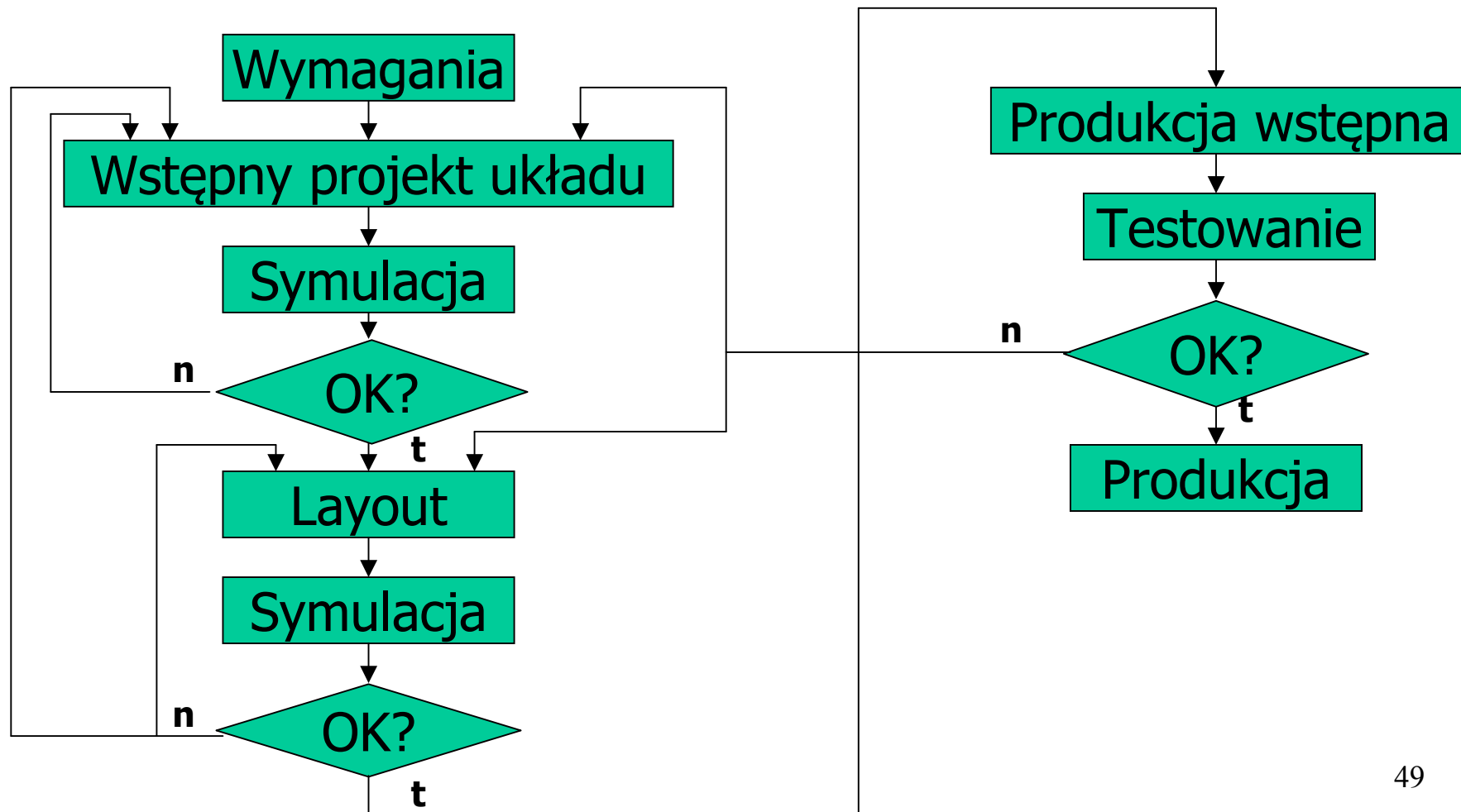
aF/um

Fringe (P+active)

145

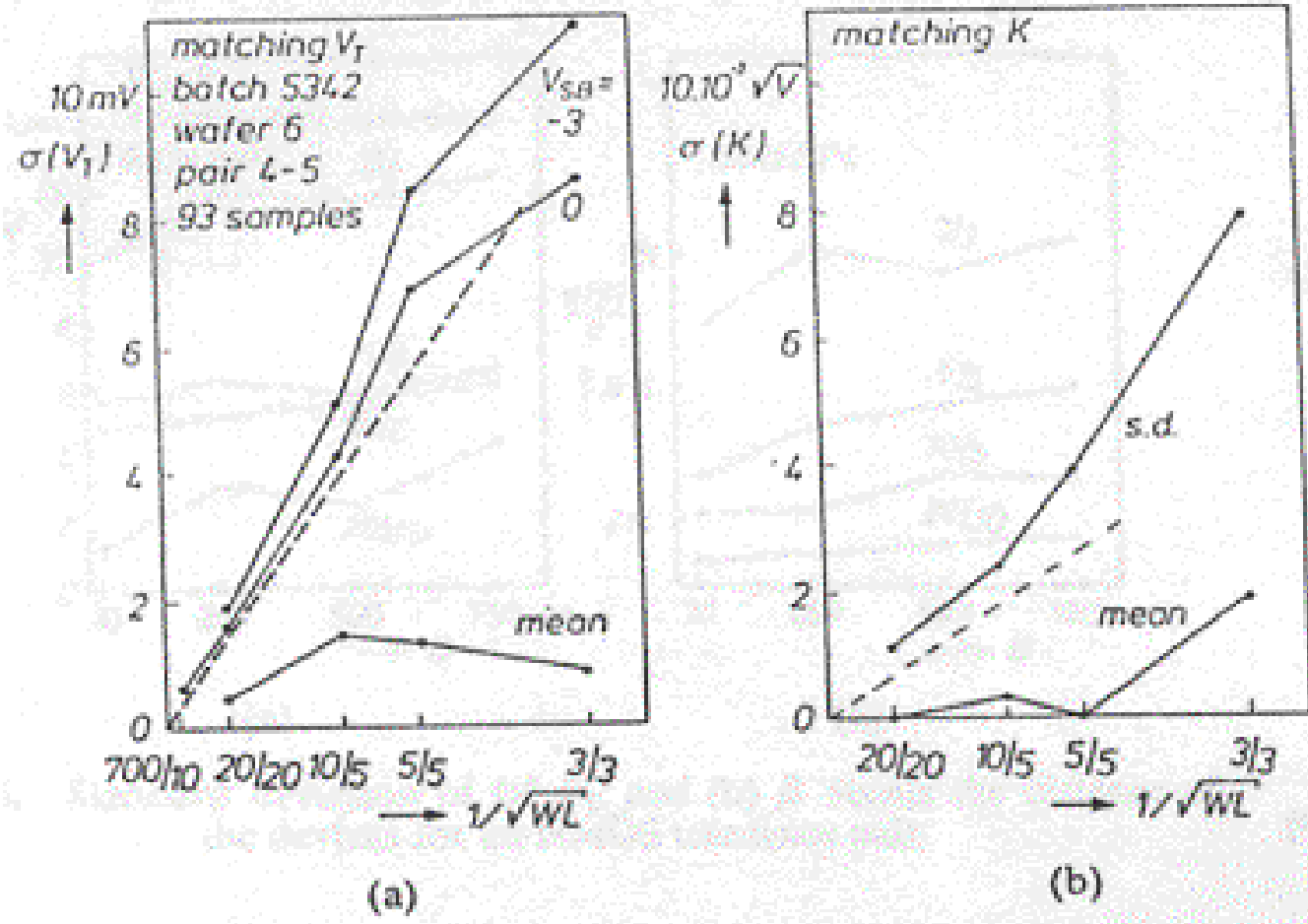
aF/um

# Uproszczony proces projektowania układu ASIC



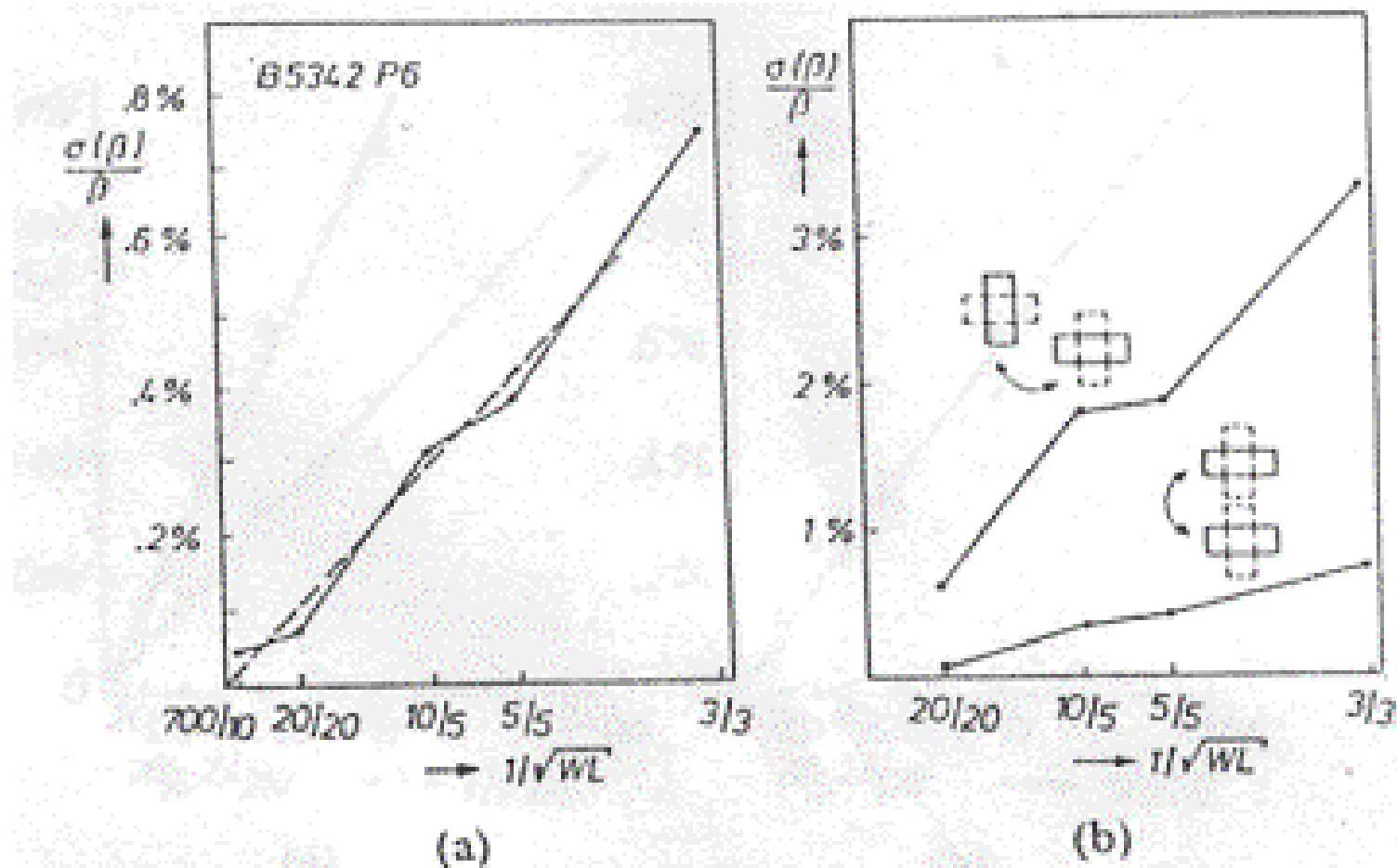
### 3. Rozrzuty względne i bezwzględne i ich wpływ na pracę układów ASIC [5].

Dopasowanie tranzystorów MOS – wyniki pomiarów wg [5].



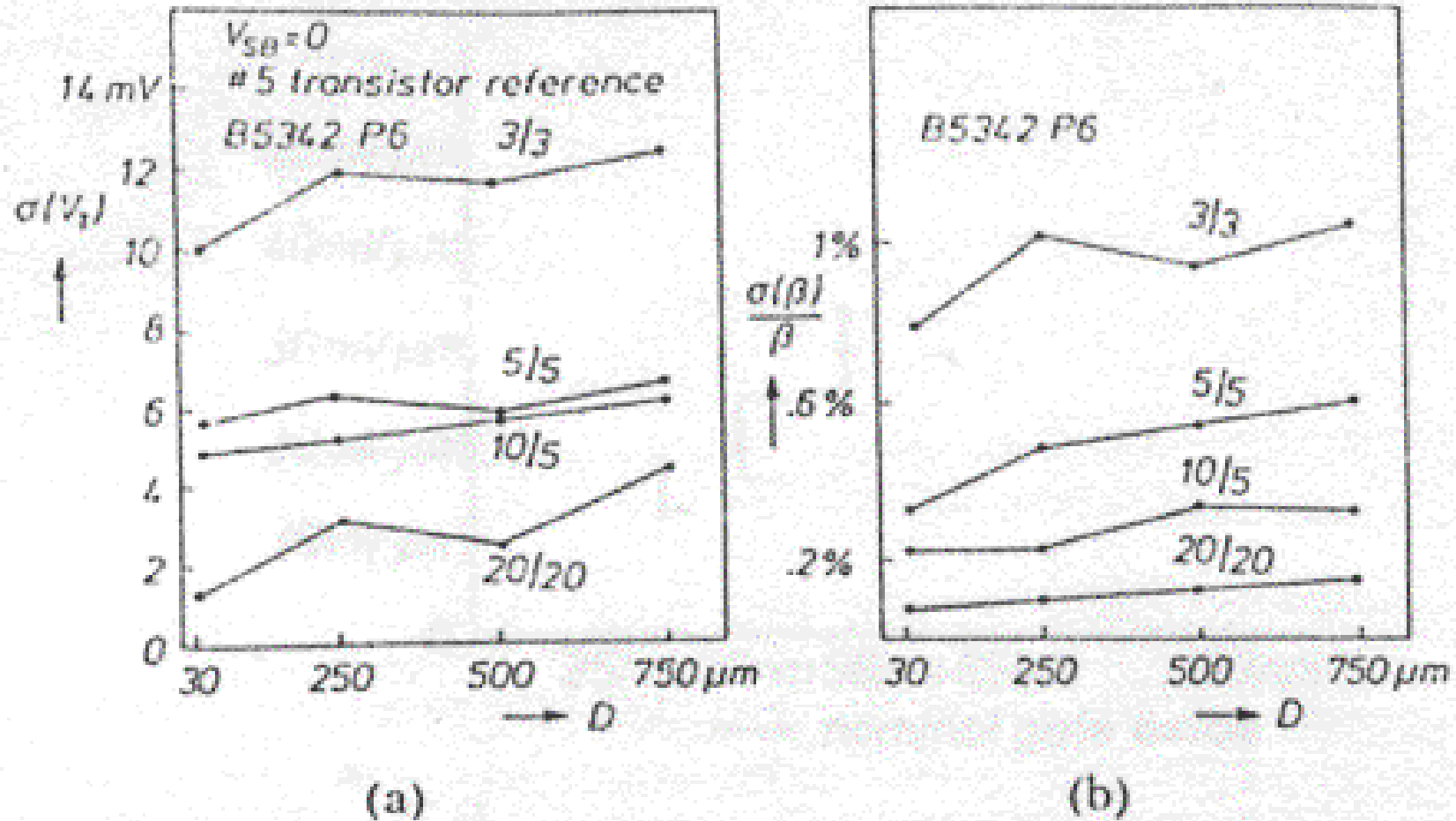
Rys. 3.1. Standardowa dewiacja napięcia progowego  $V_T$  (a) oraz współczynnika podłożowego  $K$  (b) [5].

### 3. Rozrzuty względne i bezwzględne i ich wpływ na pracę układów ASIC c.d.



Rys. 3.2. Standardowa dewiacja współczynnika transkonduktancyjnego  $\beta$  (a) w funkcji odwrotności powierzchni tranzystora oraz porównanie standardowej dewiacji współczynnika transkonduktancyjnego  $\beta$  dla elementów umieszczonych równolegle i prostopadłe (b).

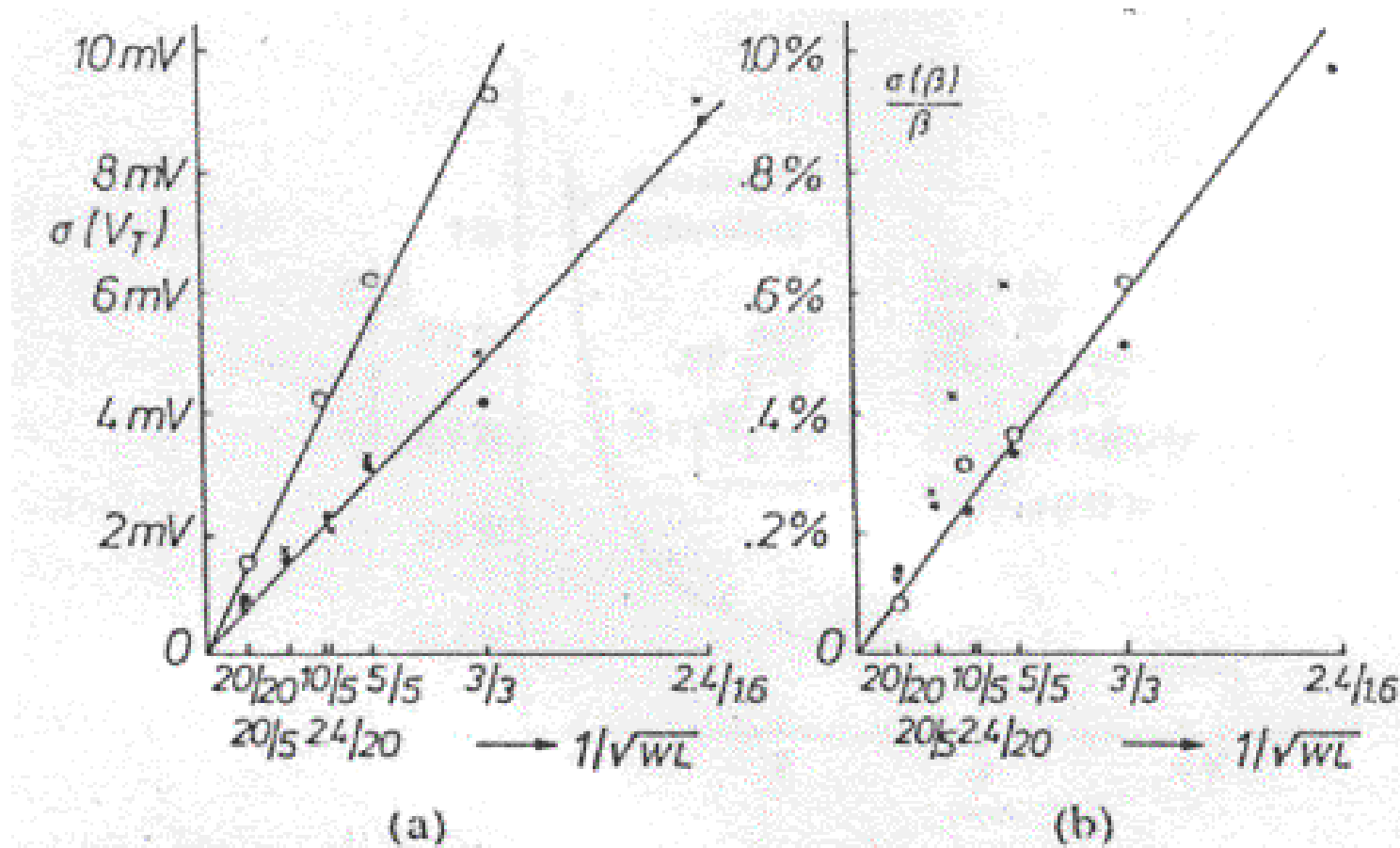
### 3. Rozrzuty względne i bezwzględne i ich wpływ na pracę układów ASIC c.d.



Rys. 3.3. Standardowa dewiacja napięcia progowego  $V_T$  (a) oraz współczynnika transkonduktancyjnego  $\beta$  w funkcji odległości elementów.



### 3. Rozrzuty względne i bezwzględne i ich wpływ na pracę układów ASIC c.d.



Rys. 3.4. Standardowa dewiacja (a) napięcia progowego oraz (b) współczynnika transkonduktancyjnego w funkcji odwrotności powierzchni pary tranzystorów MOS dla 25nm procesu (kropki) oraz 50nm procesu (okręgi).

### 3. Rozrzuty względne i bezwzględne i ich wpływ na pracę układów ASIC c.d.

Dopasowanie wynikowych parametrów elementów zrealizowanych geometrycznie jako prostokąty można zamodelować równaniem [5]:

$$\sigma^2(\Delta P) = \frac{A_p^2}{WL} + S_p^2 D_X^2$$

gdzie:  $\Delta P$  - rozpatrywany parametr,  $W$ ,  $L$  - wymiary geometryczne rozpatrywanych elementów,  $\sigma$  - odchylenie standardowe,  $A_p$  - współczynnik proporcjonalności powierzchniowej,  $S_p$  - współczynnik proporcjonalności odległościowej.

parameter	n-channel s.d.	p-channel s.d.	unit
$A_{V_{TO}}$	30	35	mV $\mu$ m
$A_\beta$	2.3	3.2	% $\mu$ m
$A_K$	$16 \times 10^{-3}$	$12 \times 10^{-3}$	V <sup>0.5</sup> $\mu$ m
$S_{V_{TO}}$	4	4	$\mu$ V/ $\mu$ m
$S_\beta$	2	2	$10^{-6}$ / $\mu$ m
$S_K$	4	4	$10^{-6}$ V <sup>0.5</sup> / $\mu$ m

Tabela 3.1. Zmierzone wartości współczynników dopasowania par MOS w technologii 2.5 $\mu$ m [5].

### 3. Rozrzuty względne i bezwzględne i ich wpływ na pracę układów ASIC c.d.

Dla czwórki elementów w topografii typu common-centroid wyrażenie powyższe można przybliżyć zależnością [5]:

$$\sigma^2(\Delta P) = \frac{A_P^2}{WL} + S_p^2 D_X^2 \frac{D_Y^2}{\text{średnica wafra}^2}$$

Dopasowanie pary tranzystorów MOS zasilanych wspólnym napięciem może zostać oszacowane na podstawie wyrażenia:

$$\frac{\sigma^2(I_D)}{I_D^2} = \frac{4\sigma^2(V_{T0})}{(V_{GS} - V_{T0})^2} + \frac{\sigma^2(\beta)}{\beta^2}$$

Model tranzystora MOS opisany jest poniższymi równaniami:

$$I_D = \beta \left[ \frac{(V_{GS} - V_T - V_{DS} / 2)}{1 + \theta(V_{GS} - V_T)} \right]$$

Prąd w zakresie omowym

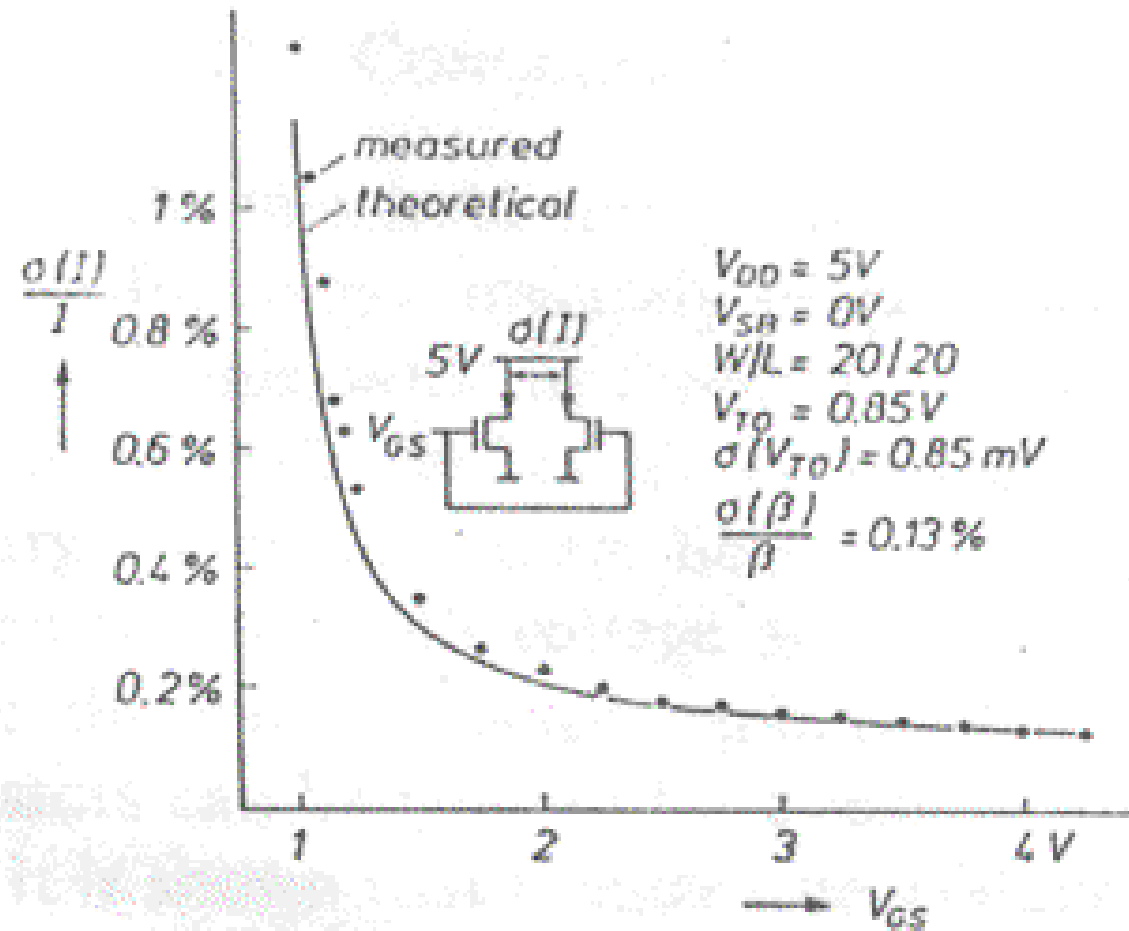
$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2$$

Prąd drenu w zakresie nasycenia

$$V_T = V_{T0} + K \left( \sqrt{|V_{SB}| + 2\phi_F} - \sqrt{2\phi_F} \right)$$

$$\beta = C_{OX} \mu W / L$$

### 3. Rozrzuty względne i bezwzględne i ich wpływ na pracę układów ASIC c.d.



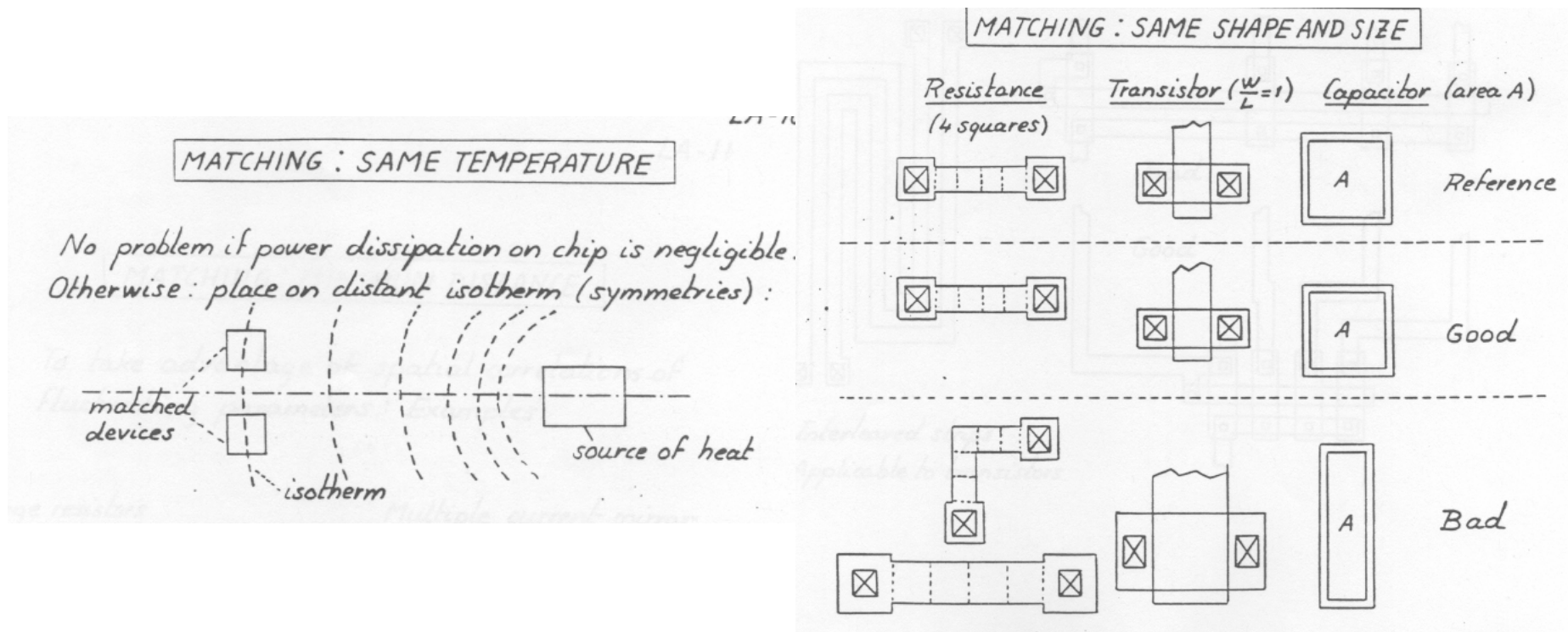
Rys. 3.5 Standardowa dewiacja prądu drenów pary MOS. Kropki oznaczają wartości zmierzone, linia ciągła wyznaczona została wzorem (3.3).

### 3. Rozrzuty względne i bezwzględne i ich wpływ na pracę układów ASIC c.d. [5, 13]

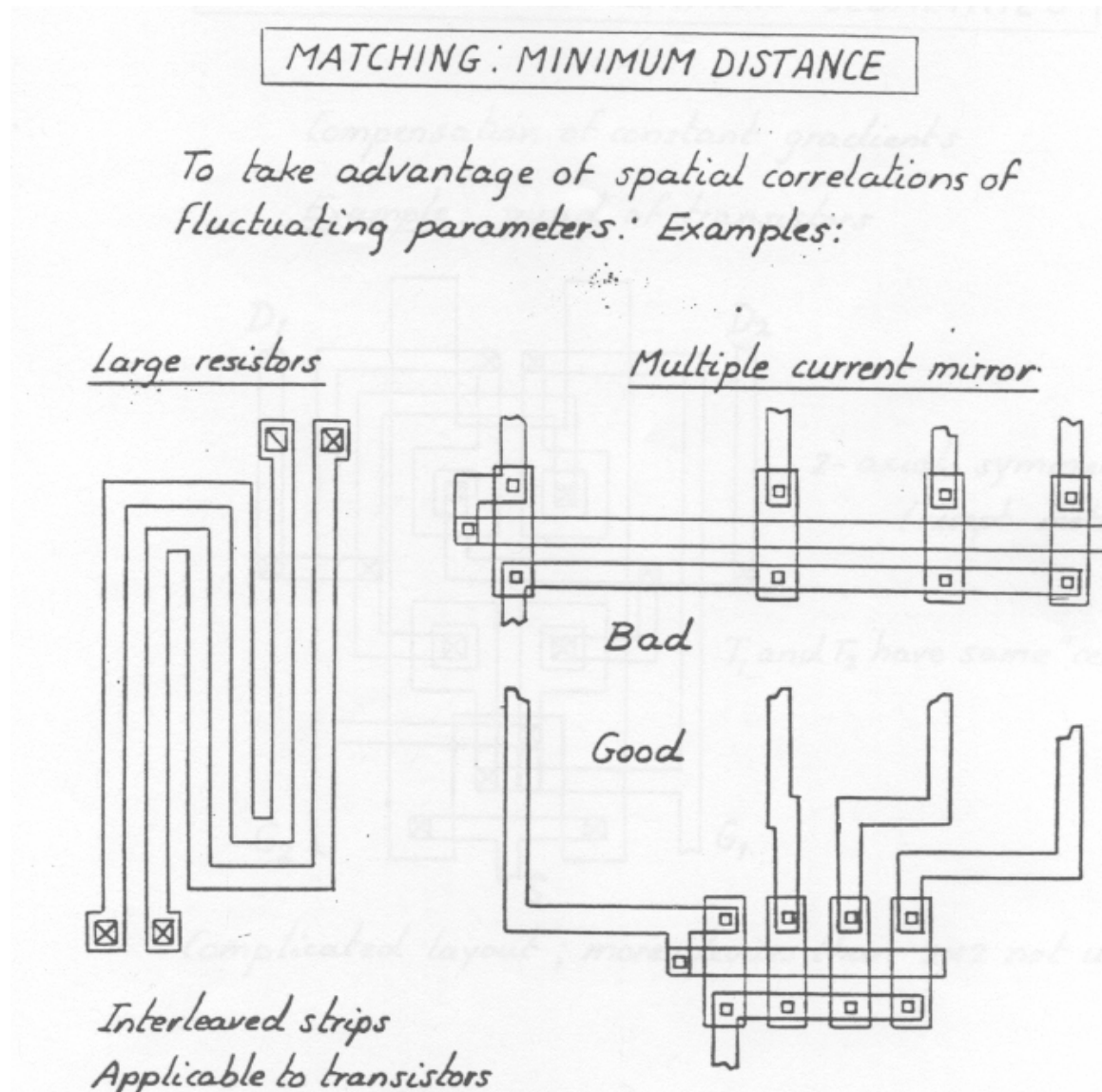
Zasady poprawy dopasowania elementów:

- stosowanie możliwie największych elementów,
- stosowanie identycznych kształtów i wymiarów elementów,
- taka sama temperatura elementów,
- umieszczanie elementów blisko siebie,
- rozdział elementów na mniejsze połączone szeregowo/równolegle i przemieszane między sobą,
- ustawianie elementów w tej samej orientacji geometrycznej,
- stosowanie możliwie największych napięć  $V_{GS}$ ,
- stosowanie topografii typu common-centroid,
- stosowanie struktur pustych (ang. dummy).

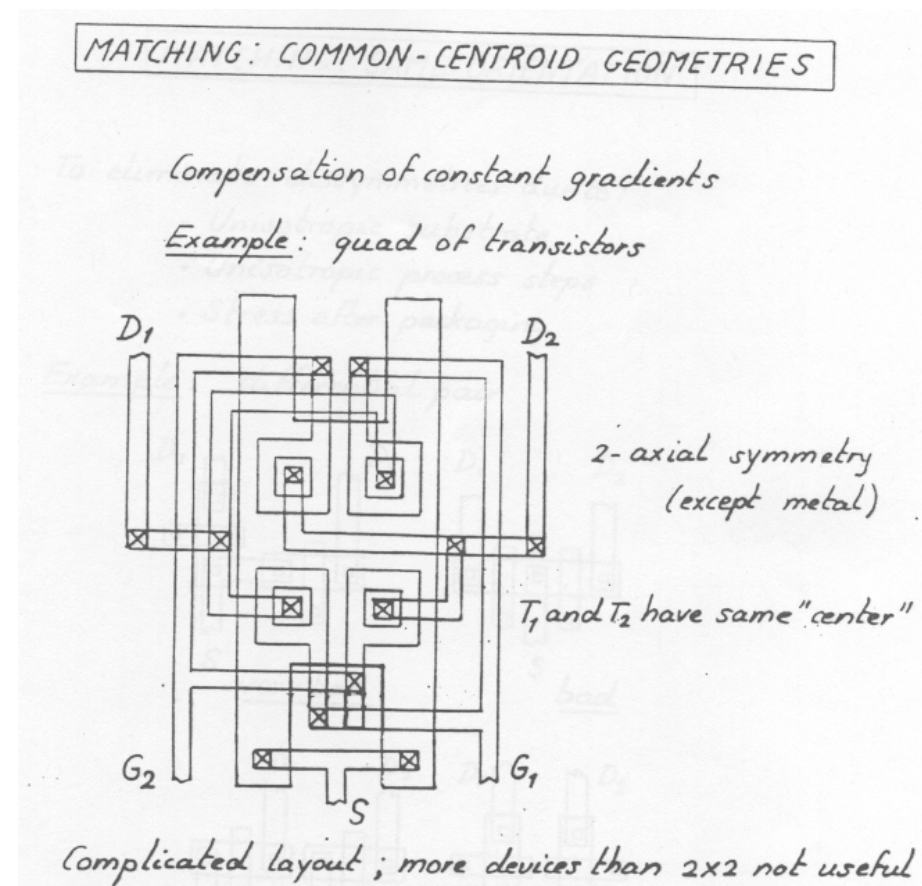
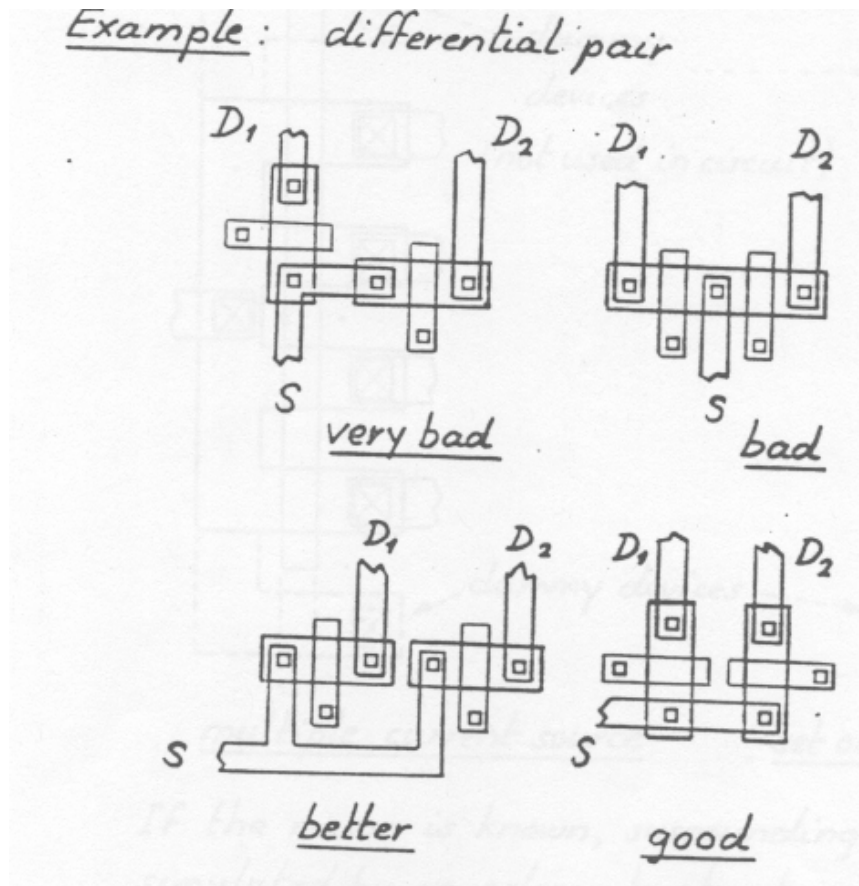
### 3. Rozrzuty względne i bezwzględne i ich wpływ na pracę układów ASIC c.d.



### 3. Rozrzuty względne i bezwzględne i ich wpływ na pracę układów ASIC c.d.



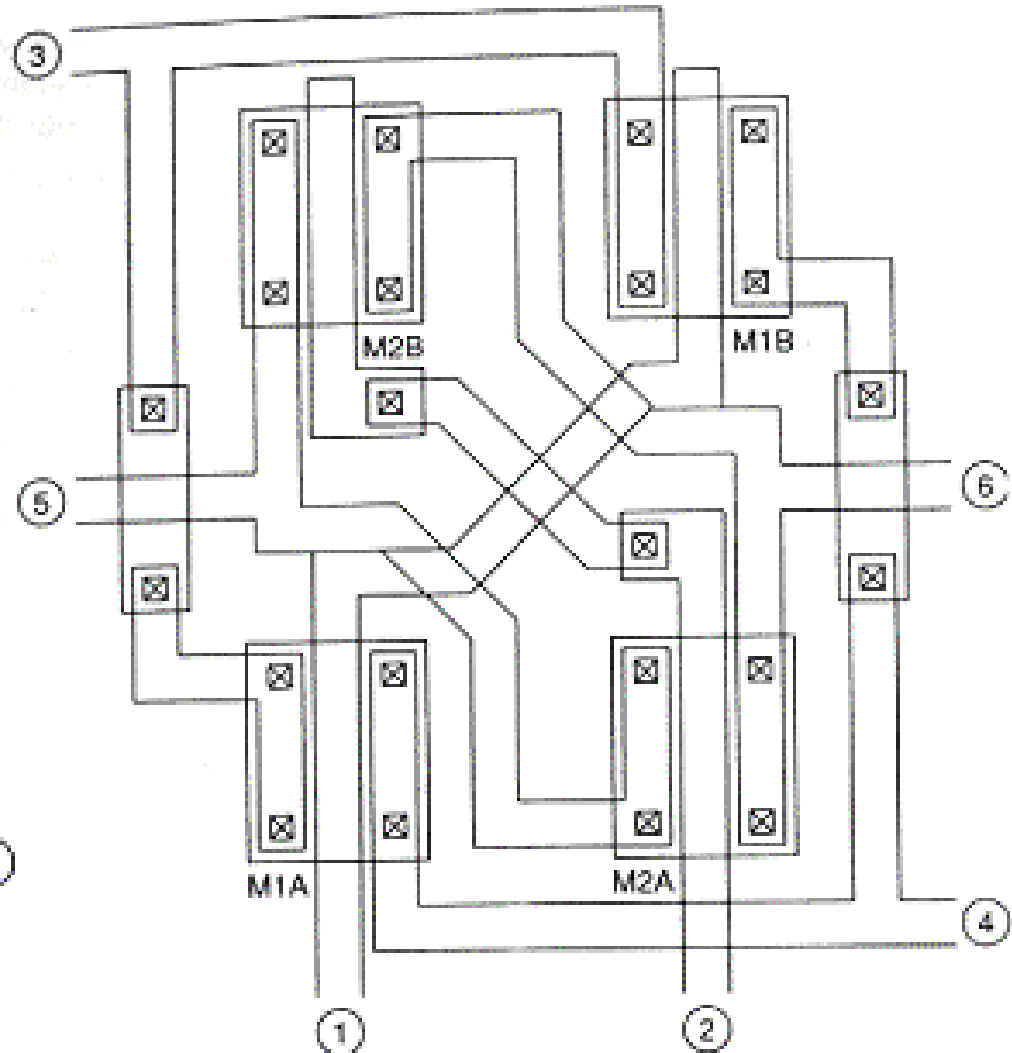
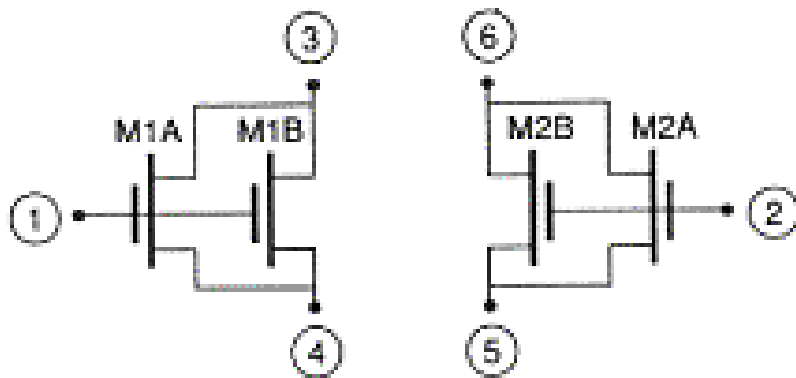
### 3. Rozrzuty względne i bezwzględne i ich wpływ na pracę układów ASIC c.d.



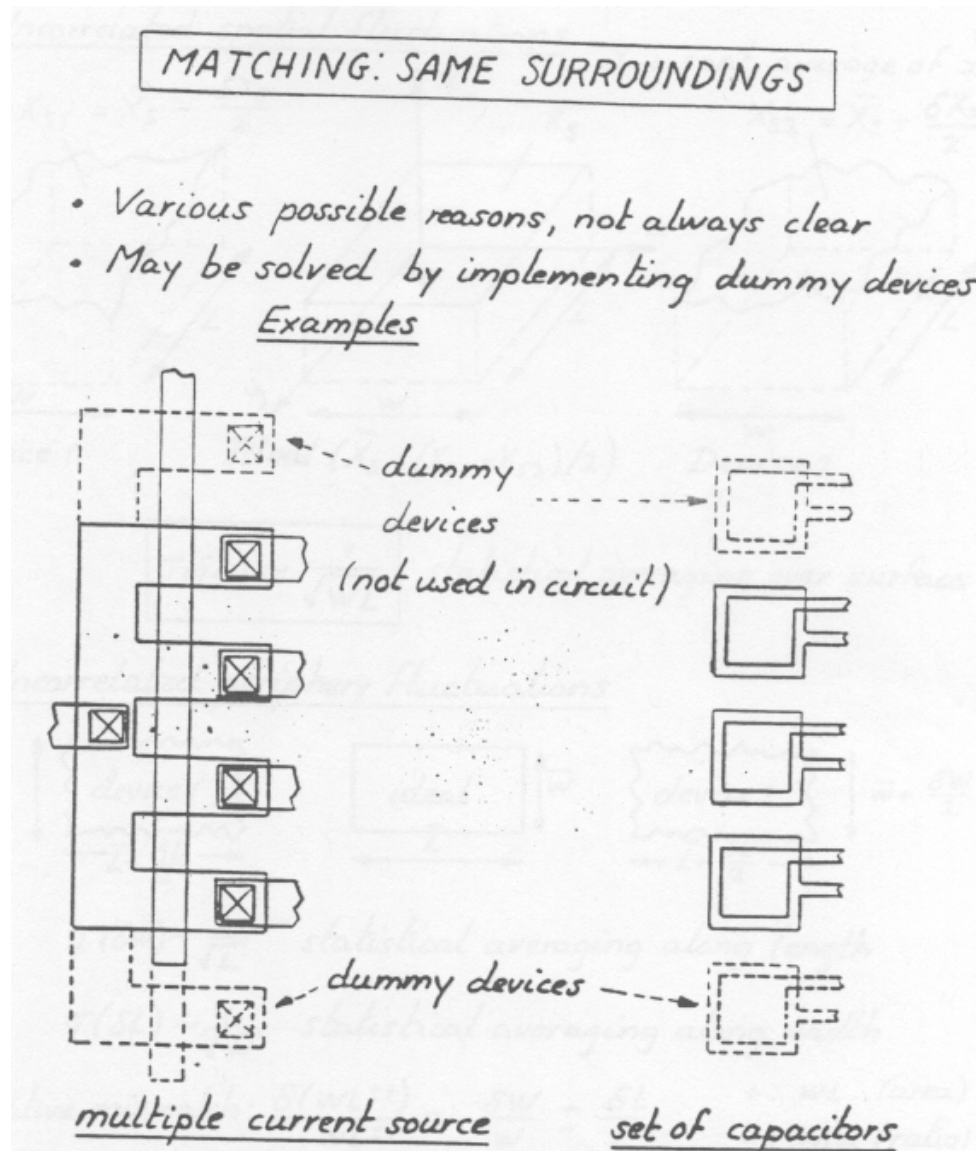


### 3. Rozrzuty względne i bezwzględne i ich wpływ na pracę układów ASIC c.d.

Topografia common - centroid



### 3. Rozrzuty względne i bezwzględne i ich wpływ na pracę układów ASIC c.d.



## 6. Scalone przetworniki cyfrowo-analogowe, klasyfikacja i podstawowe właściwości [1].

Schemat blokowy przetwornika cyfrowo – analogowego przedstawiony jest na rysunku 6.1 a ogólne równanie opisujące wartość sygnału wyjściowego jest następujące:

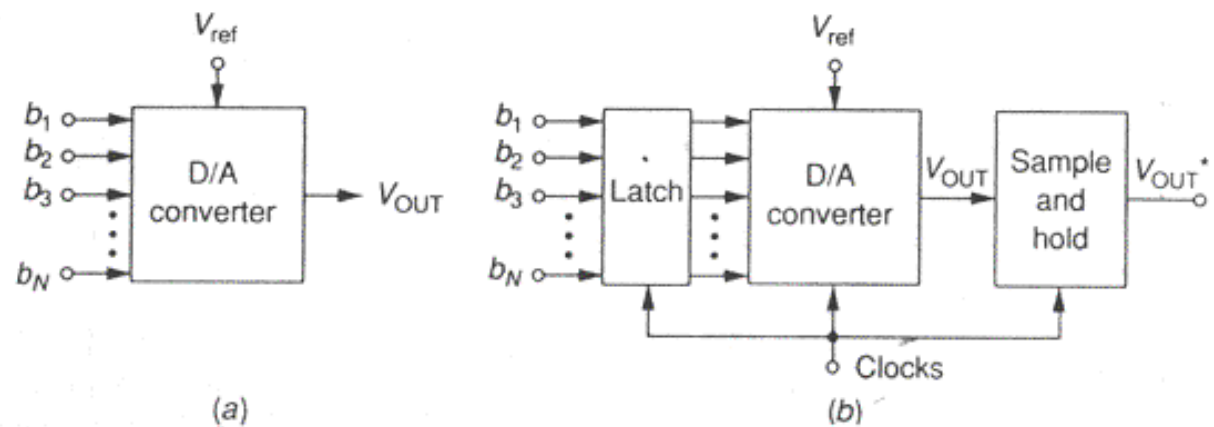
$$V_{OUT} = KV_{REF}D$$

gdzie:  $K$  – współczynnik skalujący,  $V_{REF}$  – napięcie odniesienia,  $D$  – słowo cyfrowe dane równaniem:

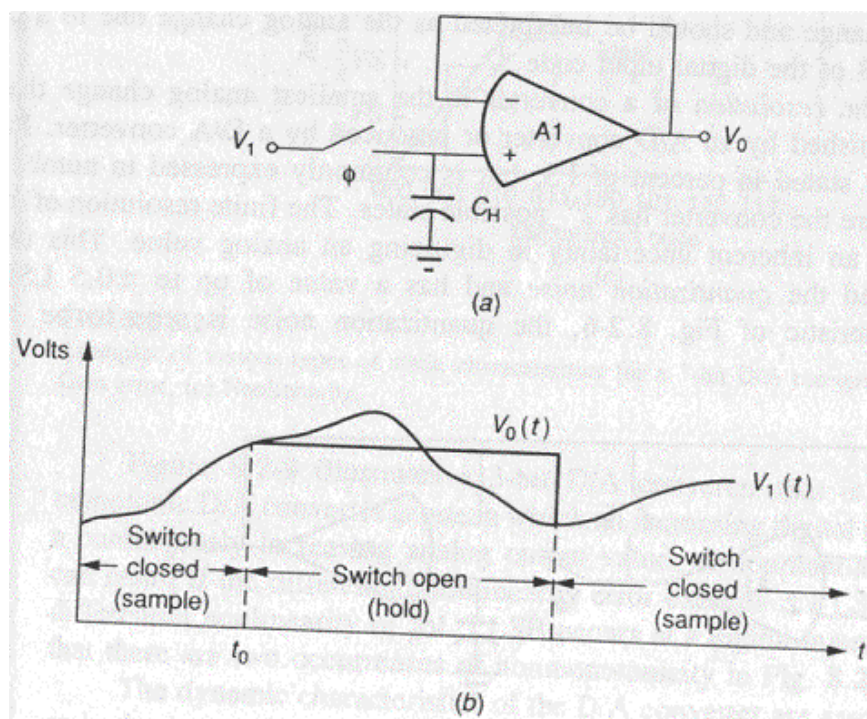
$$D = \frac{b_1}{2^1} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \dots + \frac{b_N}{2^N}$$

gdzie:  $N$  – liczba bitów przetwornika,  $b_1 - b_N$  współczynniki słowa cyfrowego mogące przyjąć wartości 0 lub 1. Poprzez połączenie powyższych równań otrzymujemy:

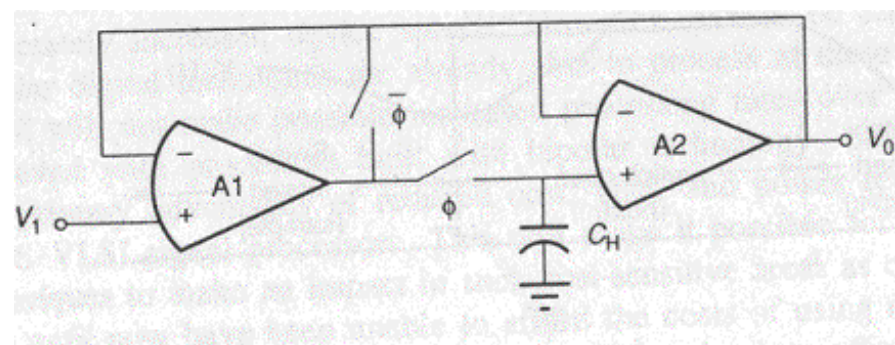
$$V_{OUT} = KV_{REF} \left( \frac{b_1}{2^1} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \dots + \frac{b_N}{2^N} \right) = KV_{REF} \sum_{j=1}^N b_j 2^{-j}$$



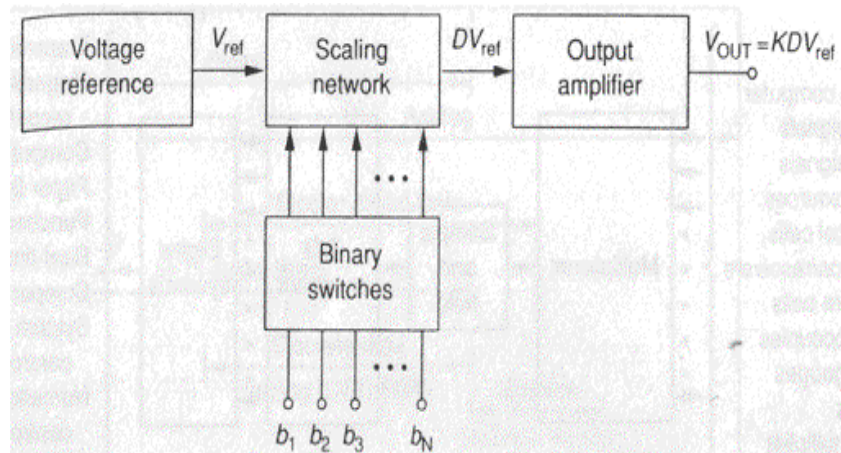
Rys. 6.1. Schemat blokowy przetwornika CA (a) oraz jego wersji zegarowanej z układem próbkująco – pamiętającym (b) [1].



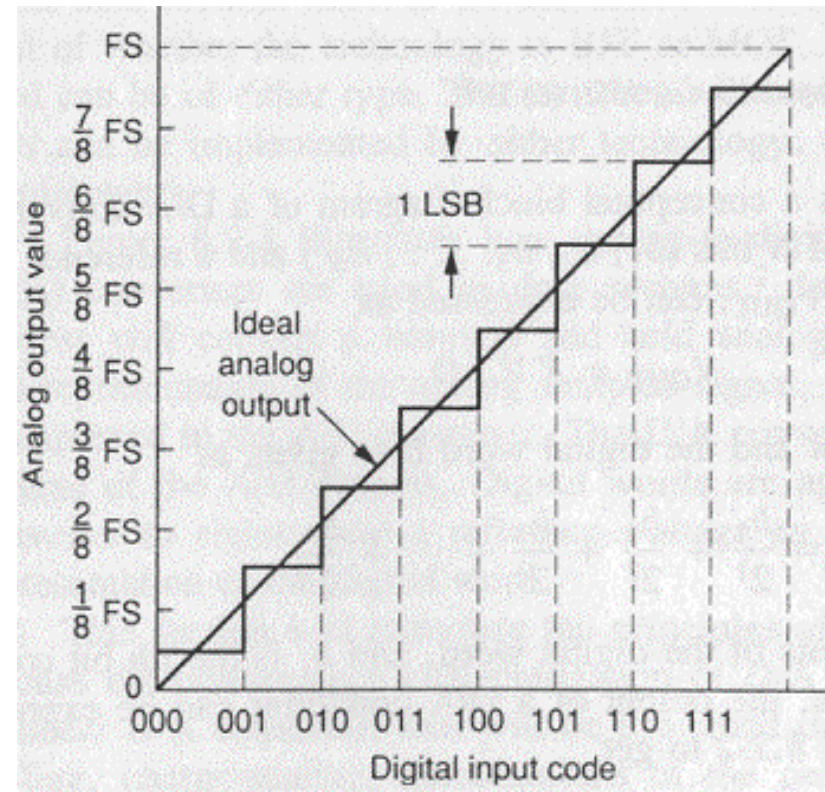
Rys. 6.2. Układ próbkująco-pamiętający (a) oraz przebiegi czasowe napięć węzłowych (b).



Rys. 6.3. Ulepszony układ próbkująco-pamiętający.



Rys. 6.4. Schemat blokowy przetwornika cyfrowo – analogowego.



Rys. 6.5. Charakterystyki przejściowe idealnego przetwornika cyfrowo – analogowego.

## Podstawowe statyczne parametry przetwornika CA:

**Rozdzielczość** przetwornika jest to najmniejsza zmiana sygnału analogowego która może zostać rozróżniona w przetworniku AC lub wygenerowana w przetworniku CA. Wyraża się ją w liczbach bitów  $N$  co fizycznie odpowiada wartości  $FS/2^N$ . Skończona rozdzielczość przetworników powoduje powstanie niepewności co do rzeczywistej wartości sygnału analogowego. Ta niepewność nazywana jest szumem kwantowania i wynosi  $\pm 0.5\text{LSB}$  (LSB to inaczej rozdzielczość bo zmiana najmniej znaczącego bitu to zmiana odpowiadająca rozdzielczości). Linia prosta na rysunku 6.5 odpowiada sytuacji przetwornika którego  $N$  dąży do nieskończoności.

**Pełen zakres skali** (FS) jest to różnica pomiędzy największą i najmniejszą wartością analogową generowaną przez przetwornik.

**Zakres dynamiki** (DR) bezszumnego przetwornika jest to stosunek wartości FSR do jego rozdzielczości. Stąd można go zdefiniować jako:

$$DR = 2^N$$

lub w decybelach jako:

$$DR(\text{db}) = 20 \log_{10}(2^N) = 6.02N$$

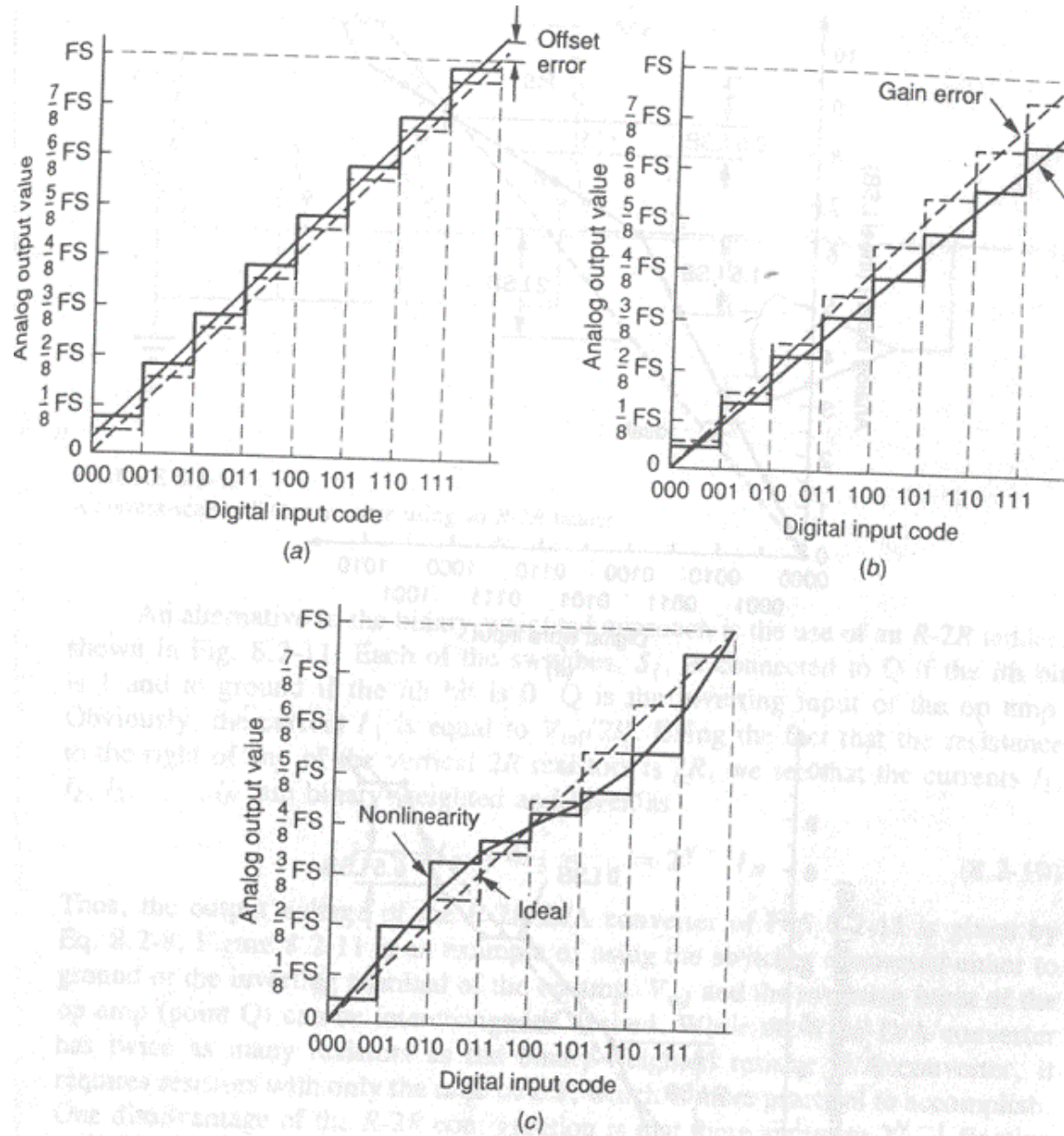
## Podstawowe statyczne parametry przetwornika CA c.d.

**Stosunek sygnał szum** (SNR). Załóżmy, że przykładamy przebieg trójkątny do kaskady idealnych przetworników AC i CA. Jeśli następnie sygnał wyjściowy z przetwornika CA odejmiemy od sygnału wejściowego otrzymamy przebieg piłokształtny o amplitudzie  $\pm 0.5\text{LSB}$ . Ten przebieg reprezentuje szum kwantowania. Współczynnik SNR jest stosunkiem wartości skutecznej przebiegu harmonicznego na wyjściu przetwornika o maksymalnej dostępnej amplitudzie do wartości skutecznej szumu kwantowania (a dla przebiegu jw. wynosi on  $FS/(2^N \sqrt{12})$  ).

$$SNR = 20 \log_{10} \left( \frac{\frac{FS}{2\sqrt{2}}}{\frac{FS}{2^N \sqrt{12}}} \right) = 20 \log_{10} (2^N) + 20 \log_{10} \left( \frac{\sqrt{6}}{2} \right) = 6.02N + 1.76$$

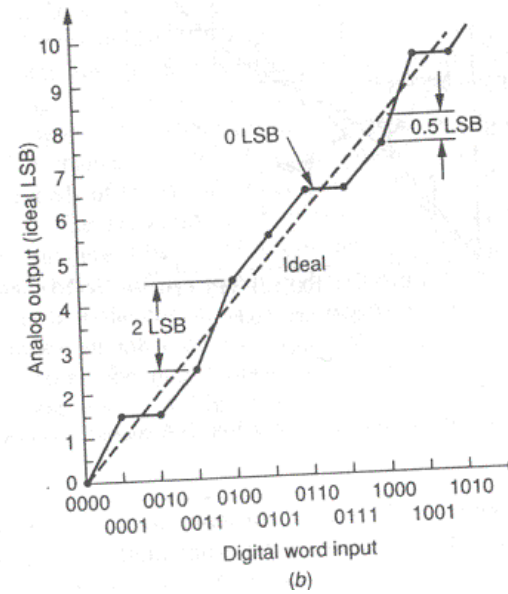
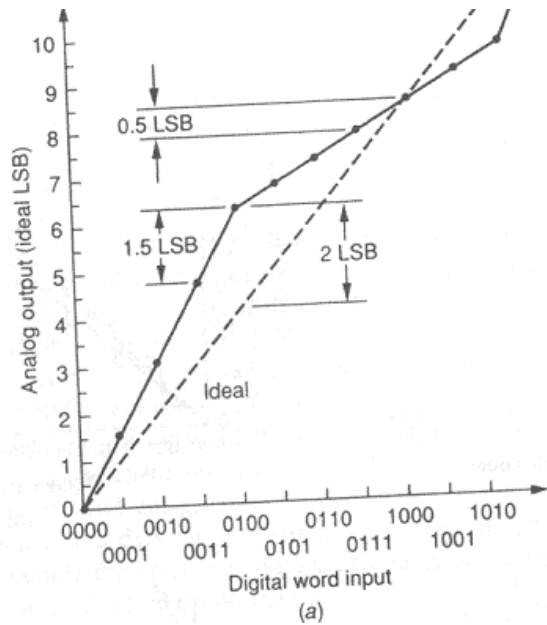
Pozostałe parametry statyczne zawierają: błąd przesunięcia, błąd wzmocnienia, błędy nieliniowości i niemonotoniczność charakterystyki przejściowej. Parametry te są przedstawione na rysunkach 6.6-8.



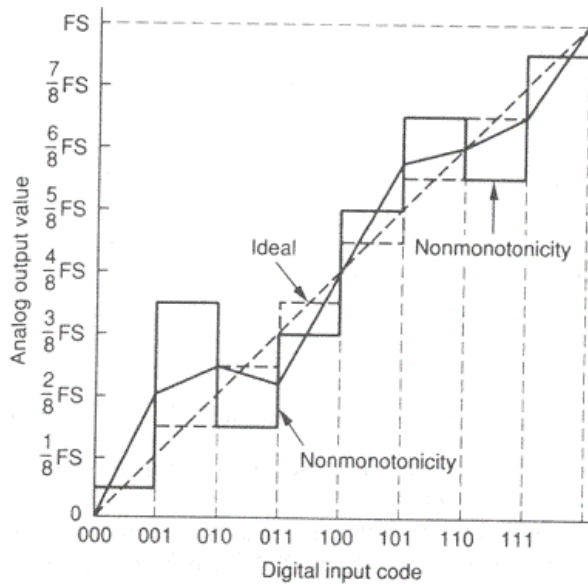


Rys. 6.6. Przykłady błędów przetworników CA, (a) przesunięcie, (b) błąd wzmocnienia, (c) nieliniowość.





Rys. 6.7. Różnica pomiędzy nieliniowością całkowitą oraz różnicową. (a) przetwornik z nieliniowością całkowitą 2LSB i nieliniowością różnicową 0.5LSB, (b) przetwornik z nieliniowością całkowitą 0.5LSB i nieliniowością różnicową 1LSB.



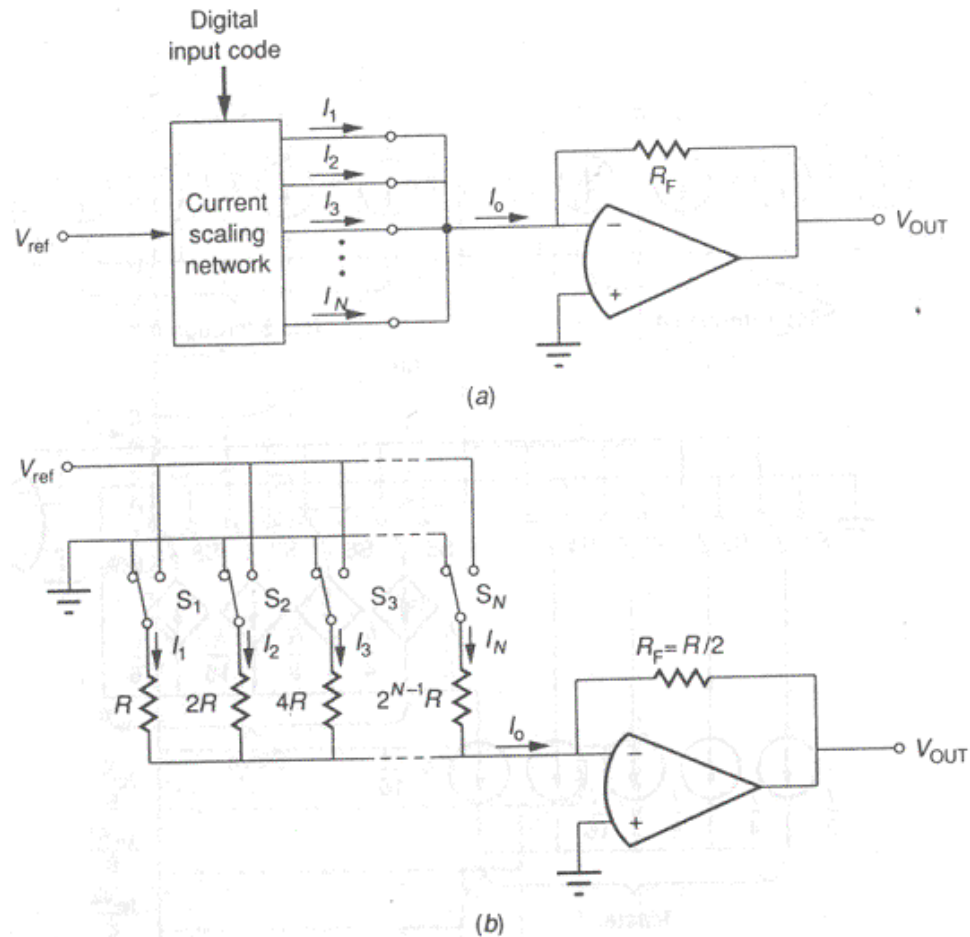
**Nieliniowość całkowita** – maksymalna różnica pomiędzy charakterystyką rzeczywistą a idealną.

**Nieliniowość różnicowa** – miara odstępstwa wartości rzeczywistej kolejnych kroków sygnału wyjściowego od rozdzielczości przetwornika (od kroków idealnych).

Rys. 6.7. Przykład konwertera CA z charakterystyką niemonotoniczną.

# 7. Scalona realizacja wybranych przetworników CA.

## 7.1 Przetworniki CA ze skalowaniem prądu.

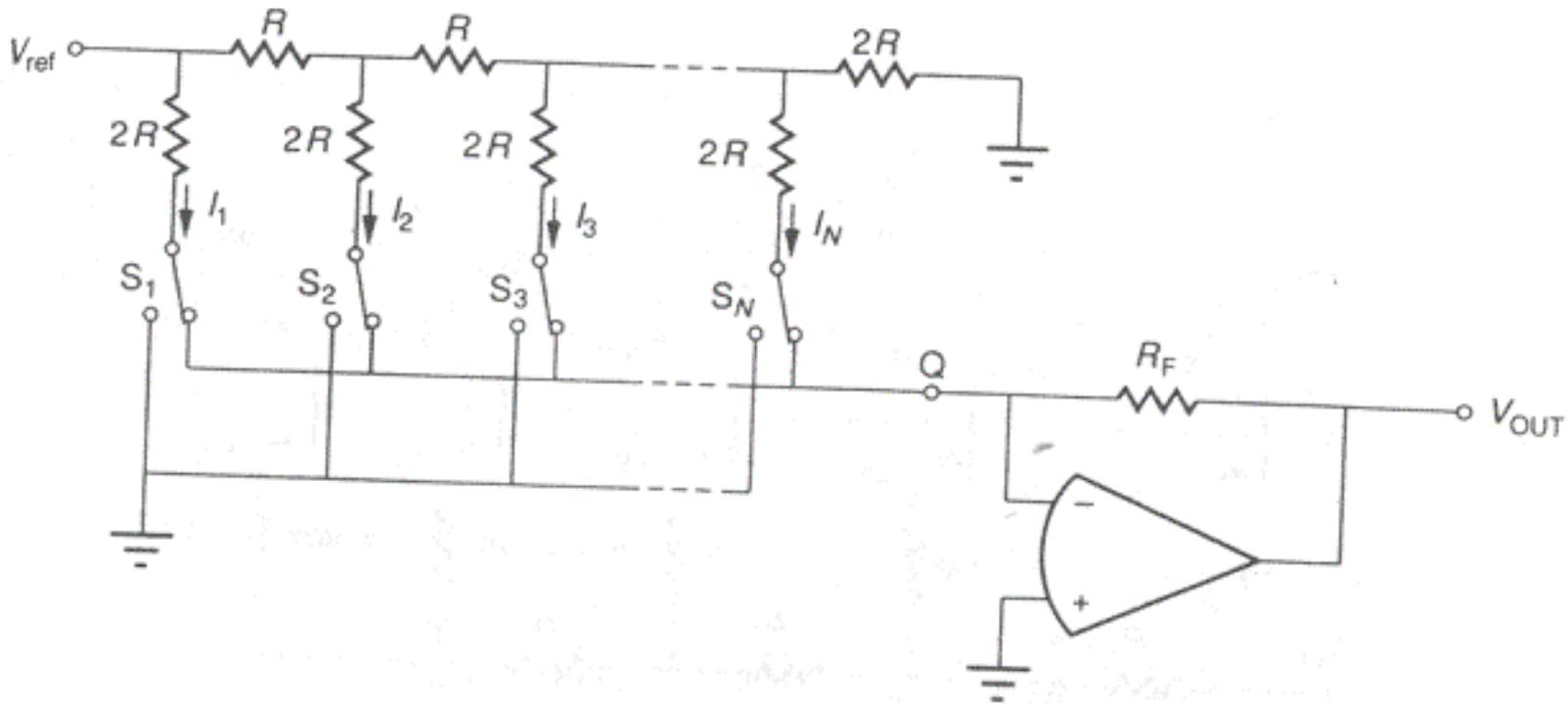


$$V_{OUT} = \frac{-R}{2} I_O = \frac{-R}{2} \left( \frac{b_1}{R} + \frac{b_2}{2R} + \frac{b_4}{4R} + \dots + \frac{b_1}{2^{N-1}R} \right) V_{REF}$$

$$\frac{R_{MSB}}{R_{LSB}} = \frac{1}{2^{N-1}}$$

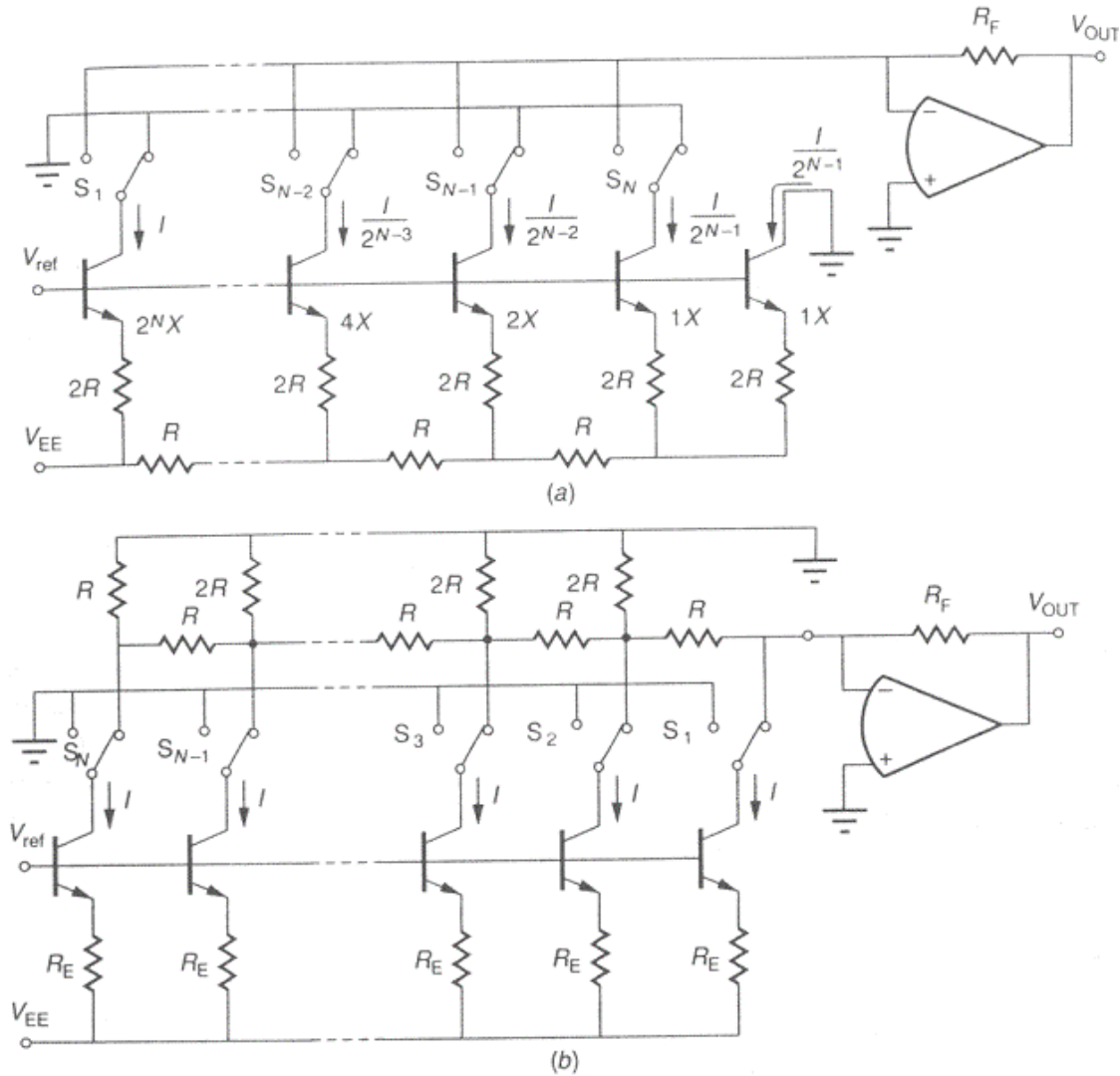
Rys. 7.1. Zasada działania przetwornika z podziałem prądu (a) oraz implementacja (b).

# 7.1 Przetworniki CA ze skalowaniem prądu c.d.



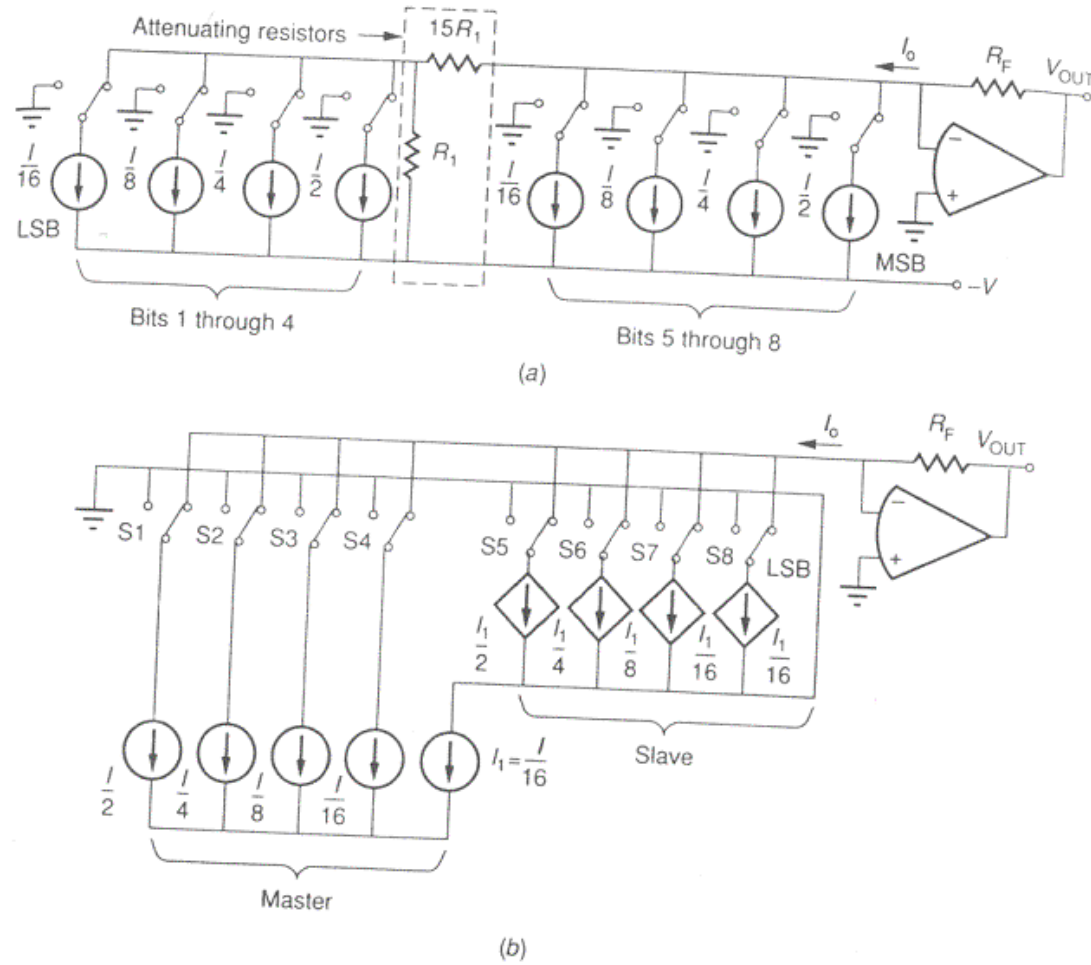
Rys. 7.2. Przetwornik ze skalowaniem prądu z drabinką R-2R.

## 7.1 Przetworniki CA ze skalowaniem prądu c.d.



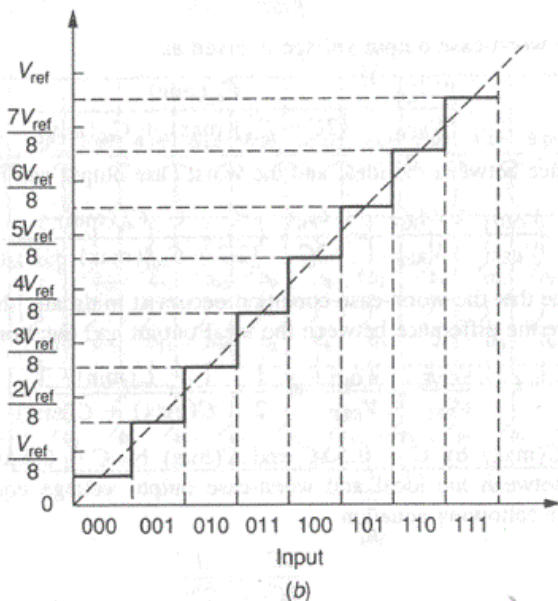
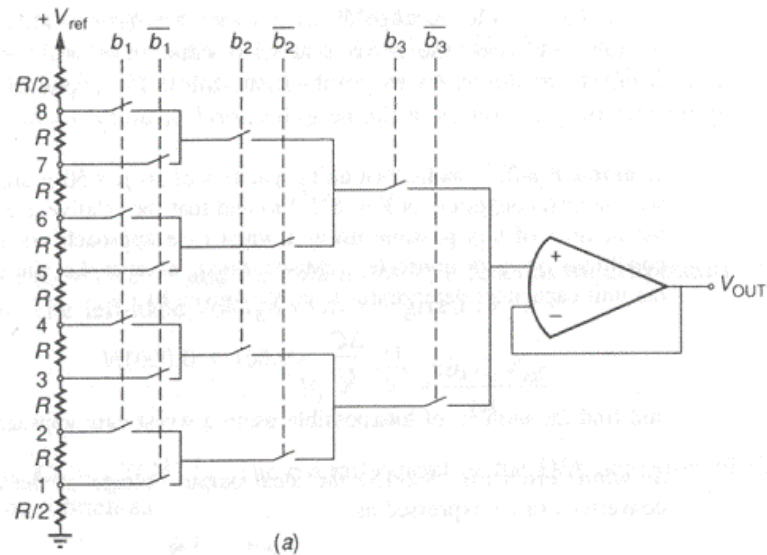
Rys. 7.3. Dwie implementacje przetworników CA z drabinką rezystorową R-2R.

## 7.1 Przetworniki CA ze skalowaniem prądu c.d.



Rys. 7.4. (a) użycie dzielnika prądowego do kaskadowego połączenia dwóch źródeł prądowych oraz (b) technika master-slave.

## 7.2 Przetwornik CA ze skalowaniem napięcia.



Rys. 7.5. Przetwornik CA ze skalowaniem napięcia.

**Przykład 7.1** Znajdź wymaganą dokładność sieci rezystorowej  $N$  równych segmentów jako funkcję liczby bitów  $N$ . Ile wynosi największa liczba bitów dla 2% rezystorów przy założeniu, że dokładność ma być nie gorsza niż  $\pm 0.5\text{LSB}$ ?

**Rozwiązanie:** W przypadku idealnym napięcie liczone od danego węzła do masy wzdłuż  $k$  rezystorów jest równe:

$$V_k = \frac{kR}{2^N R} V_{REF}$$

Największa zmiana tego napięcia wystąpi gdy założymy że wszystkie rezystory powyżej danego punktu będą maksymalną rezystancją a poniżej tego punktu rezystancją minimalną. Wówczas napięcie w węzle  $k$  jest równe:

$$V'_k = \frac{kR_{\min} V_{REF}}{(2^N - k)R_{\max} + kR_{\min}}$$

Różnica pomiędzy powyższymi napięciami wynosi:

$$\frac{V_k}{V_{REF}} - \frac{V'_k}{V_{REF}} = \frac{kR}{2^N R} - \frac{kR_{\min}}{(2^N - k)R_{\max} + kR_{\min}}$$

Założona różnica nie może przekroczyć  $0.5\text{LSB}$ , stąd musi być spełniona nierówność:

$$\frac{kR}{2^N R} - \frac{kR_{\min}}{(2^N - k)R_{\max} + kR_{\min}} < \frac{0.5}{2^N}$$

Względna dokładność wykonania rezystorów może zostać wyrażona jako  $\Delta R/R$ , co daje maksymalną i minimalną wartość rezystancji równe

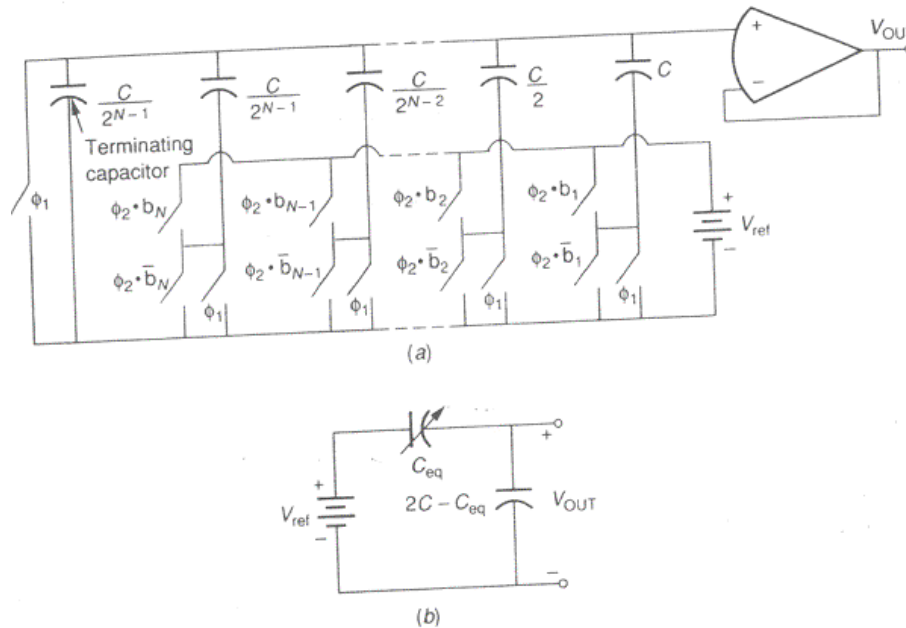
$$R_{\max} = R + 0.5\Delta R \quad R_{\min} = R - 0.5\Delta R$$

Najgorszy przypadek pojawia się w środku drabinki rezystorowej, czyli dla  $k=0.5 \cdot 2^N$ . Zakładając dokładność rezystorów 2% powyższa nierówność sprowadza się do postaci:

$$|0.01| < 2^{-N}$$

Co daje w rezultacie największą liczbę naturalną równą  $N=6$ .

## 7.3 Przetworniki z podziałem ładunków.



Rys. 7.6. Przetwornik CA z podziałem ładunku.

$$V_{REF} \left( b_1 + \frac{b_2}{2^2} + \dots + \frac{b_N}{2^{N-1}} \right) C = V_{REF} C_{EQ} = C_{TOT} V_{OUT} = 2C V_{OUT}$$

gdzie:  $C_{EQ}$  – suma pojemności ładowana napięciem odniesienia.

$$V_{OUT} = \left( b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N} \right) V_{REF}$$

Poprzez manipulację polaryzacją napięcia  $V_{REF}$  można uzyskać przetwornik czteroćwiartkowy.

## 7.3 Przetworniki z podziałem ładunków c.d.

**Przykład 7.2.** Załóżmy, że kondensatory jednostkowe o wymiarach 50 x 50um są użyte do budowy sieci przetwornika z podziałem ładunku wg rysunku 7.6(a). Względna dokładność wykonania poszczególnych kondensatorów wynosi 0.1%. Znajdź maksymalną liczbę bitów przetwornika jeśli dopuszczalny błąd wynosi  $\pm 0.5\text{LSB}$  i przy założeniu, że występuje on w środku skali przetwornika tj. dla włączonego tylko bitu MSB. Następnie, zakładając, że dokładność wykonania kondensatorów pogarsza się wraz z liczbą realizowanych bitów wg zależności  $\Delta C/C = 0.001 + 0.0001N$  znajdź liczbę realizowanych bitów przetwornika.

*Rozwiązanie:* Napięcie wyjściowe można określić na podstawie równania

$$\frac{V_{OUT}}{V_{REF}} = \frac{C_{EQ}}{2C}$$

Najgorszy przypadek daje napięcie równe

$$\frac{V'_{OUT}}{V_{REF}} = \frac{C_{EQ(\min)}}{[2C - C_{EQ}]_{(\max)} + C_{EQ(\min)}}$$

Różnica pomiędzy napięciami będzie równa

$$\frac{V_{OUT}}{V_{REF}} - \frac{V'_{OUT}}{V_{REF}} = \frac{C_{EQ}}{2C} - \frac{C_{EQ(\min)}}{[2C - C_{EQ}]_{(\max)} + C_{EQ(\min)}}$$

Jeśli założymy, że najgorszy przypadek wystąpi dla środka skali przetwornika wówczas  $C_{EQ} = C$ , a stąd różnica między wartością idealną a najgorszym przypadkiem wynosi

$$\frac{V_{OUT}}{V_{REF}} - \frac{V'_{OUT}}{V_{REF}} = \frac{1}{2} - \frac{C_{(\min)}}{C_{(\max)} + C_{(\min)}}$$

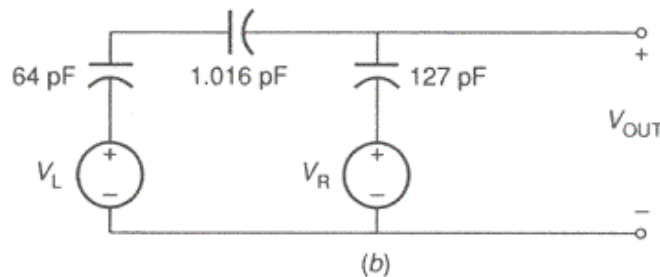
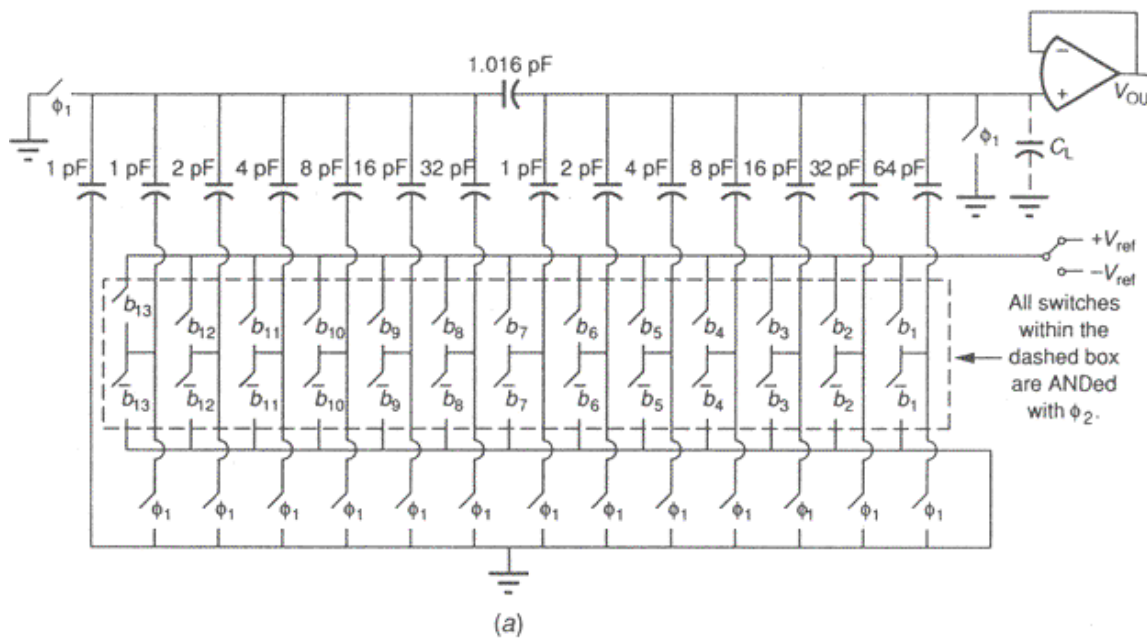
Zastępując  $C_{(\max)} = C + 0.5\Delta C$  oraz  $C_{(\min)} = C - 0.5\Delta C$  otrzymujemy

$$\frac{\Delta C}{2C} = \frac{1}{2^N}$$

co przy założeniu, że  $\Delta C/C = 0.001$  daje wartość  $N = 11$ . Jeśli przyjmiemy ograniczenie  $\Delta C/C = 0.001 + 0.0001N$  wynikowa liczba bitów wyniesie  $N = 9$ .



## 7.3 Przetworniki z podziałem ładunków c.d.



Rys. 7.7. 13-to bitowy przetwornik kaskadowy z podziałem ładunku.

$$V_R = \sum_{i=1}^7 \frac{\pm b_i C_i V_{REF}}{127}$$

gdzie:  $C_i = C/2^{(i-1)}$ , a znak licznika zależy od polaryzacji napięcia odniesienia  $V_{REF}$

$$V_L = \sum_{k=8}^{13} \frac{\pm b_k C_k V_{REF}}{64}$$

gdzie:  $C_k = C/2^{(k-1)}$ . Całkowita wartość napięcia wyjściowego wynosi

$$V_{OUT} = \frac{\pm V_{REF}}{128} \left[ \sum_{i=1}^7 b_i C_i + \sum_{k=8}^{13} b_k \frac{C_k}{64} \right]$$

Przetworniki z podziałem ładunku są wrażliwe na pojemnościowe obciążenie w węzle sumującym. Jeśli wartość tej pojemności oznaczymy  $C_L$  wówczas wyrażenie powyższe przekształca się do postaci

$$V_{OUT} = \left( 1 - \frac{C_L}{128} \right) \frac{\pm V_{REF}}{128} \left[ \sum_{i=1}^7 b_i C_i + \sum_{k=8}^{13} b_k \frac{C_k}{64} \right]$$

Pojemność  $C_L$  wprowadza błąd wzmacnienia o wartości  $[1 - (C_L/128)]$ .

## 7.3 Przetworniki z podziałem ładunków c.d.

Dokładność tłumika pojemnościowego musi również być wystarczająco wysoka. Zmiany wartości pojemności z 1.016 wprowadza zarówno błędy wzmocnienia jak i liniowości. Jeśli założymy zmiany pojemności o wartości  $\Delta C$  wówczas równanie poprzednie przekształca się do postaci:

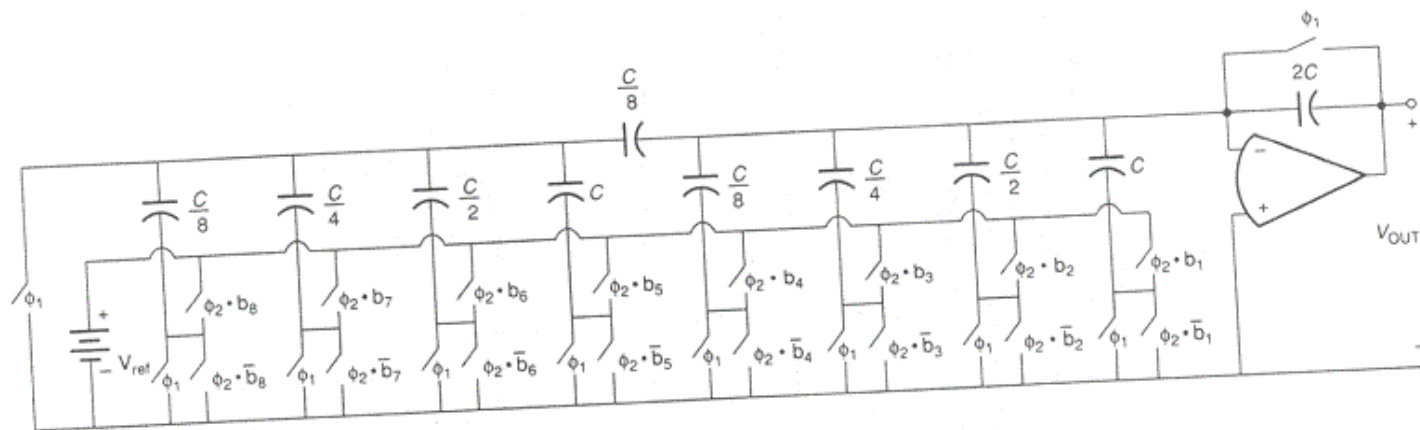
$$V_{OUT} = \frac{\pm V_{REF}}{128} \left( 1 - \frac{\Delta C_L}{128} \right) \left[ \sum_{i=1}^7 b_i C_i + (1 + \Delta C) \sum_{k=8}^{13} b_k \frac{C_k}{64} \right]$$

Jeśli założymy 1.6% błąd wartości pojemności wówczas błąd wzmocnienia wyniesie

$$\text{Gain error} = 1 - \frac{\Delta C}{128} = 1 - \frac{1}{64 * 128}$$

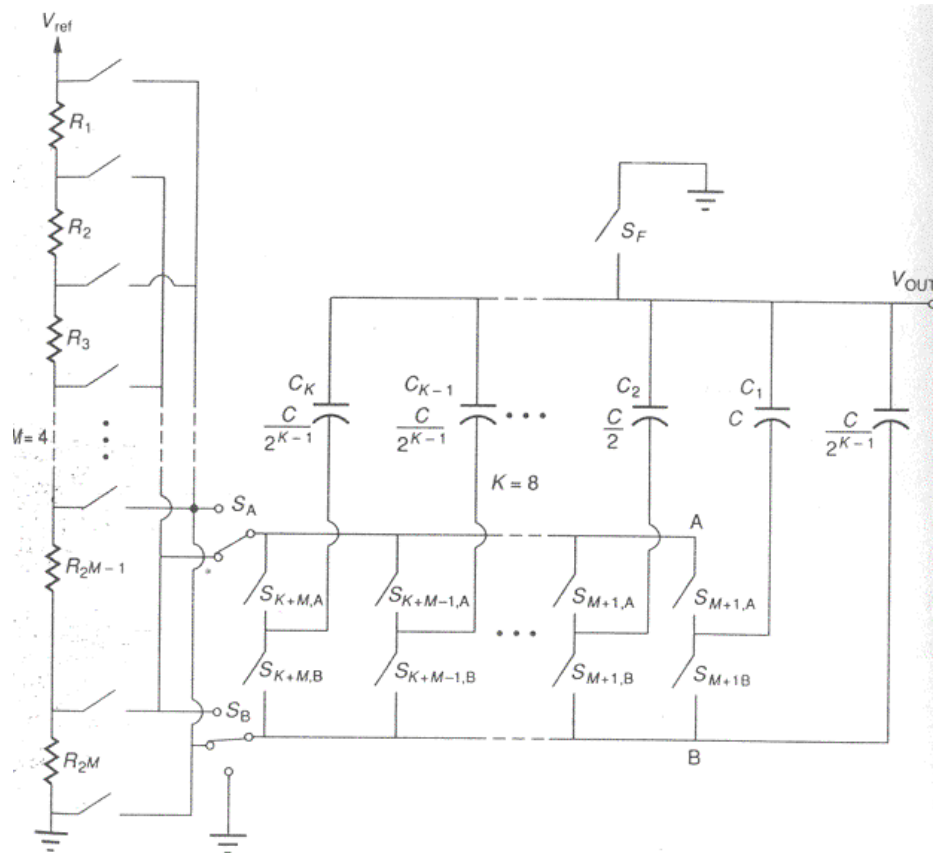
Błąd liniowości jest określony jako

$$\text{Linearity error} = \Delta C \sum_{k=8}^{13} \frac{b_k C_k}{64}$$

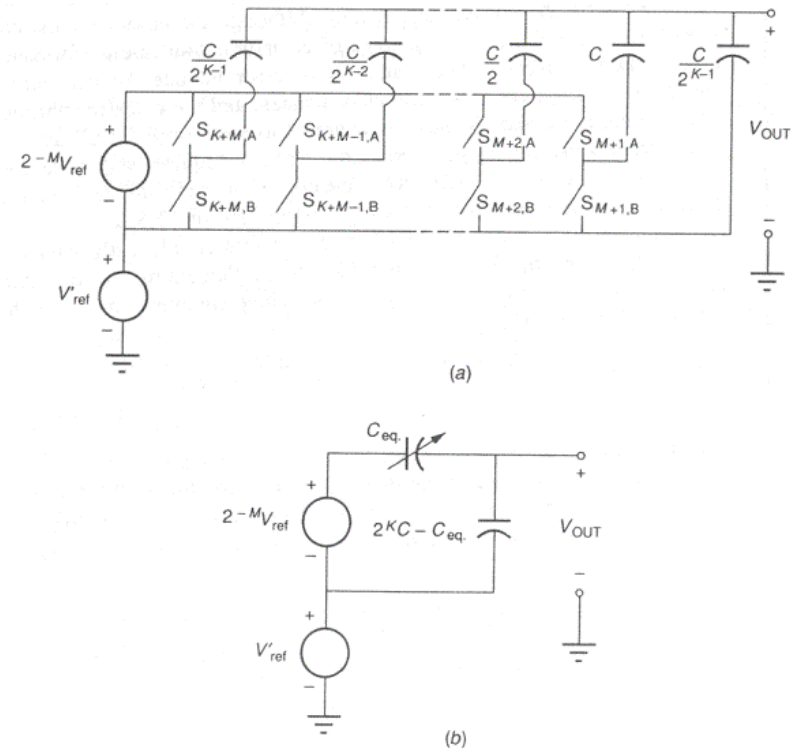


Rys. 7.8. Kaskadowy przetwornik CA z podziałem ładunku z użyciem wzmacniacza operacyjnego w konfiguracji odwracającej. Pojemności związane z wejściem wzmacniacza operacyjnego są wyeliminowane ze względu na masę pozorną.

## 7.4 Przetworniki CA z użyciem mieszanych technik skalowania.



Rys. 7.9. Przetwornik CA z wykorzystaniem podziału napięcia i ładunku.



Rys. 7.10. Układ równoważny przetwornikowi z rys. 7.9.

## 7.4 Przetworniki CA z użyciem mieszanych technik skalowania.

Ciąg rezystorów od  $R_1$  do  $R_{2^M}$  zapewnia monotoniczne wartości napięcia  $V_{REF}$  podzielonego na  $2^M$  wartości. W celu dalszego podziału tych napięć na kolejne  $2^K$  podprzedziałów użyto binarnie skalowaną tablicę kondensatorów  $C_1 - C_K$ . Praca przetwornika przebiega w następującym ciągu zdarzeń:

- Zamknięcie kluczy  $S_F$ ,  $S_B$  oraz  $S_{M+1,B} - S_{M+K,B}$ , co powoduje uziemienie zarówno dolnych jak i górnych okładek kondensatorów  $C_1 - C_K$ .
- Po otwarciu klucza  $S_F$  szyny A oraz B są połączone do rezystorów drabinki określonych przez  $M$  bardziej znaczących bitów wejściowego słowa binarnego. Napięcia dołączone do dolnej i górnej okładki są równe odpowiednio  $V_{REF}$  oraz  $V_{REF} + 2^{-M}V_{REF}$ , gdzie:

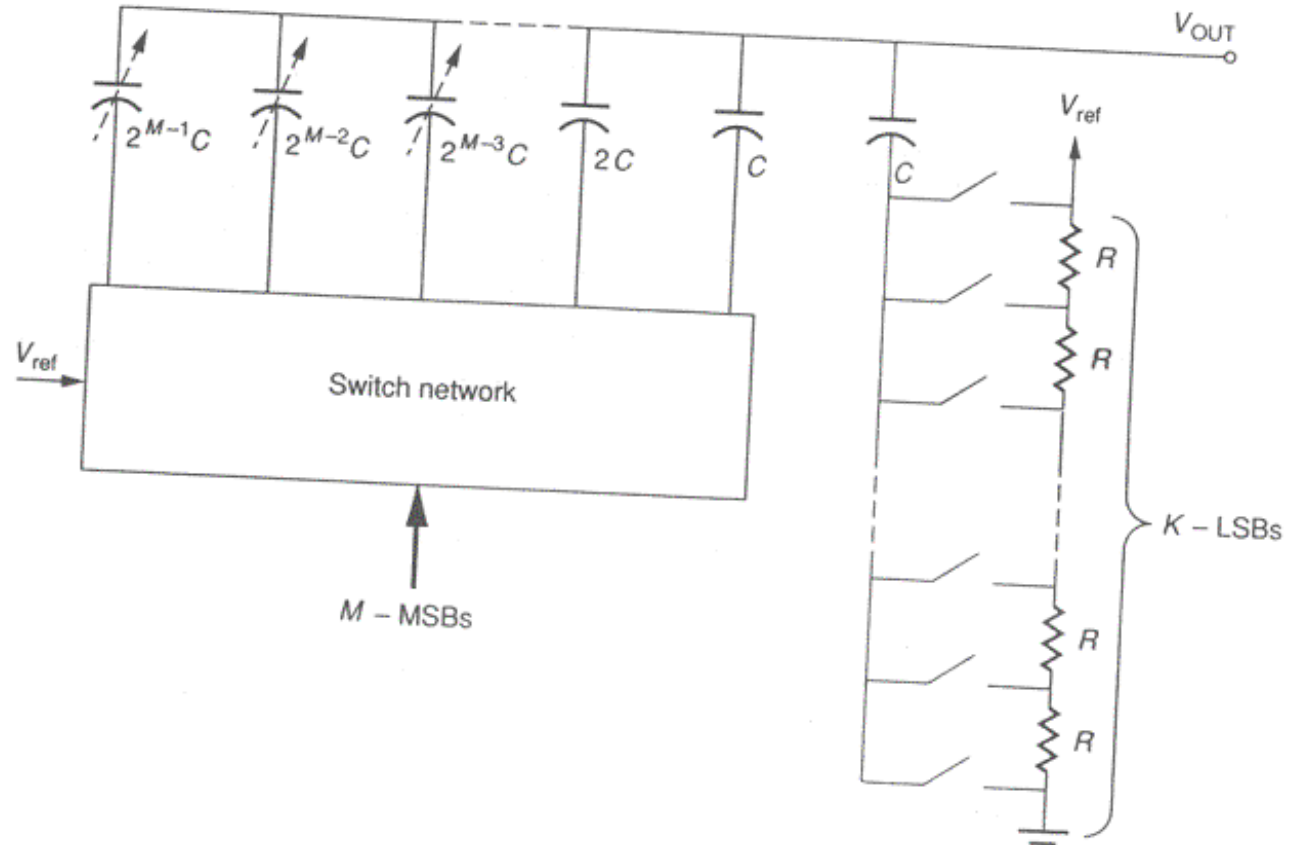
$$V'_{REF} = V_{REF} (b_1 2^{-1} + b_2 2^{-2} + \dots + b_M 2^{-M})$$

Po tym kroku układ można przedstawić jako równoważny jak na rys. 7.10(a).

- Ostatnim krokiem jest odpowiednie połączenie okładek kondensatorów do węzła A lub B w zależności od zestawu mniej znaczących bitów  $K$  słowa wejściowego. Po tym etapie układ równoważny jest jak na rys. 7.10(b). Napięcie wyjściowe jest wówczas równe

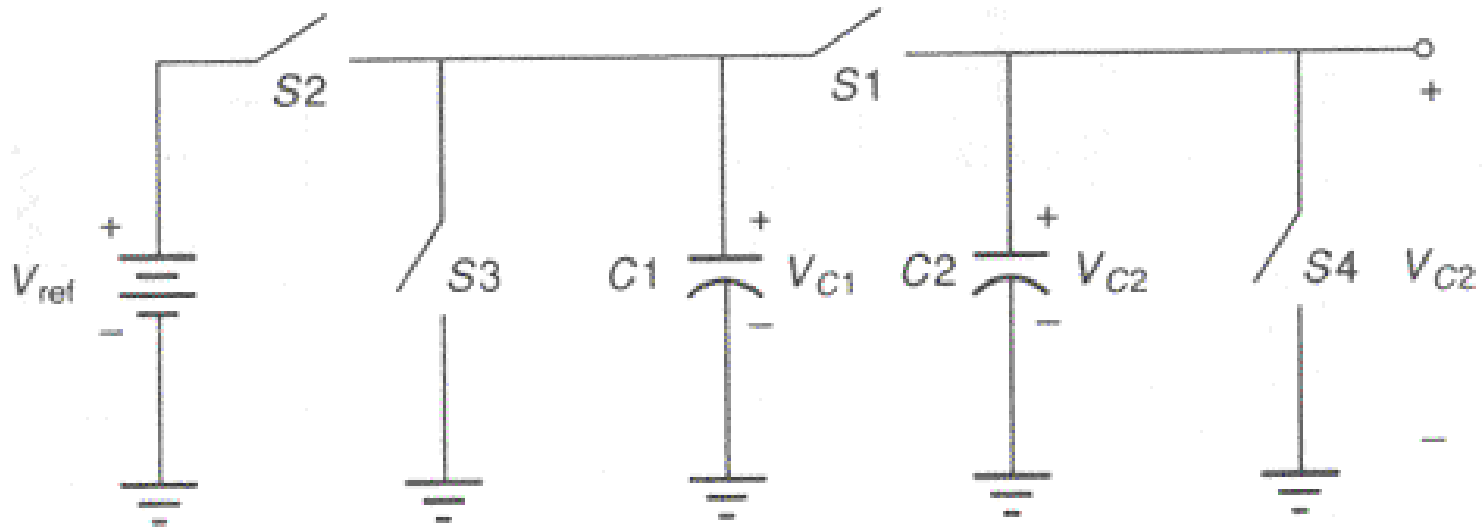
$$V_{OUT} = V_{REF} (b_1 2^{-1} + b_2 2^{-2} + \dots + b_M 2^{-M}) + V_{REF} \left[ \frac{b_{M+1}}{2^{M+1}} + \frac{b_{M+2}}{2^{M+2}} + \dots + \frac{b_{M+K}}{2^{M+K}} \right]$$

## 7.4 Przetworniki CA z użyciem mieszanych technik skalowania.



Rys. 7.11. Przetwornik CA z podziałem ładunku dla bardziej znaczących bitów oraz podziałem napięcia dla mniej znaczących bitów.

## 7.5 Szeregowe przetworniki CA.

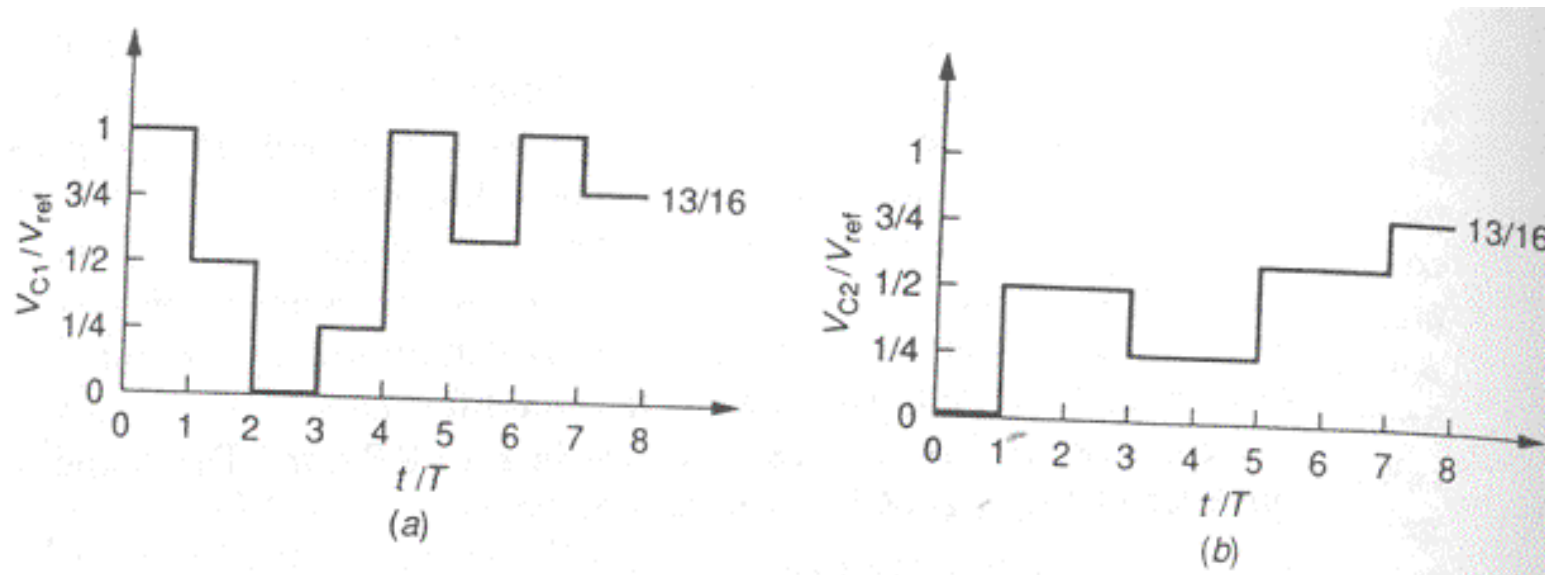


Rys. 7.12. Uproszczony schemat przetwornika redystrybucyjnego szeregowego.

## 7.5 Szeregowe przetworniki CA.

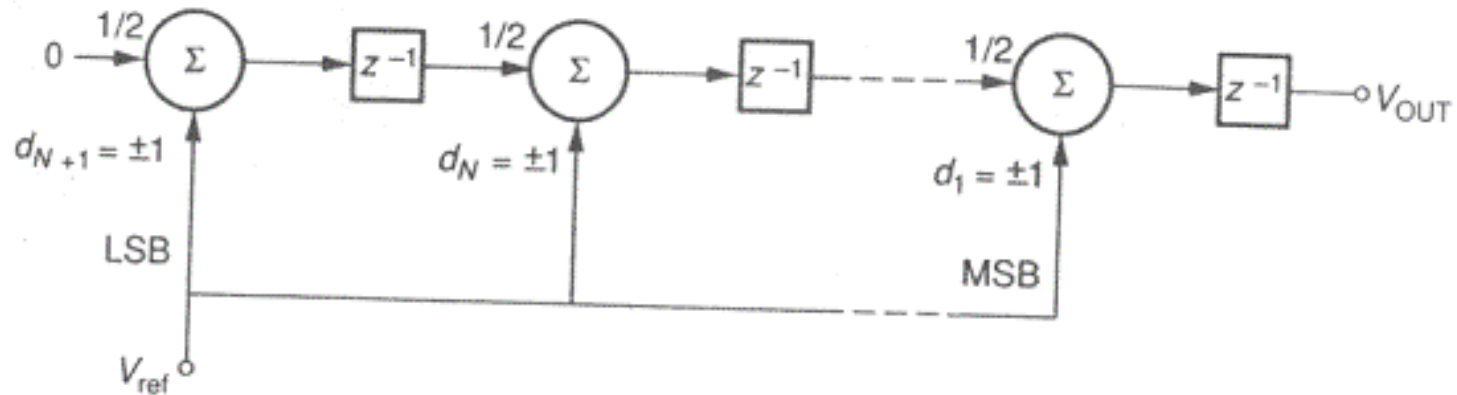
**Przykład 7.3. Praca szeregowego przetwornika CA.** Załóżmy, że  $C_1=C_2$  a przetwarzane słowo ma wartość 1101. Należy wyznaczyć wartości napięć na kondensatorach  $C_1$  oraz  $C_2$ .

**Rozwiązanie:** Proces przetwarzania rozpoczyna się wyzerowaniem kondensatora  $C_2$  czyli zamknięciem i otwarciem klucza  $S_4$  a więc  $V_{C_2}=0$ . Ponieważ  $b_4=1$ , równocześnie zwierany jest klucz  $S_2$ , co daje  $V_{C_1}=V_{REF}$ . Następnie otwierany jest klucz  $S_2$  a zamykany  $S_1$  co daje napięcia równe  $V_{C_1}=V_{C_2}=0.5V_{REF}$  co kończy fazę przetwarzania bitu  $b_4$ . Następnie przetwarzamy bit  $b_3$  czyli przy rozwartym kluczu  $S_1$  zwieramy klucz  $S_3$  a następnie rozwieramy  $S_3$  i zwieramy  $S_1$ . Napięcia na kondensatorach są teraz równe  $V_{C_1}=V_{C_2}=0.25V_{REF}$ . Ponieważ dwa najstarsze bity są równe 1 nastąpi dwukrotne naładowanie kondensatora  $C_1$  i przekazanie ładunku do  $C_2$ . Napięcie końcowe uzyskano po 9 cyklach kluczkowania a jego końcowa wartość wynosi  $V_{C_1}=V_{C_2}=13/16V_{REF}$ .



Rys. 7.13. Przebiegi napięć na kondensatorach dla przetwornika z rys. 7.12 przy przetwarzaniu słowa wejściowego 1101.

## 7.5 Szeregowe przetworniki CA.



Rys. 7.14. Potokowy, algorytmiczny przetwornik CA.

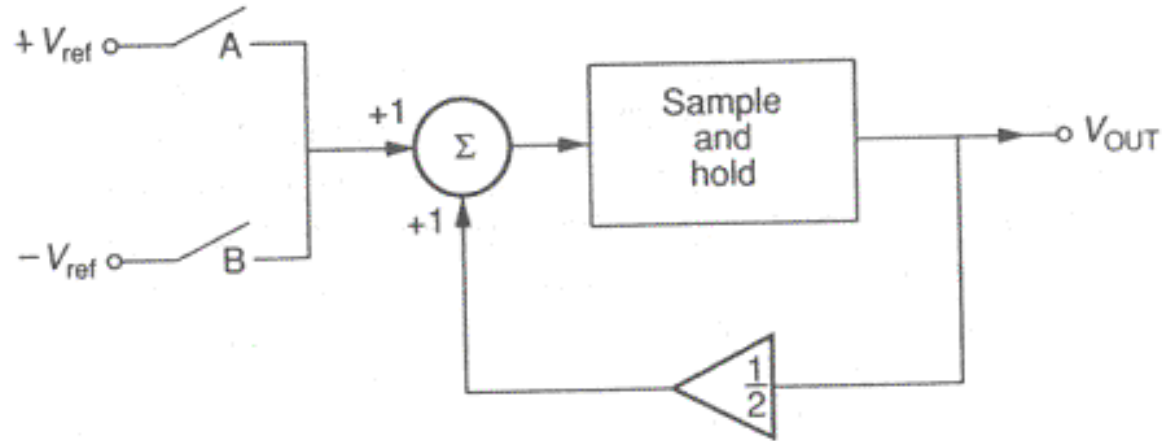
Można wykazać, że napięcie wyjściowe na wyjściu przetwornika wynosi:

$$V_{OUT}(z) = \left( d_1 z^{-1} + 2^{-1} d_2 z^{-2} + \dots + 2^{-N+1} d_N z^{-N} \right) V_{REF}$$

gdzie:  $d_i$  jest zmodyfikowaną wartością bitu wejściowego  $b_i$ , równą +1 dla stanu wysokiego i -1 dla stanu niskiego, oraz operator  $z^{-1}$  oznacza opóźnienie jednostkowe. Zaletą przetwornika jest to że składa się z podobnych bloków. Jeśli do pierwszego stopnia wprowadzimy 0 wówczas wszystkie stopnie są identyczne. Poprzez inteligentne podawanie ciągu przetwarzanych bitów można osiągnąć zjawisko polegające na tym, że czas przetwarzania będzie równy liczbie bitów przetwarzanego ciągu, jednakże kolejne wyniki, dla kolejnych słów wejściowych, można uzyskiwać już co jeden cykl zegarowy.



## 7.5 Szeregowe przetworniki CA.



Rys. 7.15. Przetwornik algorytmiczny iteracyjny równoważny przetwornikowi z rys. 7.14.

Dzięki identyczności wszystkich stopni przetwornika, jego złożoność można zredukować poprzez zastosowanie przetwarzania iteracyjnego w miejsce potokowego. Schemat blokowy takiego rozwiązania przedstawiono na rysunku 7.15. Równanie opisujące pojedynczy stopień można podać w postaci:

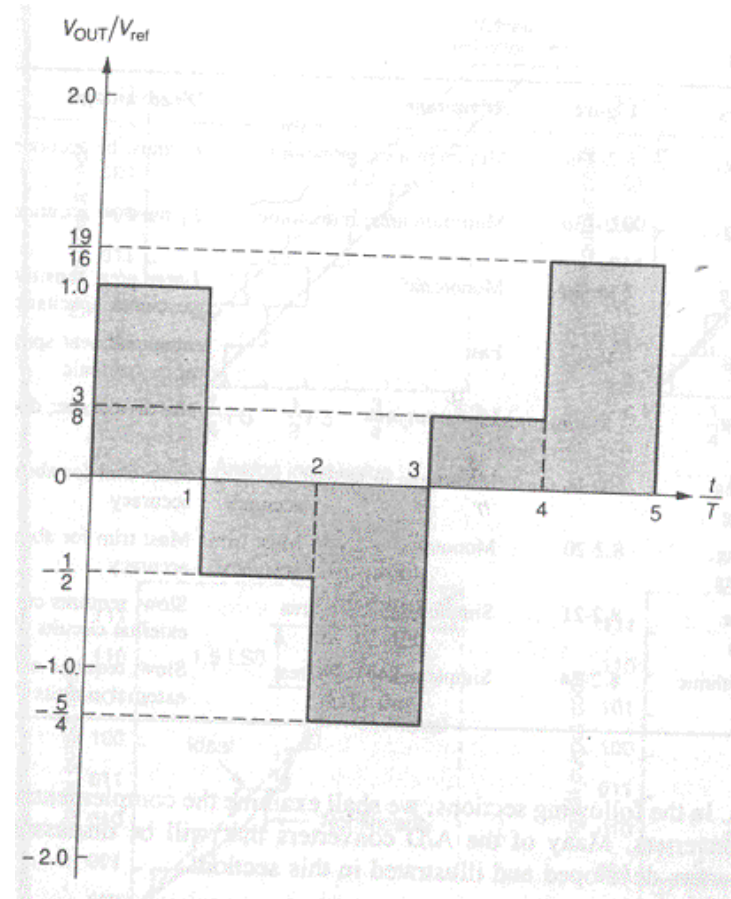
$$V_{OUT}(z) = \frac{d_i z^{-1} V_{REF}}{1 - 0.5z^{-1}}$$

Klucze w przetworniku na rysunku 7.15 są zwierane do  $+V_{REF}$  jeśli dany bit jest równy 1 oraz do  $-V_{REF}$  jeśli dany bit jest równy zeru.

## 7.5 Szeregowe przetworniki CA.

**Przykład 7.4. Przetwarzanie w przetworniku algorytmicznym iteracyjnym.** Zakładając, że przetwarzany ciąg wejściowy wynosi 11001 należy określić wartość napięcia wyjściowego przetwornika z rysunku 7.15.

**Rozwiązanie:** Na początku procesu przetwarzania należy wyzerować wyjście (nie przedstawione na rysunku 7.15). Na rysunku 7.16 przedstawiony jest przebieg czasowy napięcia wyjściowego.  $T$  jest okresem przetwarzania pojedynczego bitu. Proces przetwarzania rozpoczyna się od bitu LSB, który w rozpatrywanym przypadku wynosi 1. Zamknięty jest klucz A a na wyjściu pojawia się wartość  $V_{REF}$ . W drugim kroku bit jest równy 0 na wyjście przechodzi napięcie równe  $-V_{REF}+1/2V_{REF}=-1/2 V_{REF}$ . Następny bit również jest równy zero więc napięcie wyjściowe osiągnie wartość  $-1/4V_{REF}-V_{REF}=-5/4V_{REF}$ . Postępując dalej uzyskujemy końcowe napięcie równe  $19/16V_{REF}$ . Zakres odtwarzanych napięć wynosi od  $V_{REF}(1+1/2+1/4+1/8+1/16)= 31/16V_{REF}$  dla wejściowej wartości słowa cyfrowego 0000 do  $+31/16 V_{REF}$  dla wyjściowego słowa 11111.



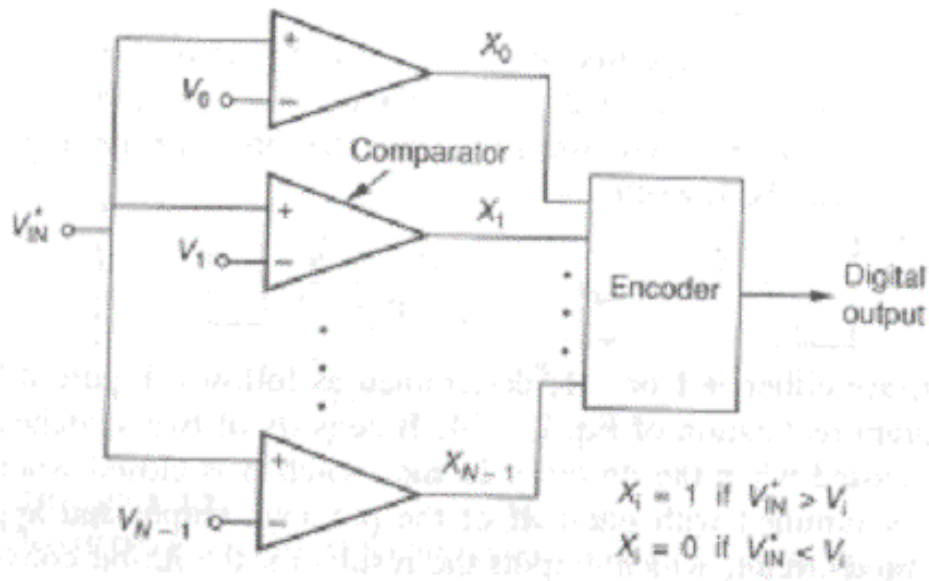
Rys. 7.16. Zmiany napięcia wyjściowego przetwornika z rys. 7.15 w czasie przetwarzania ciągu 11001.

## 7. Przetworniki CA - podsumowanie.

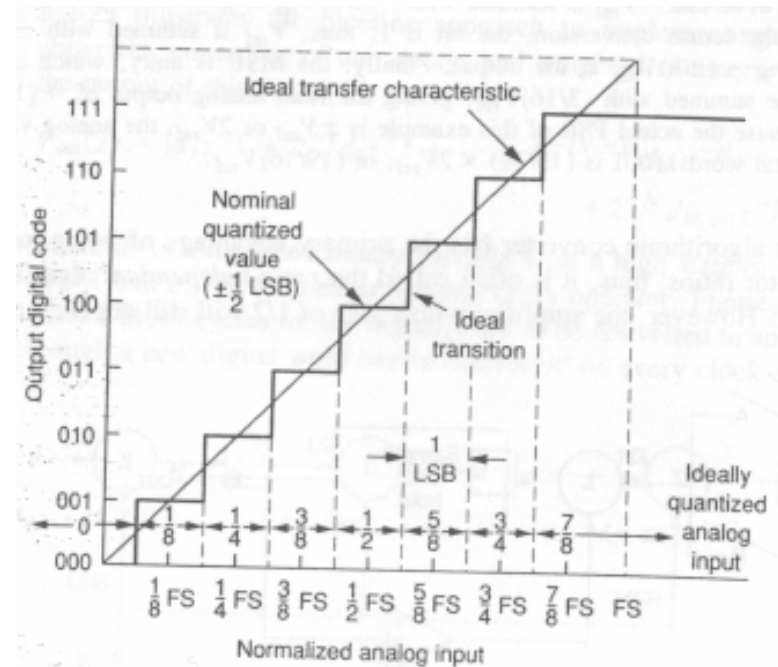
Tabela 7.1. Porównanie podstawowych właściwości przetworników CA.

<i>Przetwornik CA</i>	<i>Rysunek</i>	<i>Zalety</i>	<i>Wady</i>
Ze skalowaniem prądu - skalowany binarnie	7.1	szybki, nieczuły na elementy pasożytnicze	duży rozrzut wartości elementów, niemonotoniczny
Ze skalowaniem prądu - drabinka R-2R	7.2	szybki, niewielki rozrzut wartości elementów	niemonotoniczny, czuły na elementy pasożytnicze kluczy
Ze skalowaniem prądu – kaskadowy	7.4a	mała powierzchnia, monotoniczny	$R_1$ musi być dokładny
Ze skalowaniem prądu – master – slave	7.4b	mała powierzchnia, monotoniczny	$I_1$ musi być dokładne
Ze skalowaniem napięcia	7.5	monotoniczny	duża powierzchnia, wrażliwy na pojemności pasożytnicze
Ze skalowaniem ładunku	7.6	szybki	duży rozrzut wartości elementów, niemonotoniczny
Ze skalowaniem ładunku – kaskadowy	7.7	mała powierzchnia	niemonotoniczny, dzielnik musi być dokładny
Ze skalowaniem napięcia i ładunku	7.9	monotoniczny w zakresie MSB	musi być dostrajany
Ze skalowaniem ładunku i napięcia	7.11	monotoniczny w zakresie LSB	musi być dostrajany
Szeregowy z redystrybucją ładunku	7.12	prosty, mała powierzchnia	wolny, wymaga złożonego układu sterującego
Szeregowy algorytmiczny	7.15	prosty, mała powierzchnia	wolny, wymaga złożonego układu sterującego

# 8. Scalone przetworniki analogowo-cyfrowe, klasyfikacja i podstawowe właściwości. Układ próbkująco – pamiętający.

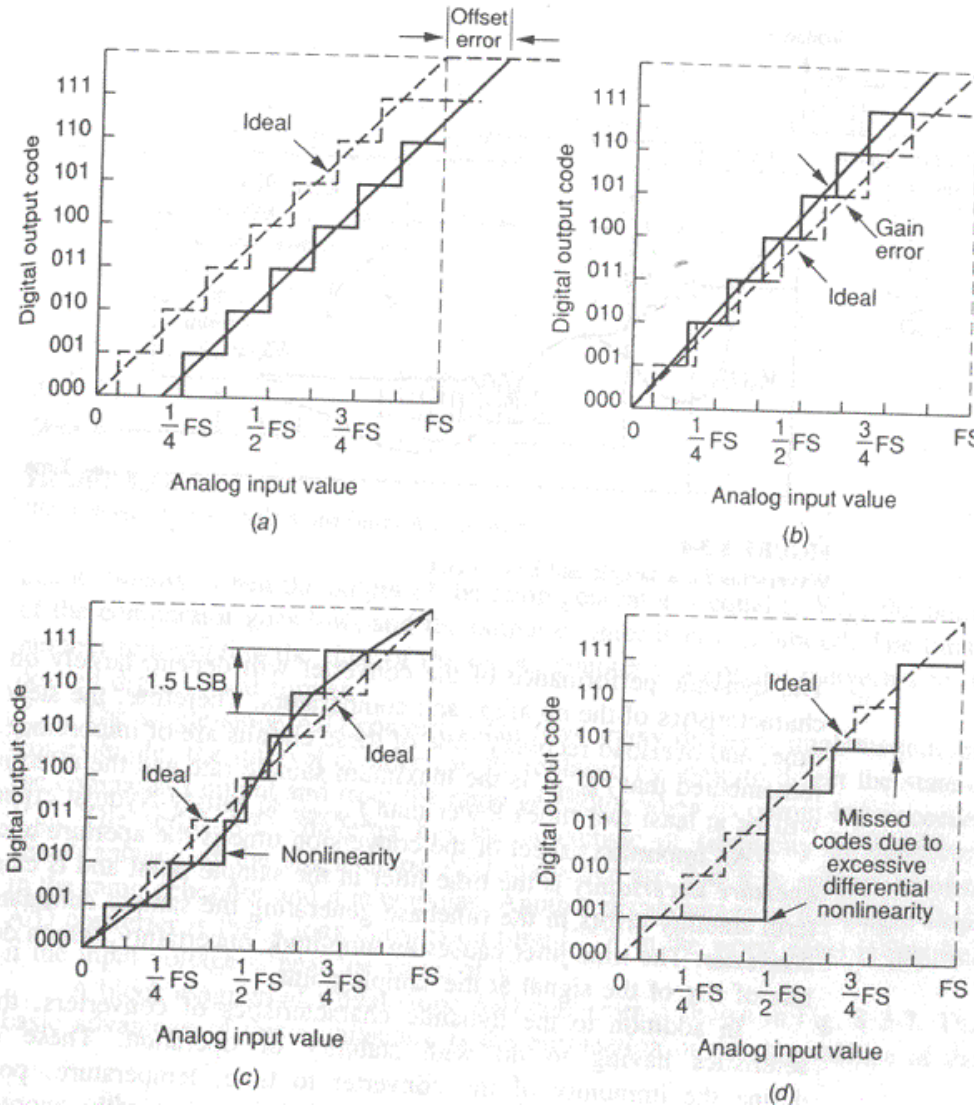


Rys. 8.1. Ogólny schemat blokowy przetwornika AC równoległego.



Rys. 8.2. Charakterystyka wejściowo – wyjściowa idealnego 3-bitowego przetwornika AC.

# 8. Scalone przetworniki analogowo-cyfrowe.



Rys. 8.3. Błędy statyczne przetwornika AC, (a) błąd przesunięcia, (b) błąd wzmocnienia, (c) błąd liniowości, (d) błędy braku kodów.

## 8. Scalone przetworniki analogowo-cyfrowe.

Błędy charakterystyk statycznych przetworników można równoważnie wyrazić poprzez zmniejszenie rozdzielczości przetwornika w stosunku do przetwornika idealnego. Przekształcając wzór  $SNR=6.02N+1.76$  do postaci wyrażającej liczbę bitów przetwornika, możemy znaleźć równoważną liczbę bitów przy założeniu iż parametr  $SNR$  został zmierzony dla rzeczywistego rozpatrywanego przetwornika:

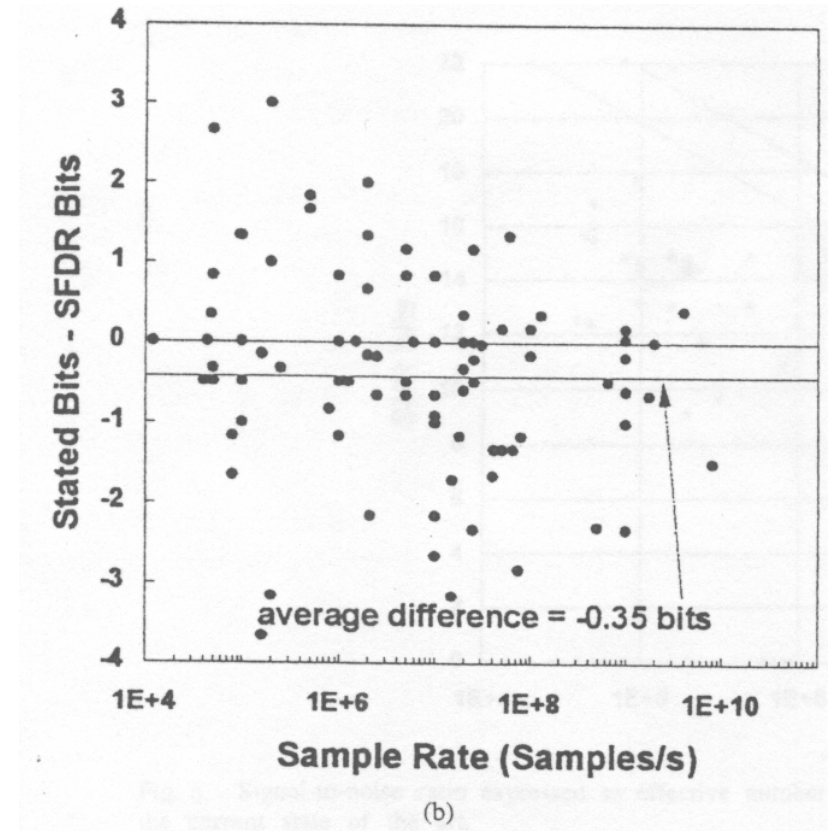
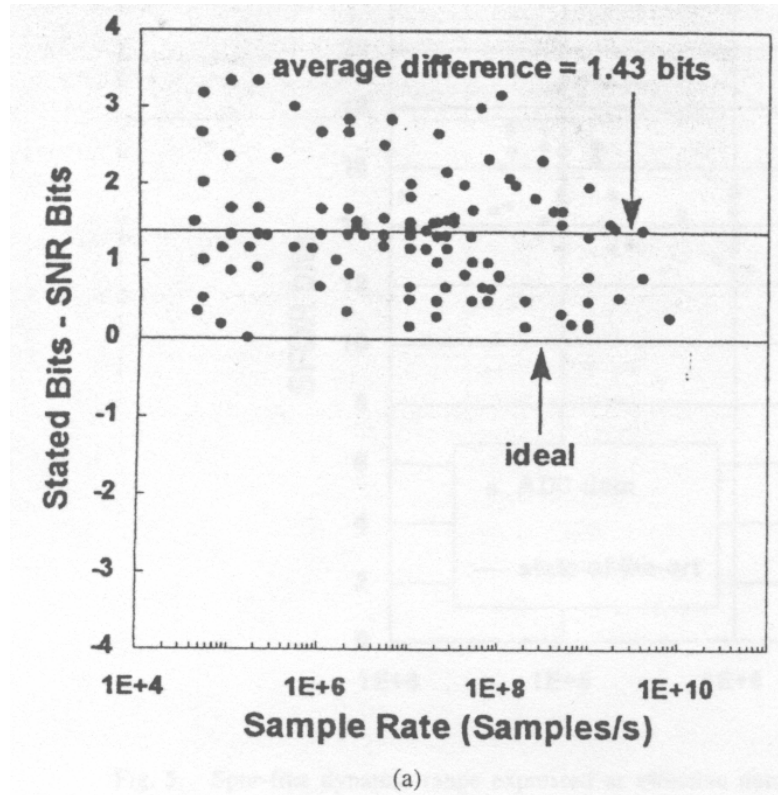
$$N = \frac{SNR - 1.76}{6.02} \longrightarrow N_{EQ} = \frac{SNR_{MEASURED} - 1.76}{6.02}$$

gdzie:  $N_{EQ}$  jest równoważną liczbą bitów rzeczywistego przetwornika AC lub CA a  $SNR_{MEASURED}$  jest zmierzoną wartością stosunku sygnał – szum dla wejściowego sygnału harmonicznego o maksymalnej amplitudzie.

Innym parametrem określającym zniekształcenia nieliniowe przetwornika jest współczynnik SFDR (ang. spurious-free dynamic range). Jest to stosunek amplitud (wyrażony w [dB]) pojedynczego sygnału harmonicznego na wyjściu przetwornika do największej wartości amplitudy niepożądanego sygnału harmonicznego. Równoważna liczba bitów przetwornika AC lub CA biorąc pod uwagę współczynnik SFDR wynosi:

$$N_{EQ} = SFDR / 6.02$$

## 8. Scalone przetworniki analogowo-cyfrowe.

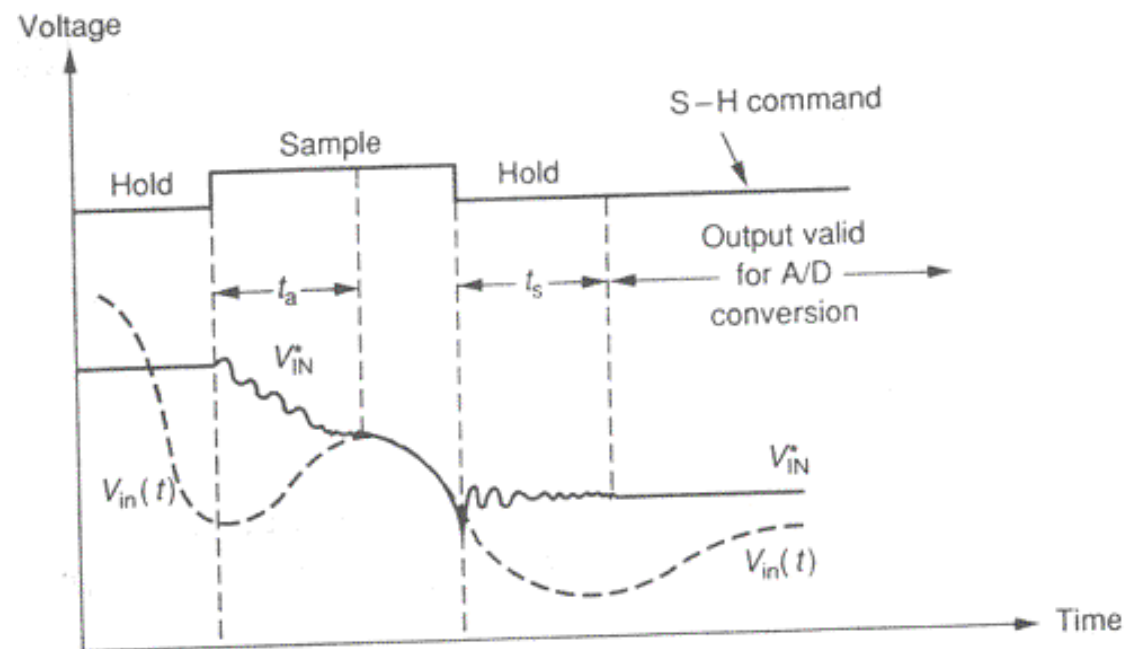


Rys.8.4. Porównanie liczby bitów (idealnej rozdzielczości przetwornika AC) z (a) równoważną liczbą bitów wyznaczoną wg SNR, (b) równoważną liczbą bitów wyznaczoną wg SFDR.

## 8. Scalone przetworniki analogowo-cyfrowe.

Czas akwizycji  $t_a$  jest to czas (w stanie próbkowania, liczony od chwili wejścia w ten stan) niezbędny dla nadążenia układu próbkującego za napięciem wejściowym. Czas ustalania  $t_s$  jest to minimalny czas jaki musi upłynąć od momentu przełączenia w tryb pamiętania, niezbędny aby sygnał wyjściowy ustalił się na właściwym poziomie (bez wzbudzeń). Dlatego maksymalna częstotliwość pracy układu próbkująco – pamiętającego wynosi:

$$f_{sample} = \frac{1}{T_{sample}} = \frac{1}{t_a + t_s}$$

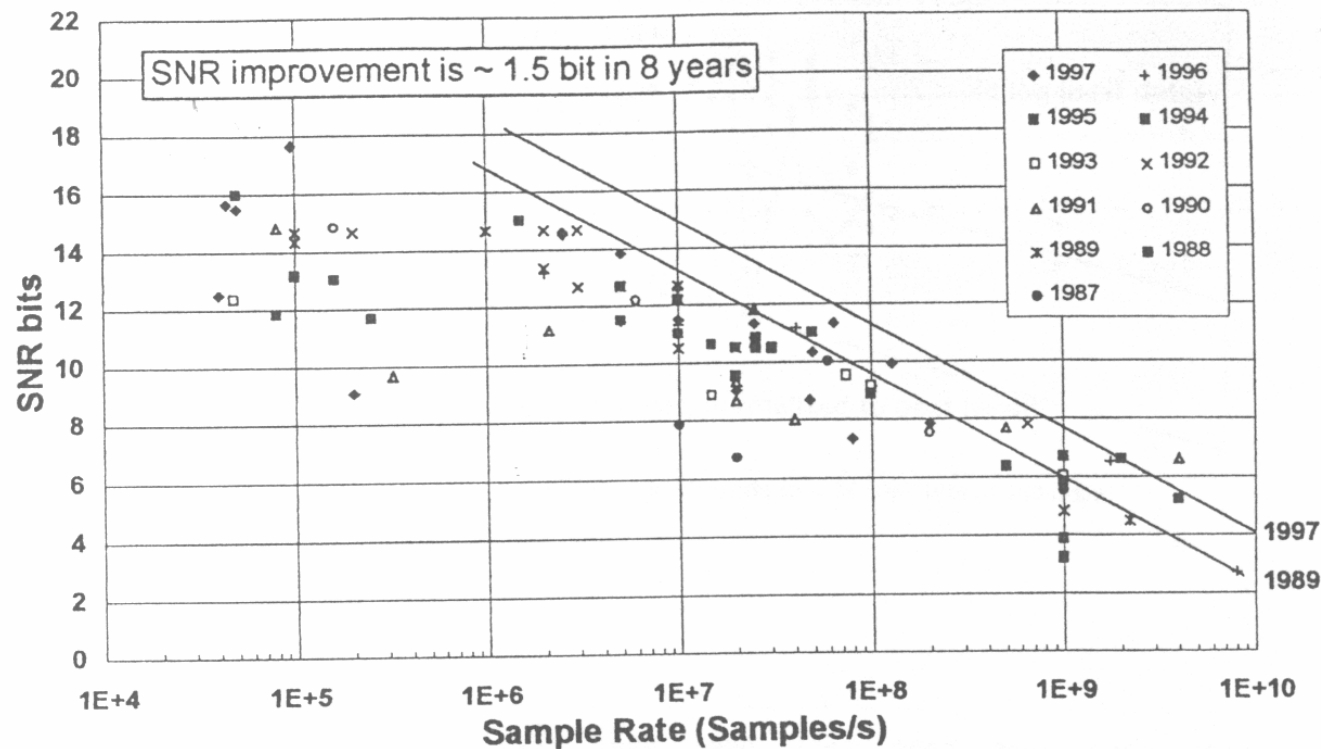


Rys. 8.5. Przebiegi czasowe napięć w układzie próbkująco – pamiętającym.



## 8. Scalone przetworniki analogowo-cyfrowe.

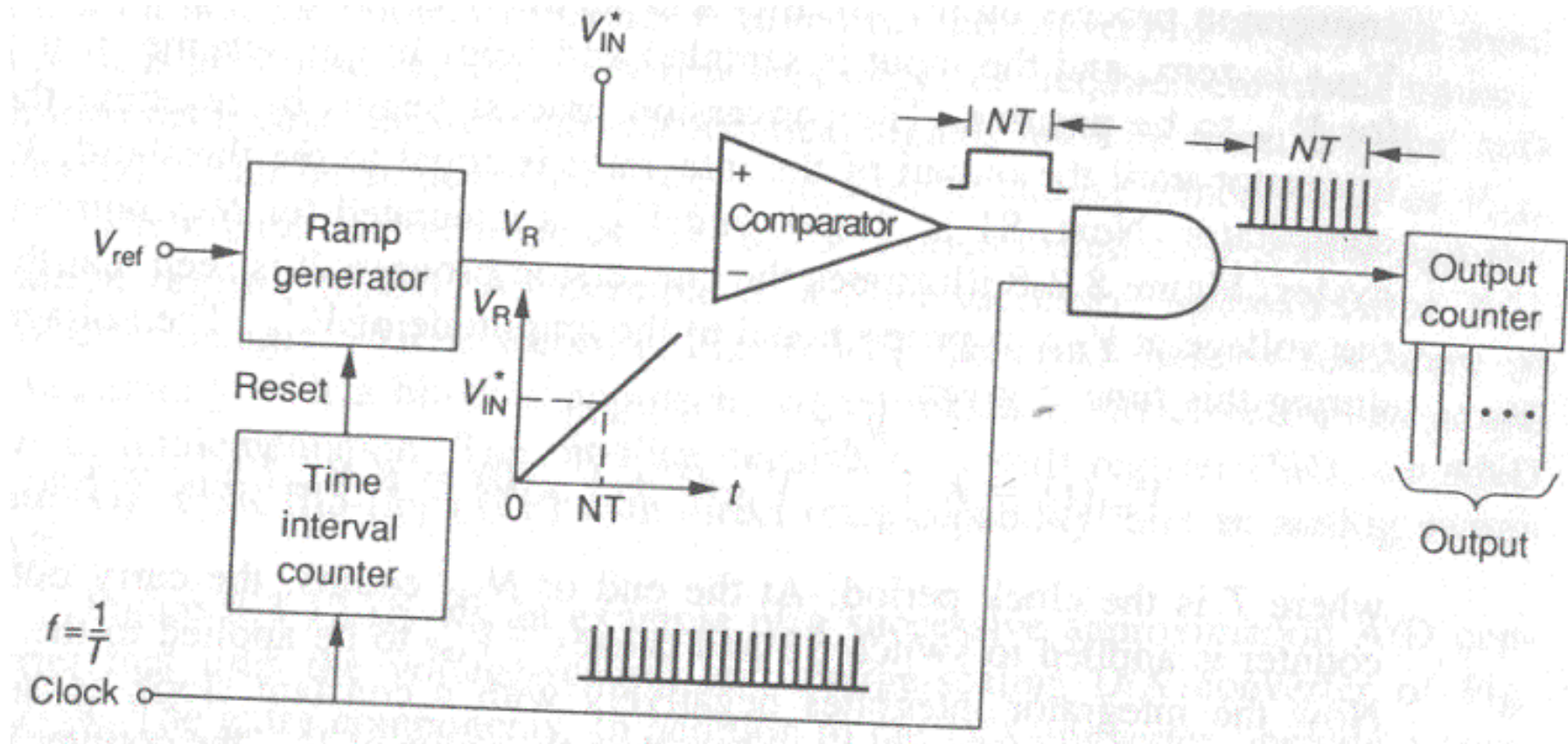
Postęp w dziedzinie przetworników AC nie jest tak szybki jak w innych dziedzinach rozwoju układów scalonych. Notuje się wzrost rozdzielczości przetworników o około 1.5 bita co 8 lat (dla danej częstotliwości). Na rysunku 8.6 przedstawiono kilkadziesiąt rozwiązań przetworników z podziałem na lata w których zostały opracowane.



Rys. 8.6. Trend rozwojowy produkcji przetworników AC.

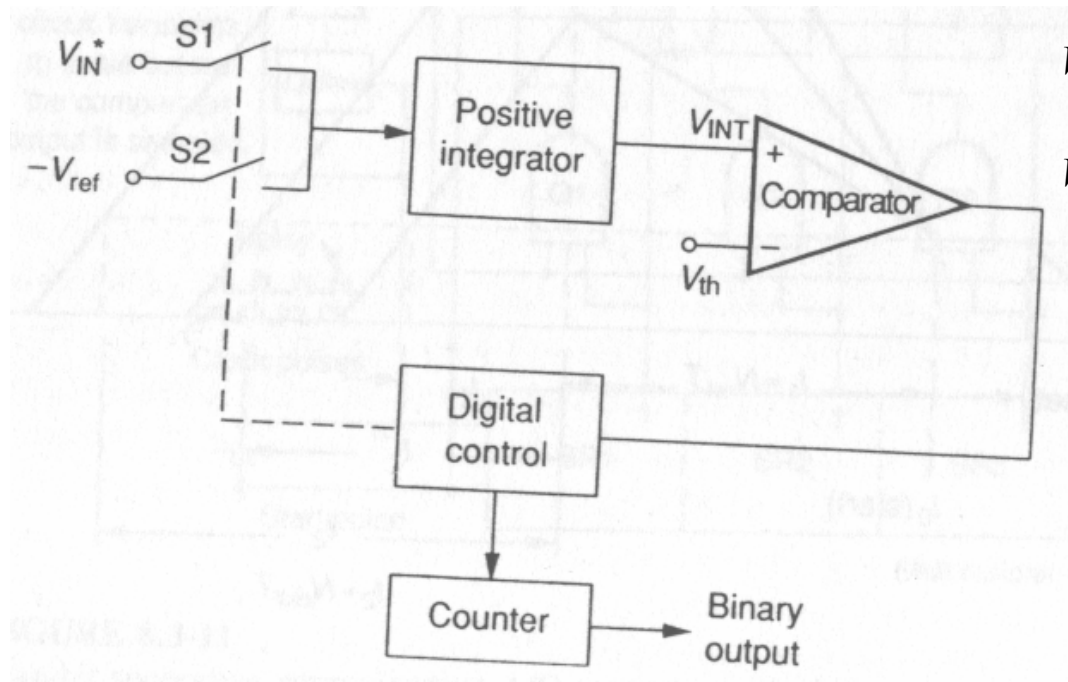
# 9. Scalona realizacja wybranych przetworników AC.

## 9.1. Szeregowe przetworniki AC.



Rys. 9.1. Schemat blokowy przetwornika AC z pojedynczym całkowaniem.

## 9.1. Szeregowe przetworniki AC.



$$V_{INT}(t) = K \int_{t=0}^{N_{REF}T} V_{IN}^*(t) dt + V(0) = KN_{REF}V_{IN}^* + V_{TH}$$

$$V_{INT}(t) = V(0) - K \int_{t=0}^{N_{OUT}T} V_{REF}(t) dt = +V_{TH} - KN_{OUT}V_{OUT}$$

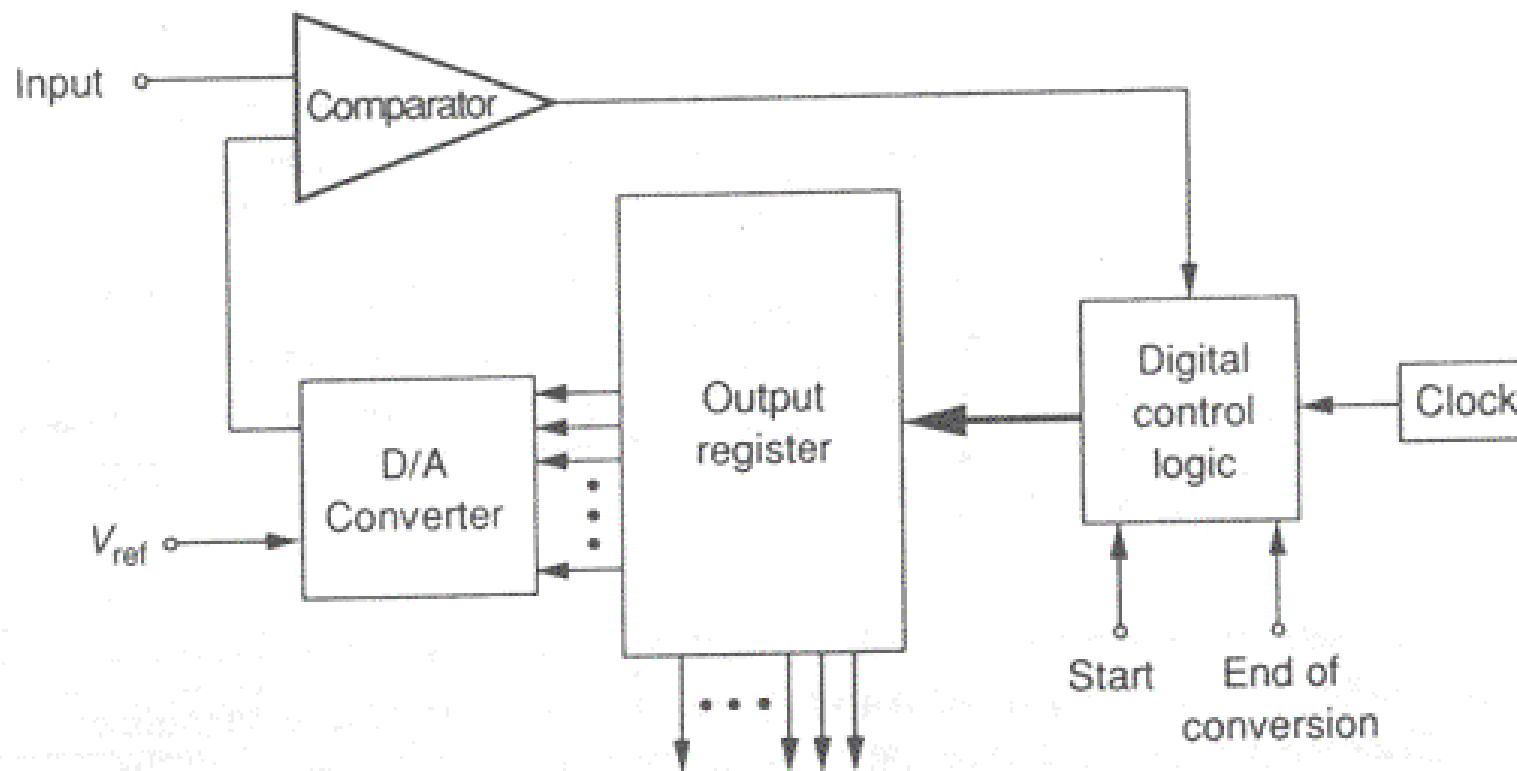
$$KN_{REF}TV_{IN}^* = KN_{OUT}TV_{REF}$$

$$N_{OUT} = \frac{V_{IN}^*}{V_{REF}} N_{REF}$$

Rys. 9.2. Przetwornik AC z podwójnym całkowaniem.

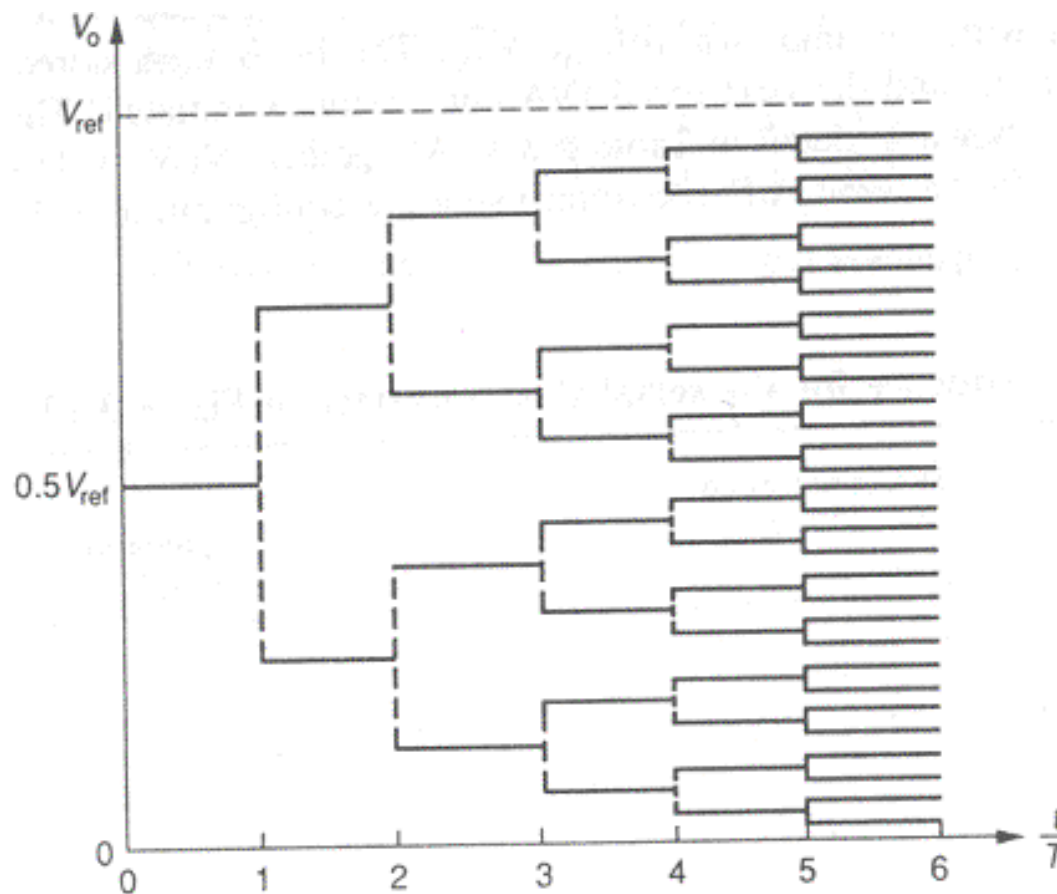
Przetworniki szeregowe osiągają rozdzielczość 12 bitów przy częstotliwości przetwarzania około 100Hz.

## 9.2. Przetwornik AC z sukcesywnym przybliżaniem.



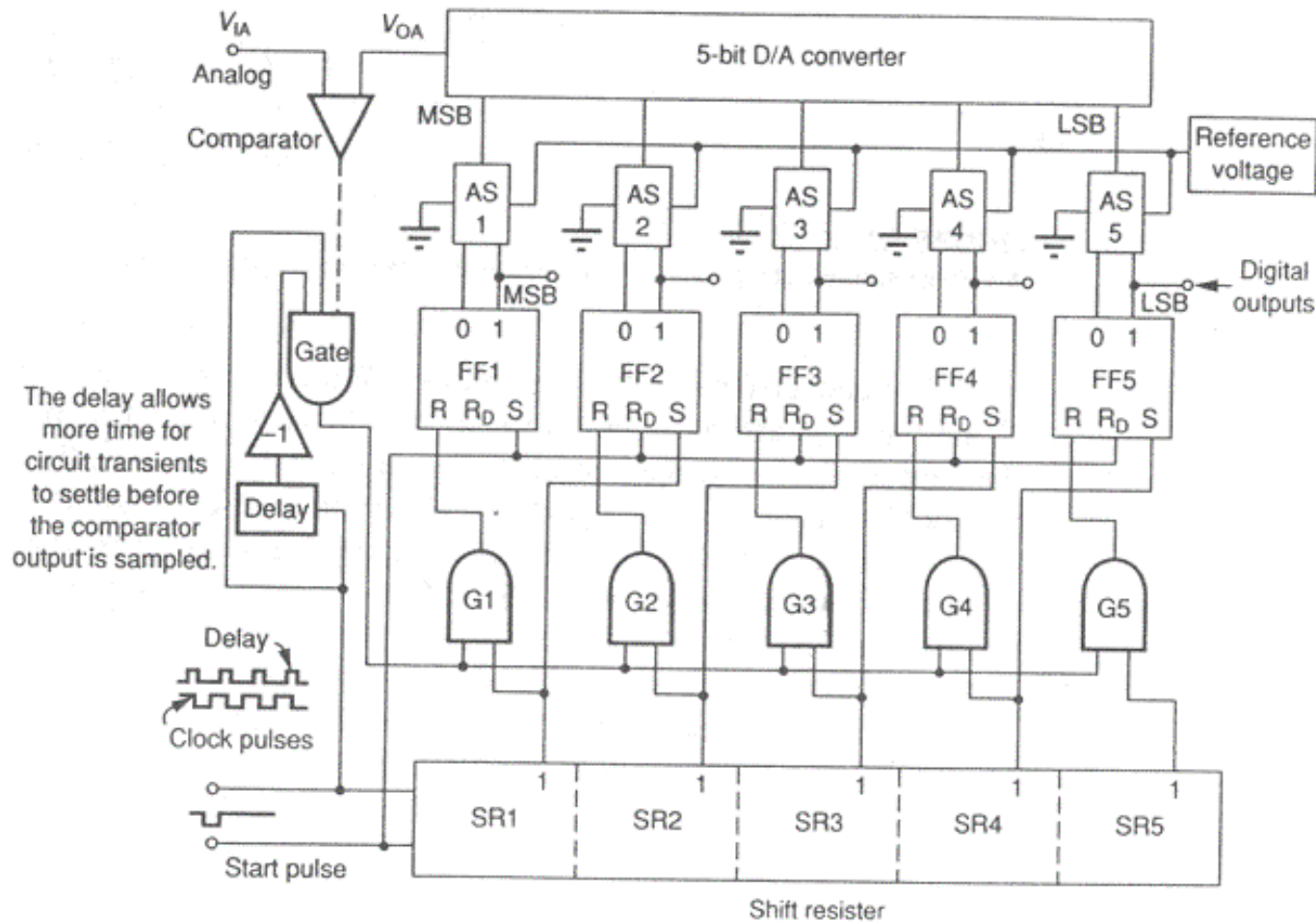
Rys. 9.3. Architektura przetwornika z sukcesywnym przybliżaniem.

## 9.2. Przetwornik AC z sukcesywnym przybliżaniem.



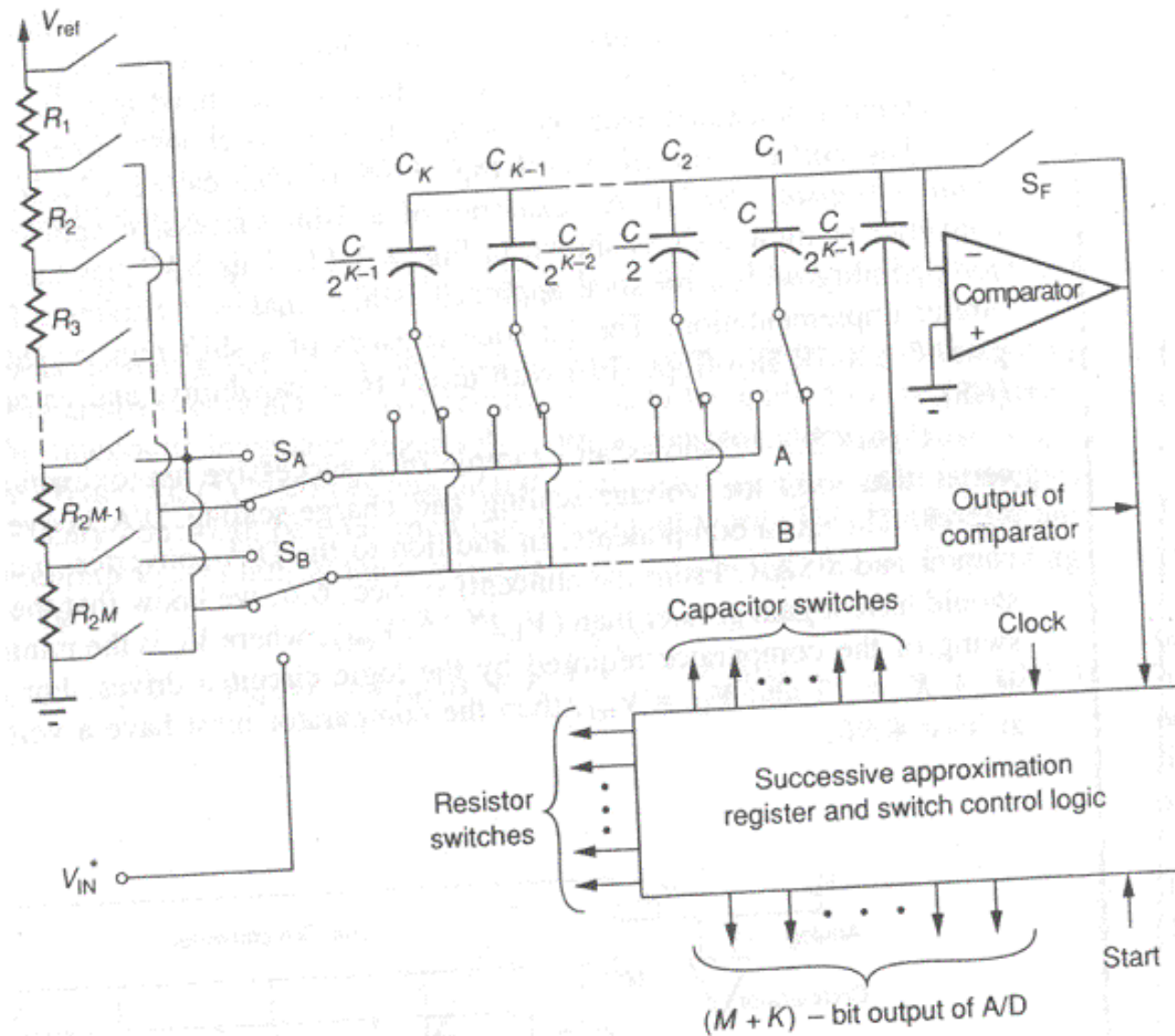
Rys. 9.4. Proces przybliżania wartości wyjściowej dla przetwornika z rys. 9.3.

## 9.2. Przetwornik AC z sukcesywnym przybliżaniem.



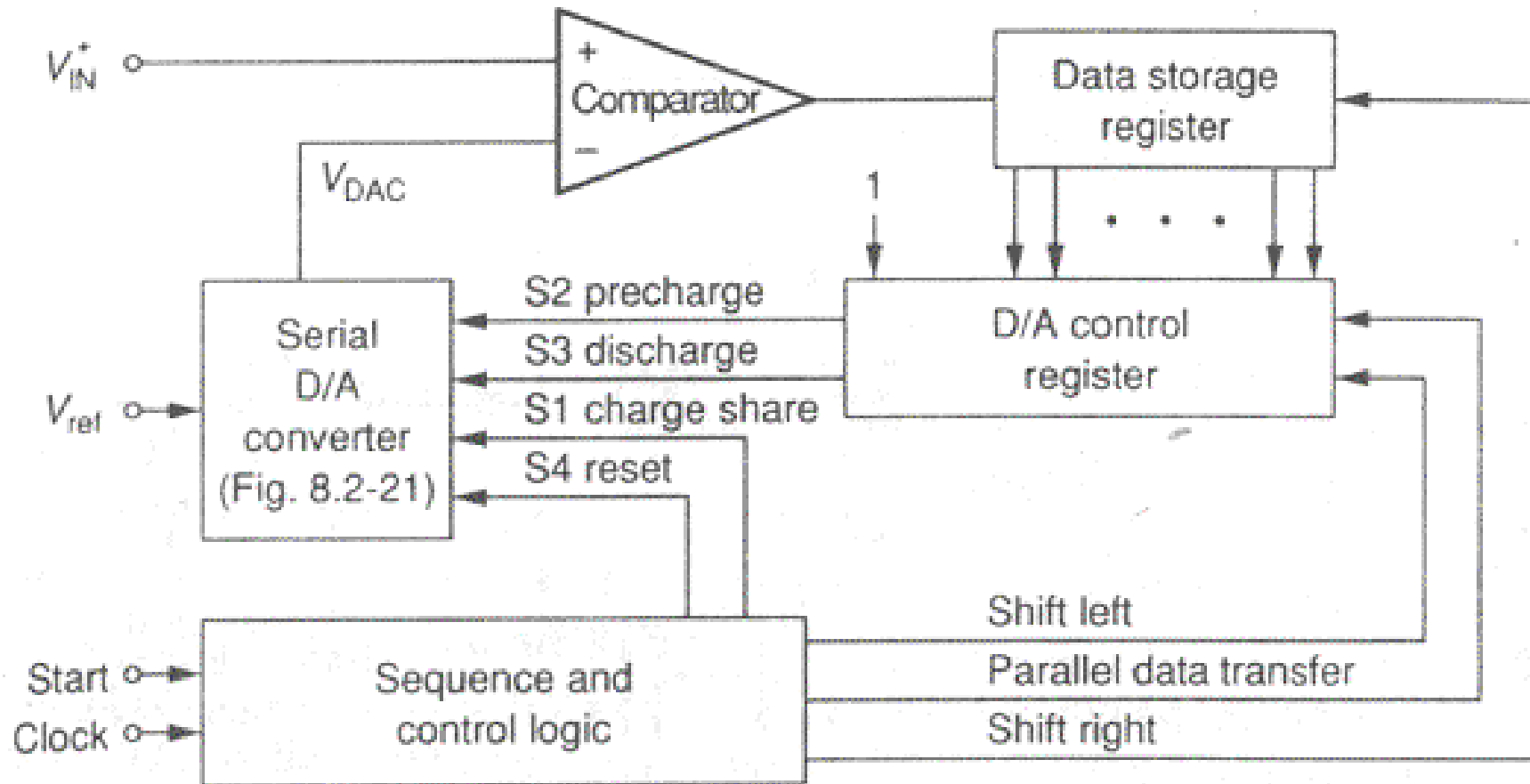
Rys. 9.5. Pięciobitowy przetwornik z sukcesywnym przybliżaniem wykorzystujący rejestr aproksymacyjny.

## 9.2. Przetwornik AC z sukcesywnym przybliżaniem.



Rys. 9.6. Przetwornik z sukcesywnym przybliżaniem wykorzystujący przetwornik CA z podziałem napięcia i ładunku.

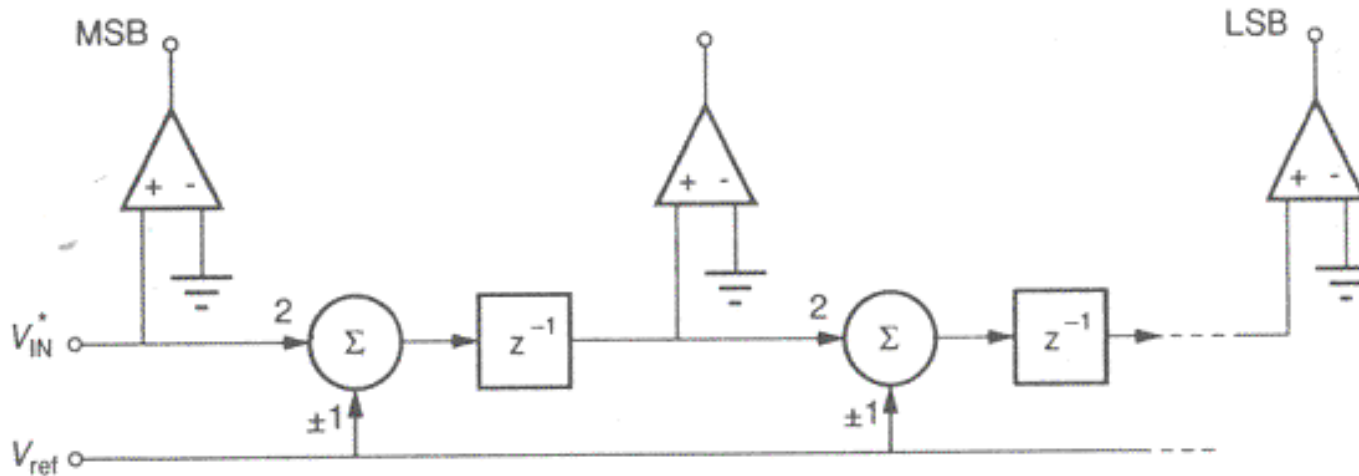
## 9.2. Przetwornik AC z sukcesywnym przybliżaniem.



Rys. 9.7. Szeregowy przetwornik AC wykorzystujący szeregowy przetwornik CA z rys. 7.12.



## 9.3. Szeregowy algorytmiczny przetwornik AC.



Rys. 9.8. Potokowa realizacja algorytmicznego przetwornika AC.

**Przykład 9.1. Ilustracja procesu przetwarzania algorytmicznego przetwornika AC.** Załóżmy, że  $V_{IN}^* = 1.5V$ ,  $V_{REF} = 5V$  a przetwornik jest 4-ro bitowy. Należy wyznaczyć wartość wyjściowego ciągu cyfrowego dla wyżej podanych parametrów oraz sprawdzić poprawność przetworzenia.

Rozwiązanie: Ponieważ  $V_{IN}^* = 1.5V > 0$  więc MSB=1. Następny bit powstaje na skutek porównania wartości  $2*1.5-5=-2$  z zerem czyli bit jest równy zeru. Kolejna porównywana wartość wynosi  $-2*2+5=1$  więc wartość odpowiadającego bitu jest równa 1. Następnie otrzymujemy  $2*1-5=-3$  więc bit jest równy 0. Wartość wynikowa jest równa 1010. Odpowiadająca temu wartość analogowa wynosi

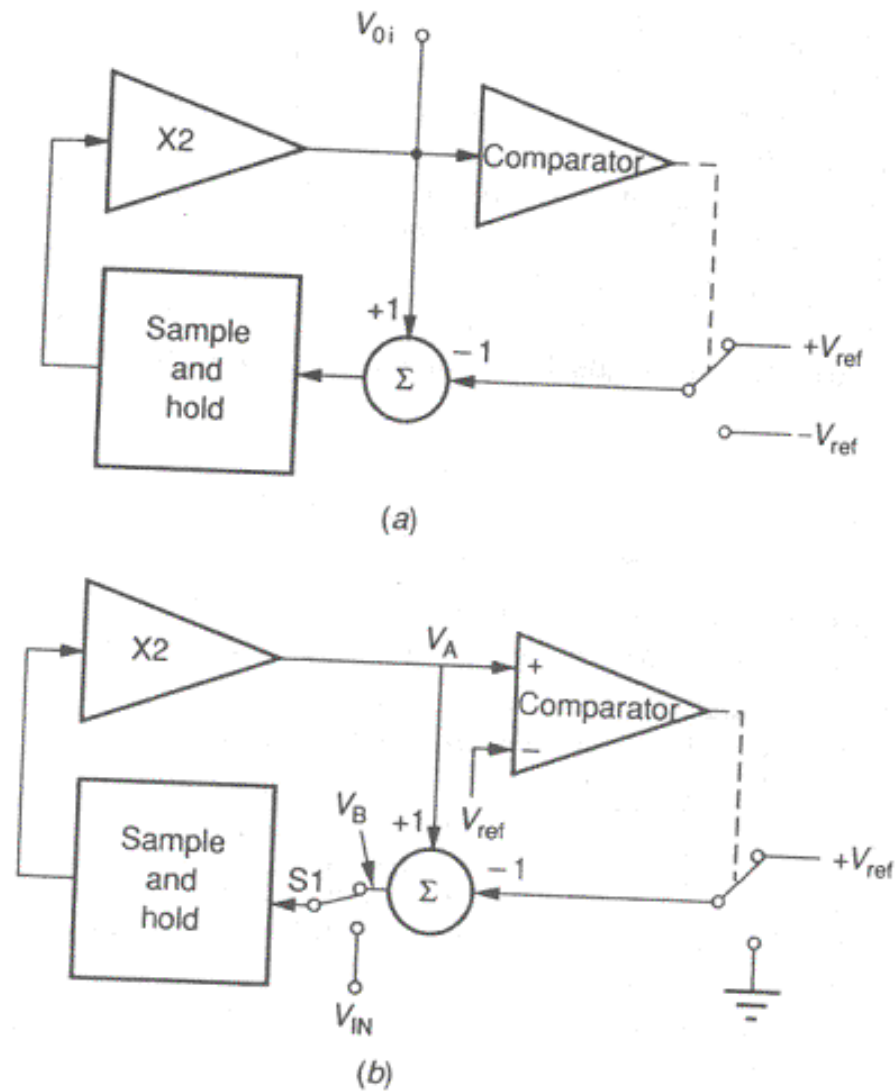
$$V_{ANALOG} = V_{REF} (b_1 2^{-1} + b_2 2^{-2} + b_3 2^{-3} + b_4 2^{-4})$$

gdzie:  $b_i$  jest równe +1 jeśli odpowiadający bit jest równy 1 lub -1 jeśli odpowiadający bit jest zerowy. Podstawiając wartości liczbowe otrzymujemy:

$$V_{ANALOG} = 5V \left( \frac{1}{2} - \frac{1}{4} + \frac{1}{8} - \frac{1}{16} \right) = 1.5625V$$

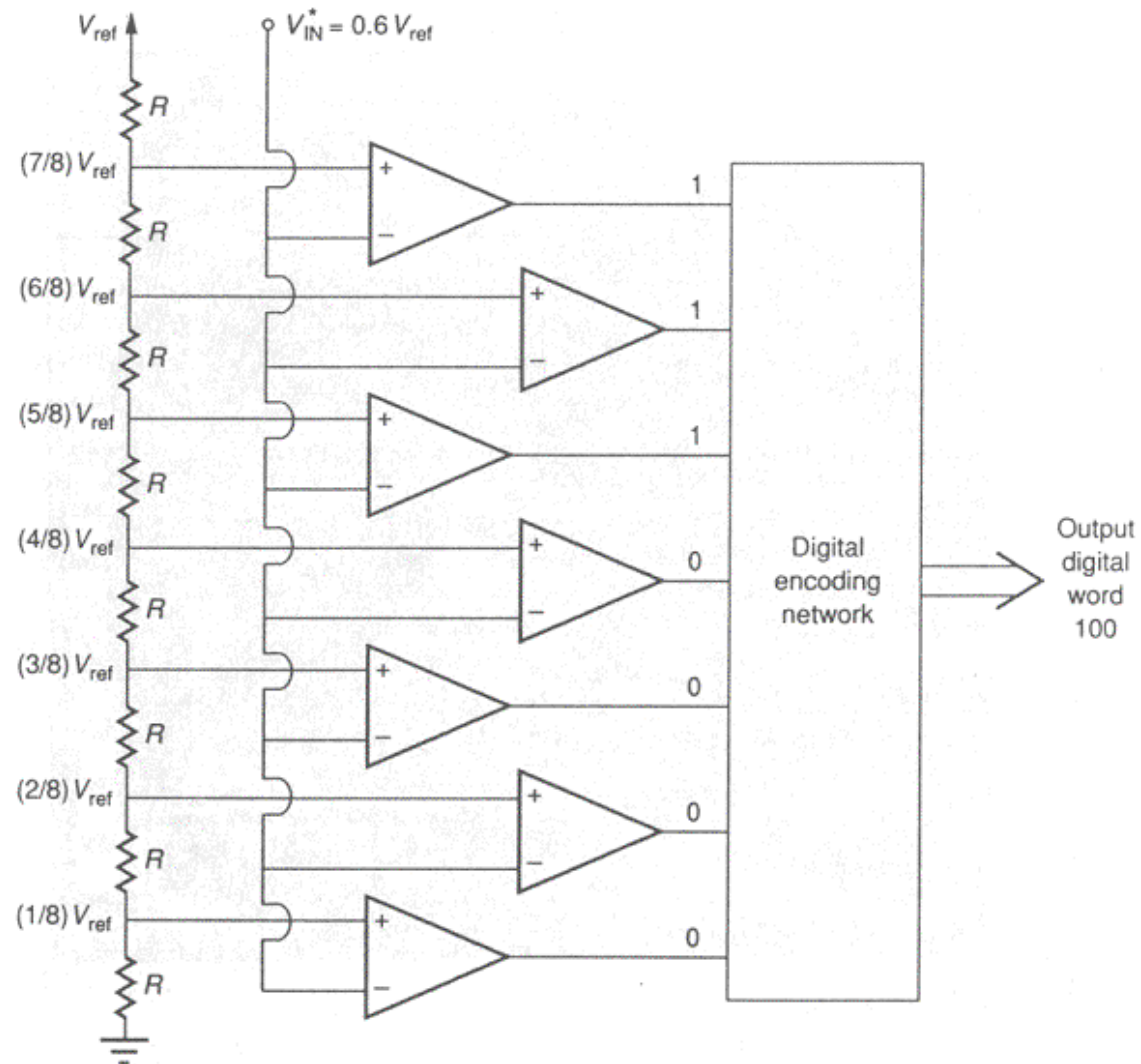
Przy zwiększaniu liczby bitów wartość  $V_{ANALOG}$  powinna dążyć do 1.5V.

### 9.3. Szeregowy algorytmiczny przetwornik AC.



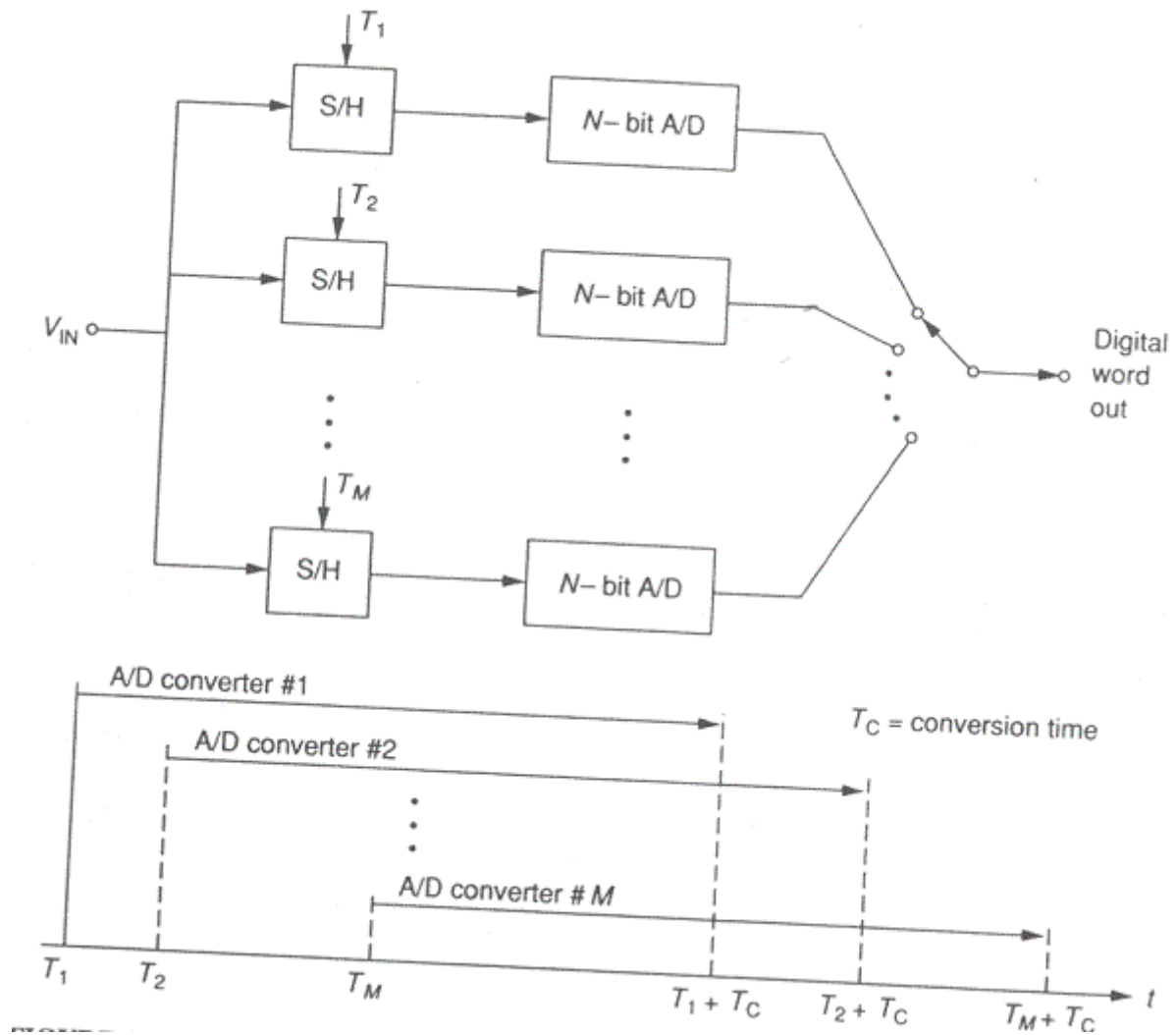
Rys. 9.9. Realizacja iteracyjnego algorytmicznego przetwornika AC (b) na podstawie bloku mnożąco – sumująco - opóźniającego (a).

## 9.4. Równoległe przetworniki AC.



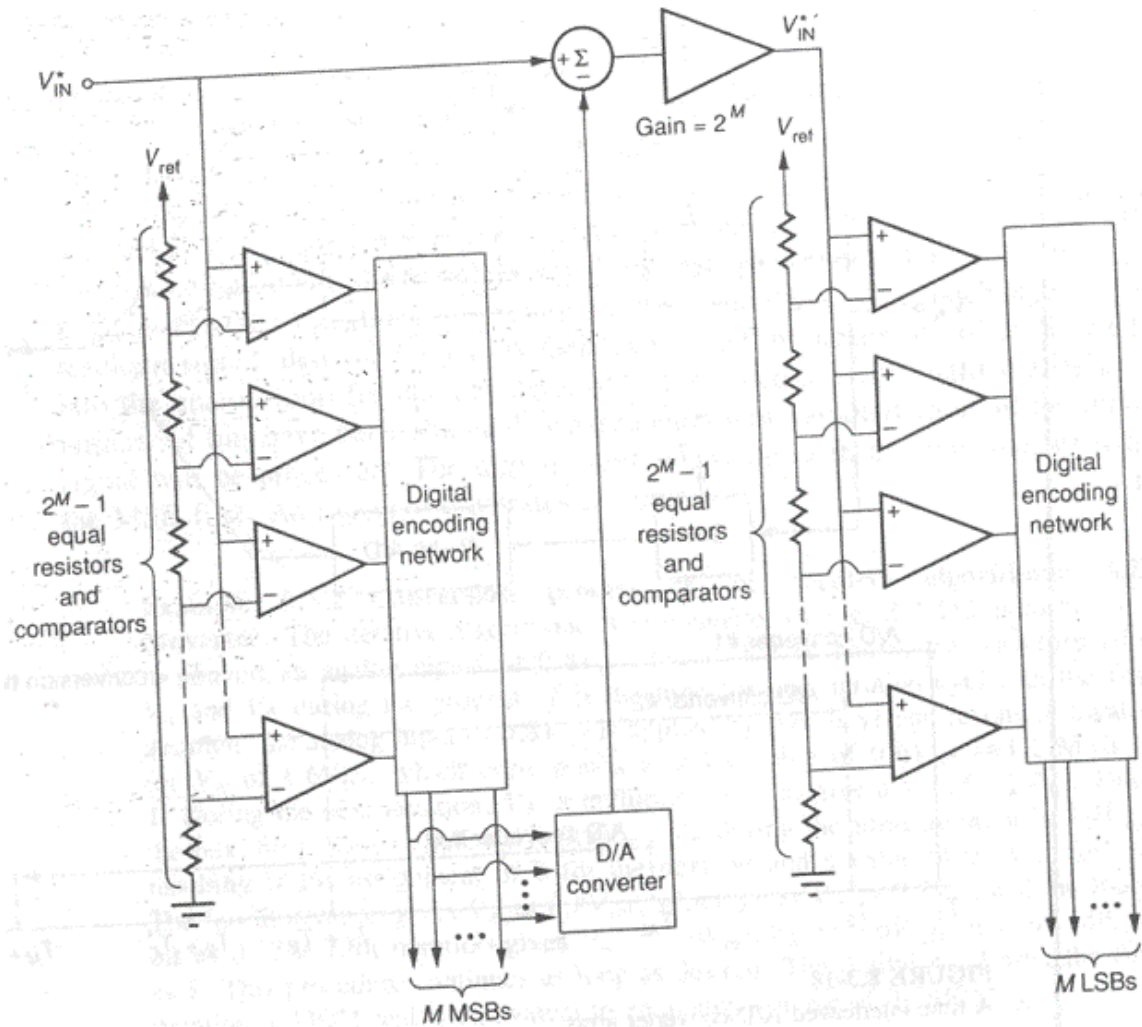
Rys. 9.10. Trzybitowy równoległy przetwornik AC.

## 9.4. Równoległe przetworniki AC.



Rys. 9.11. Przetwornik z przeplotem czasowym.

## 9.4. Równoległe przetworniki AC.



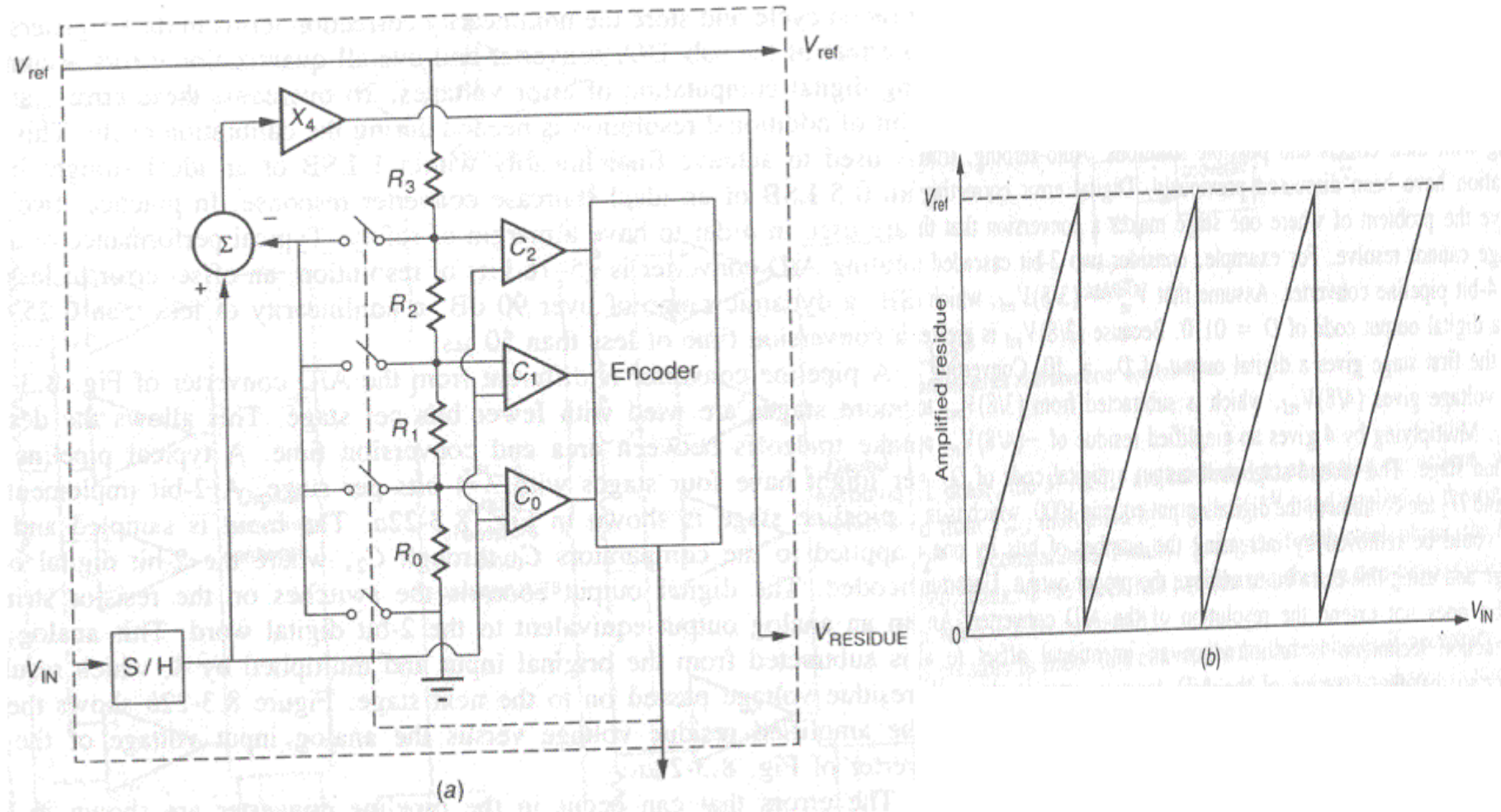
Dla uzyskania rozdzielczości  $2^{2M}$  niezbędnych jest  $2^{M+1}-2$  komparatorów. Czas przetwarzania wydłuża się do 2 cykli.

Rys. 9-12. Równoległo - szeregowy przetwornik AC.

*Tabela 9.1. Porównanie parametrów przetworników AC (1990)*

<b>Typ przetwornika</b>	<b>Charakterystyka</b>
Szeregowy	1-100 przetworzeń/sek., 12-14 bitów dokładności, wymagane stabilne napięcie odniesienia
Sukcesywne przybliżanie	10.000-100.000 przetworzeń/sek., 8-10 bitów dokładności bez dostrajania, 12-14 z dostrajaniem
Równoległy	1.000.000 – 20.000.000 przetworzeń/sek., 7-8 bitów dokładności, duża powierzchnia
Zaawansowane przetworniki AC	8.000-1.000.000 przetworzeń/sek., 12-18 bitów dokładności

## 9.5. Zaawansowane przetworniki AC.



Rys. 9.14. Implementacja b-wbitowego stopnia przetwornika potokowego (a) oraz idealna charakterystyka przenoszenia (b).

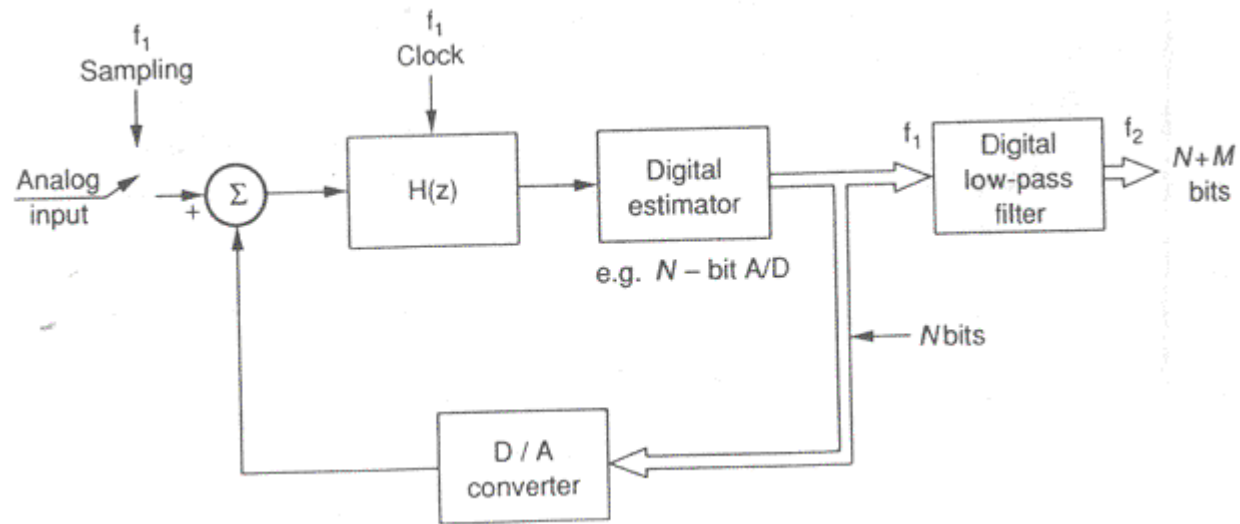
## 9.5. Zaawansowane przetworniki AC.

*Tabela 9.2. Analiza błędów statycznych potokowych przetworników AC.*

<b>Układ</b>	<b>Błędy</b>	<b>Efekty</b>	<b>Rozwiązanie</b>
Próbkująco - pamiętający	przesunięcie	przesunięcie, nieliniowość	auto – zerowanie cyfrowa korekcja
Przetwornik AC	przesunięcie  nieliniowość	przesunięcie nieliniowość nieliniowość	auto – zerowanie cyfrowa korekcja cyfrowa korekcja
Przetwornik CA	nieliniowość	nieliniowość	dostrajanie/kalibr acja
Wzmacniacz międzystopniowy	przesunięcie błąd wzmocnienia	nieliniowość nieliniowość	auto – zerowanie cyfrowa korekcja



## 9.5. Zaawansowane przetworniki AC.



Rys. 9.15. Architektura ogólna przetwornika AC z nadpróbkowaniem.

Teoretyczne polepszenie rozdzielczości (w dB) przetwornika, z inicjalnych  $N$  bitów wynosi:

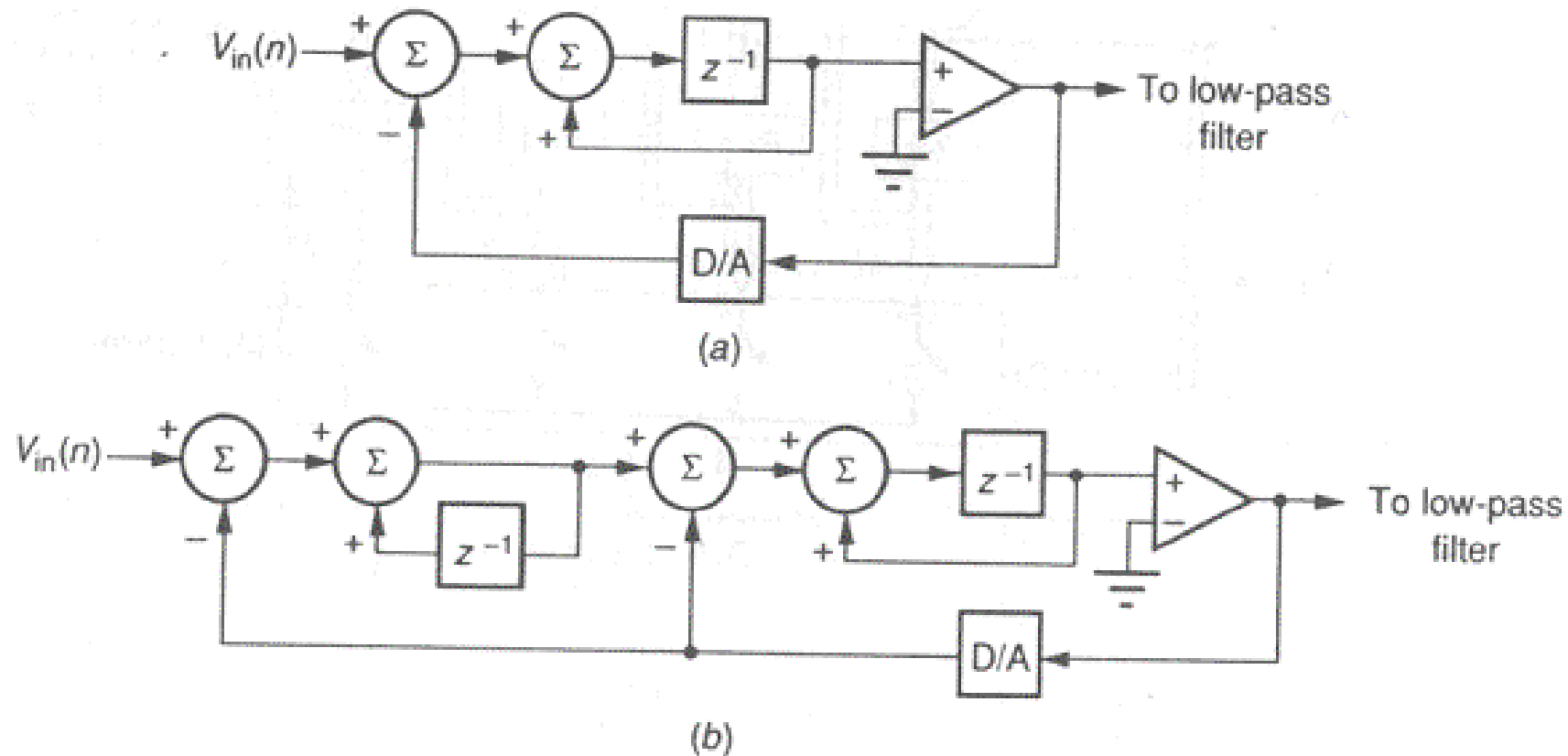
$$\Delta S/N = 9L - 5.2dB$$

gdzie:  $L$  jest liczbą oktaf wartości nadpróbkowania,  $H(z)$  jest filtrem pierwszego rzędu. Jeśli  $H(z)$  jest filtrem drugiego rzędu wówczas wzrost rozdzielczości wynosi

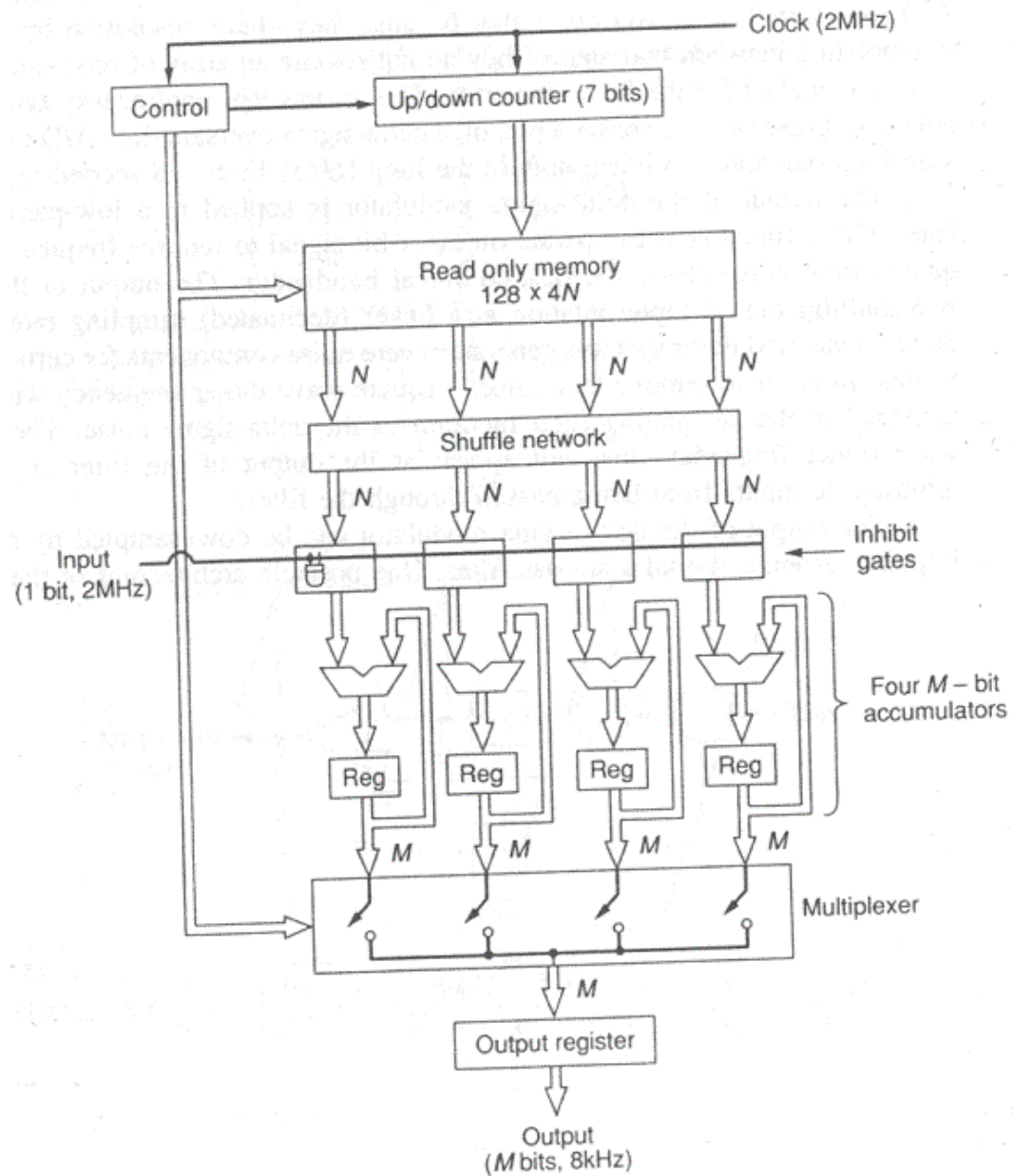
$$\Delta S/N = 15L - 13dB$$

Przy założeniu 128-krotnego nadpróbkowania wzrost dynamiki wynosi 57.8dB dla układu pierwszego rzędu oraz 92dB dla drugiego rzędu.

## 9.5. Zaawansowane przetworniki AC.

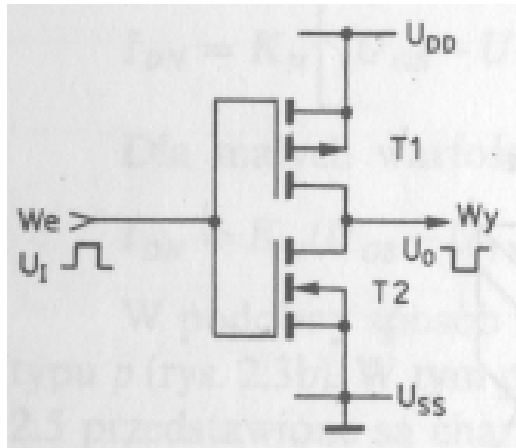


Rys. 9.16. Modulatory delta-sigma z wykorzystaniem jednego (a) i dwóch integratorów (b) w dziedzinie  $z$ .

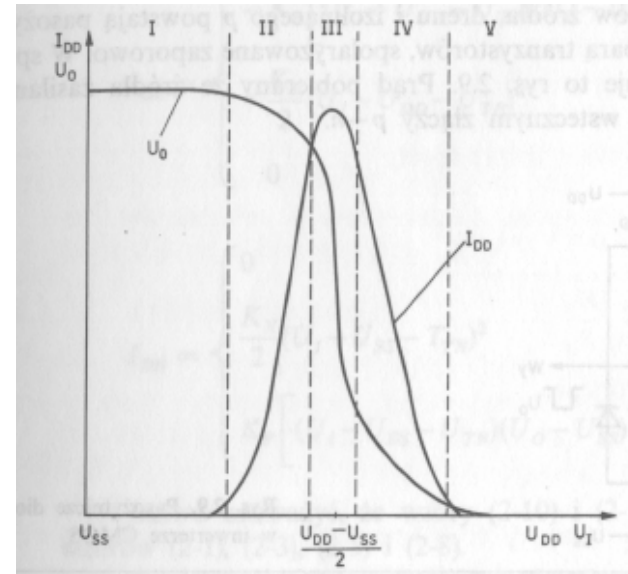


Rys. 9.17. Architektura filtru o skończonej odpowiedzi impulsowej (1024impl). Wejście filtru jednobitowe wyjście  $M$ -bitowe (15), współczynniki filtru  $N$ -bitowe (6).

# 10. Podstawowe układy cyfrowe: bramki i przerzutniki [1,2,3].



Rys. 10.1. Schemat elektryczny inwertera CMOS [4].

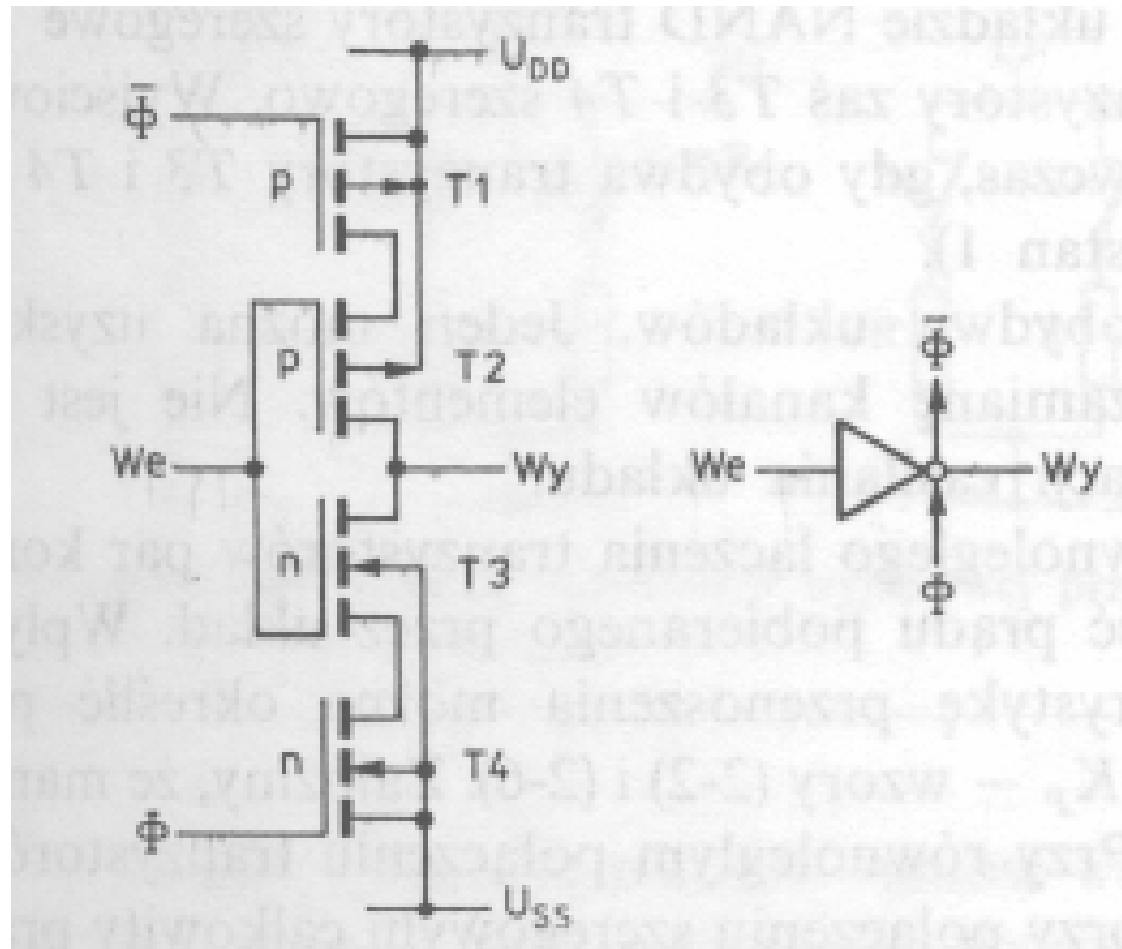


Rys. 10.2. Charakterystyki statyczne inwertera CMOS [4].

Nr obszaru	Zakres napięcia wejściowego	Stan tranzystora	
		T1	T2
I	$0 \leq U_I \leq U_{TN}$	nienasycony	zablokowany
II	$U_{TN} \leq U_I \leq U_O -  U_{TP} $	nienasycony	nasycony
III	$U_O -  U_{TP}  \leq U_I \leq U_O + U_{TN}$	nasycony	nasycony
IV	$U_O + U_{TN} \leq U_I \leq U_{DD} -  U_{TP} $	nasycony	nienasycony
V	$U_{DD} -  U_{TP}  \leq U_I \leq U_{DD}$	zablokowany	nienasycony

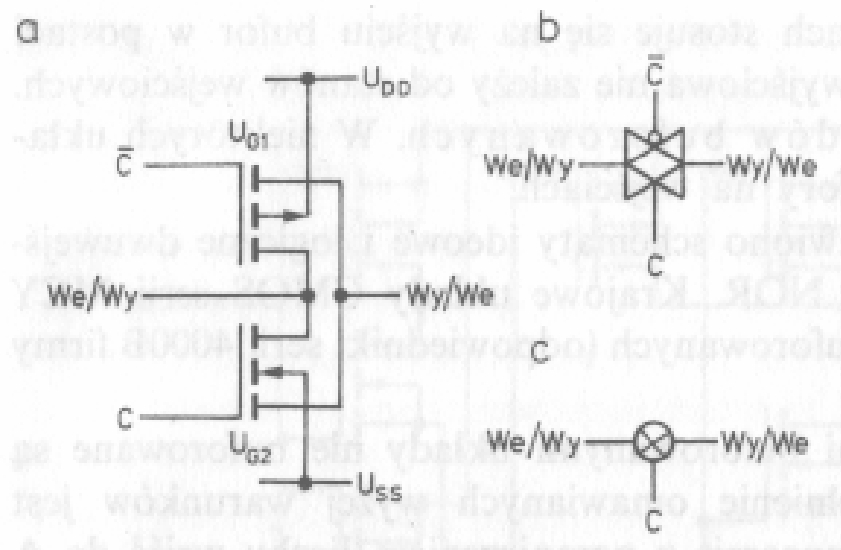
Tabela 10.1. Obszary pracy tranzystorów w inwerterze CMOS [5].

## 10. Inwerter kluczowany.

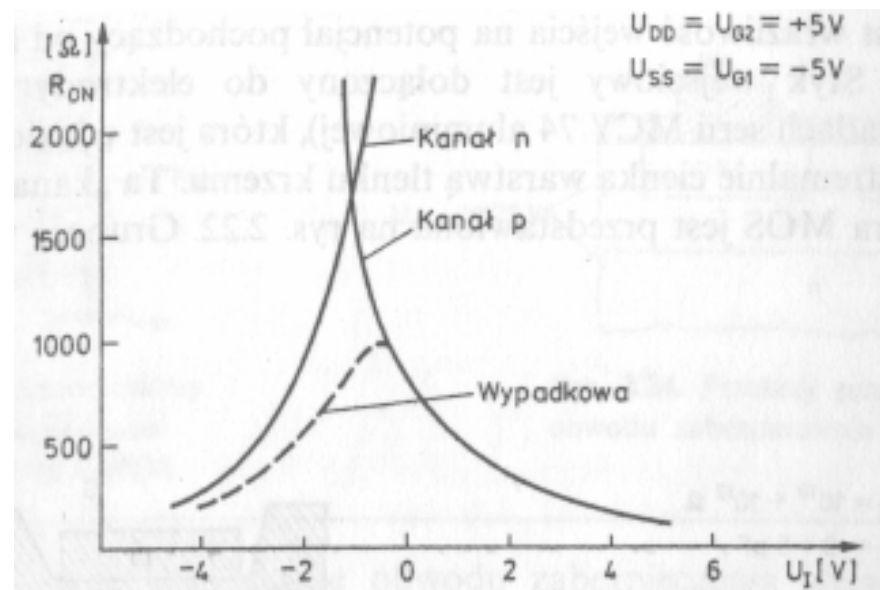


Rys. 10.3. Inwerter kluczowany i jego symbol graficzny [4].

# 10. Bramka transmisyjna.



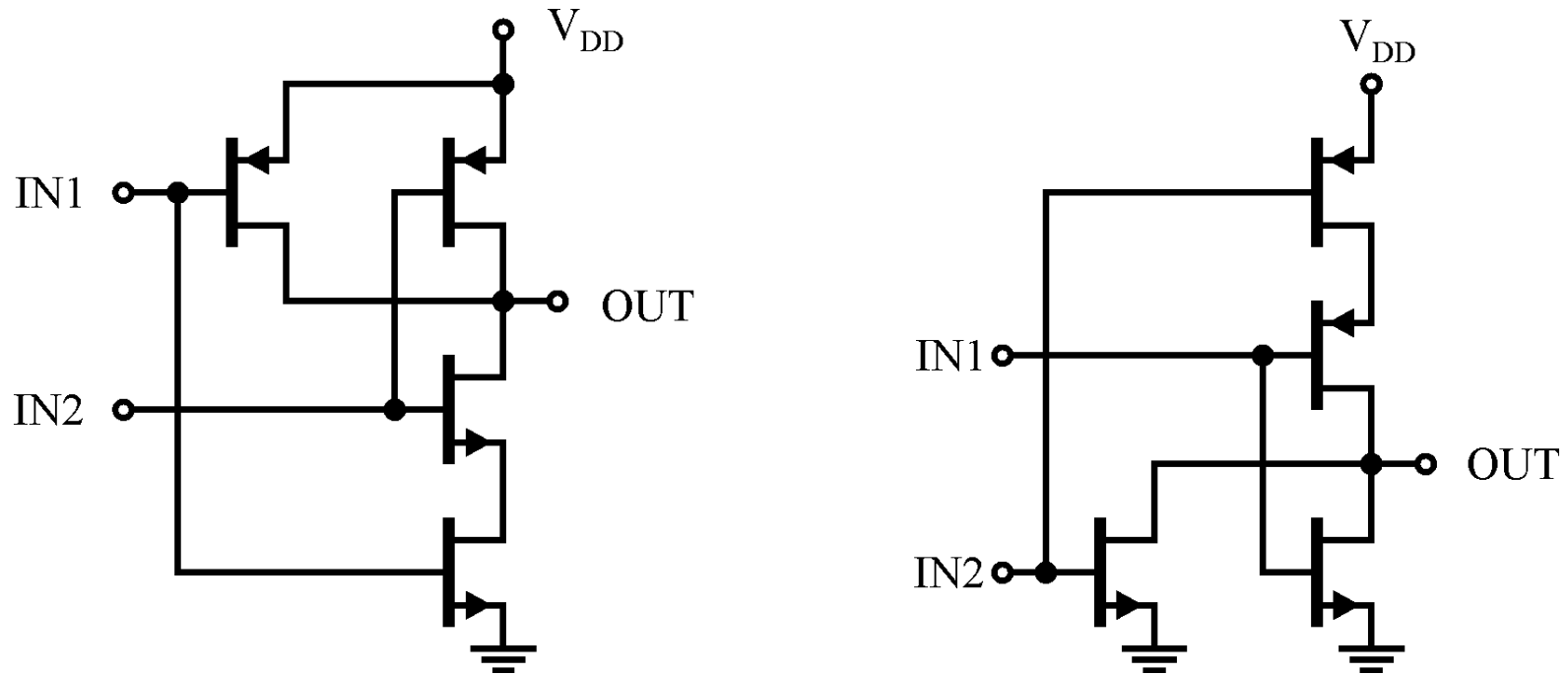
Rys. 10.4. Bramka transmisyjna (a) i stosowane jej symbole graficzne (b) i (c) [4].



Rys. 10.5 Rezystancje poszczególnych tranzystorów MOS oraz wypadkowa rezystancja bramki transmisyjnej [4].

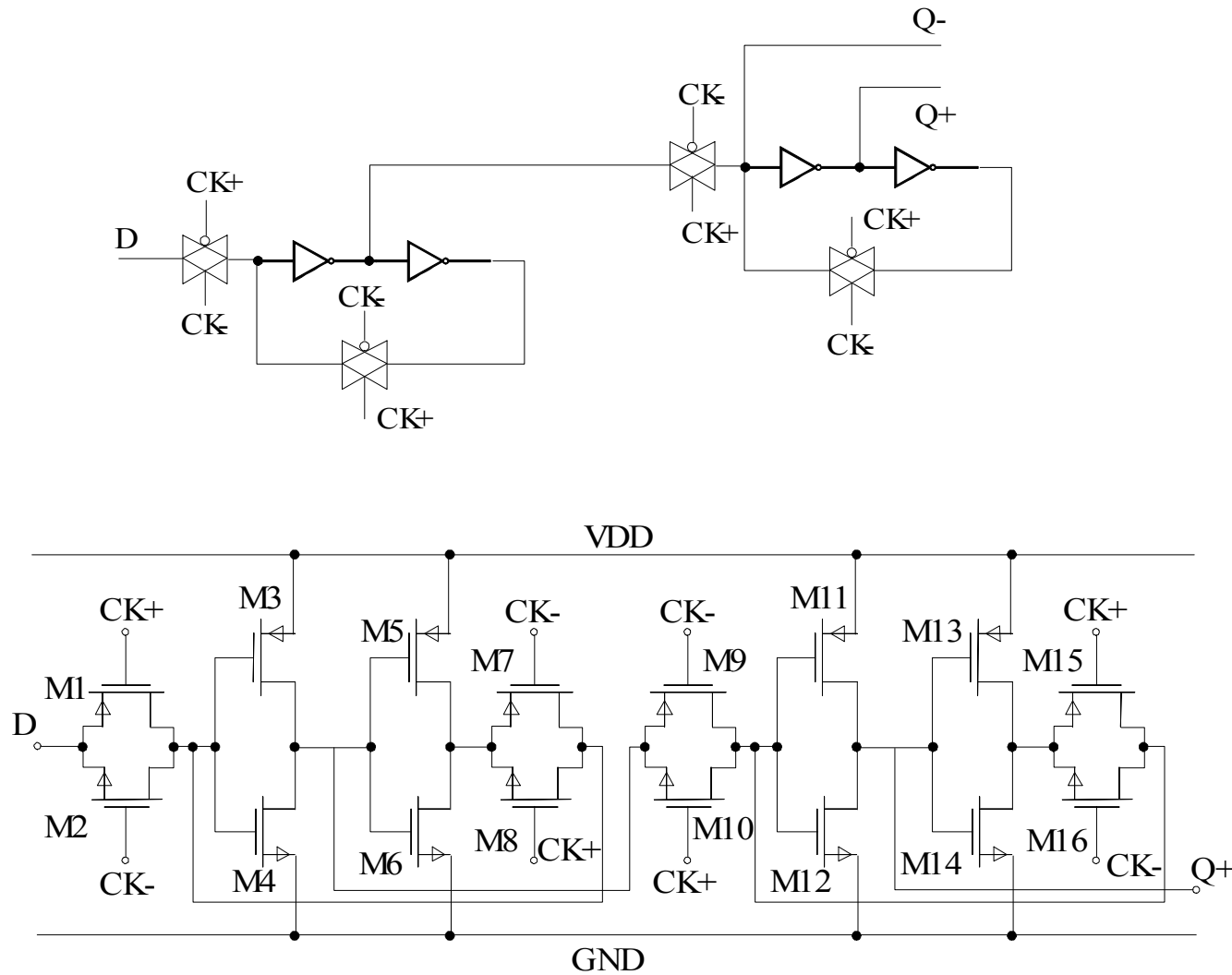
Do domu: wyznaczyć warunek liniowej rezystancji bramki transmisyjnej.

## 10. Bramki CMOS.



Rys. 10.6. Dwuwęściowa bramka NAND (a) oraz NOR (b).

# 10. Przerzutniki.



Rys. 10.7 Schemat blokowy (u góry) i szczegółowy (u dołu) przerzutnika typu D sterowanego narastającym zboczem sygnału zegarowego.



# 11. Szacowanie czasów propagacji i wybór optymalnych wymiarów tranzystorów.

Podstawowe równania dla tranzystora MOS:

$$V_T = V_{T0} + \gamma(\sqrt{\phi - v_{BS}} - \sqrt{\phi}) \quad K' = \mu C_{OX}$$

prąd drenu w obszarze omowym:

$$i_D = \frac{K'W}{L}(v_{GS} - V_T - v_{DS}/2)v_{DS}$$

prąd drenu w obszarze nasycenia:

$$i_D = \frac{K'W}{2L}(v_{GS} - V_T)^2(1 + \lambda v_{DS})$$

gdzie  $V_T$  – napięcie progowe [V],

$V_{T0}$  – napięcie progowe przy zerowym napięciu podłóże-źródło, t.j. dla  $V_{BS}=0$  [V],

$\gamma$ - współczynnik podłozowy  $[\sqrt{V}]$ ,

$\phi$ - potencjał powierzchniowy (około 0.7V),

$\mu$ - ruchliwość nośników w kanale  $[m^2/(sec V)]$ ,

$C_{OX}$  – gęstość powierzchniowa pojemności bramki  $[F/m^2]$ ,

$\lambda$ - współczynnik modulacji długości kanału  $[1/V]$ ,

$W, L$  – odpowiednio szerokość i długość obszaru kanału [m].

**Stała czasowa procesu:** Jest to stała wyznaczona jako iloczyn minimalnej pojemności bramki tranzystora oraz rezystancji dla zerowego napięcia  $v_{DS}$  przy sterowaniu bramki z napięcia zasilającego:

$$\tau_P = R_{SS}C_G$$

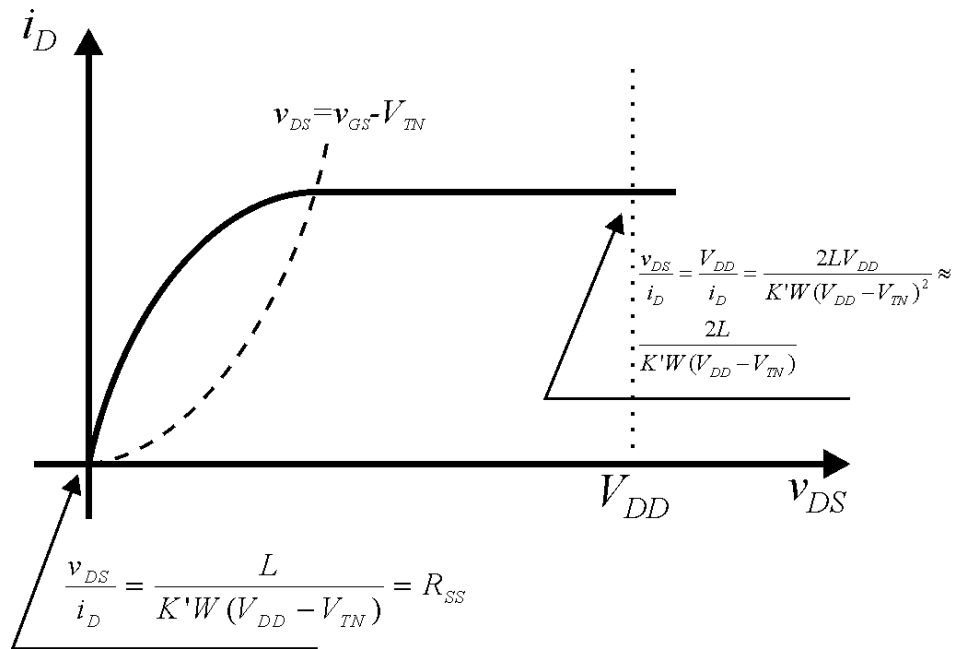
gdzie:

$$C_G = W_1L_1C_{OX} \quad , \quad R_{SS} = \frac{L_1}{K'W_1(V_{DD} - V_{TN})}$$

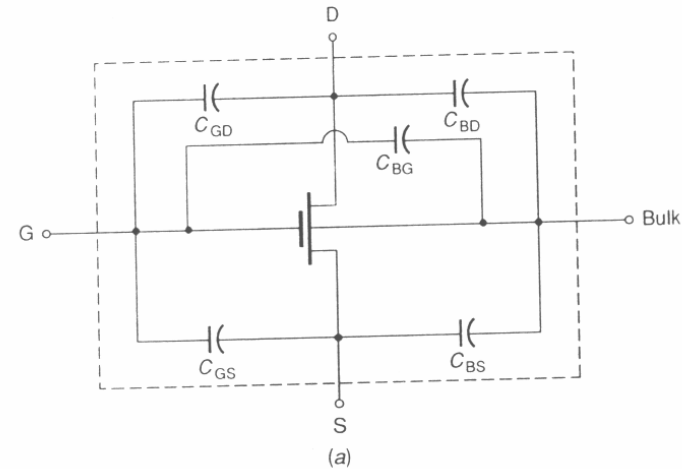
stąd

$$\tau_P = \frac{L_1^2 C_{OX}}{K'(V_{DD} - V_{TN})}$$

# 11. Propagacja - układy cyfrowe CMOS.



Rys. 11.3. Charakterystyki tranzystora M1 inwertera CMOS.

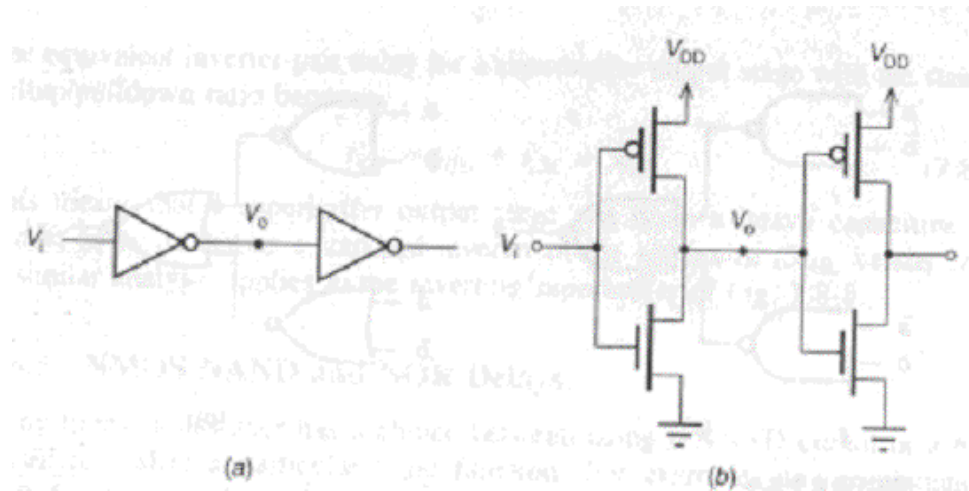


	Region		
	Cutoff	Ohmic	Saturation
$C_{GD}$	$C_{OX}WL_D$	$C_{OX}WL_D + \frac{1}{2}WLC_{OX}$	$C_{OX}WL_D$
$C_{GS}$	$C_{OX}WL_D$	$C_{OX}WL_D + \frac{1}{2}WLC_{OX}$	$C_{OX}WL_D + \frac{2}{3}WLC_{OX}$
$C_{BG}$	$C_{OX}WL$	0	0
$C_{BD}$	$C_{BD1}$	$C_{BD1} + \frac{C_{BC1}}{2}$	$C_{BD1}$
$C_{BS}$	$C_{BS1}$	$C_{BS1} + \frac{C_{BC1}}{2}$	$C_{BS1} + \frac{2}{3}C_{BC1}$

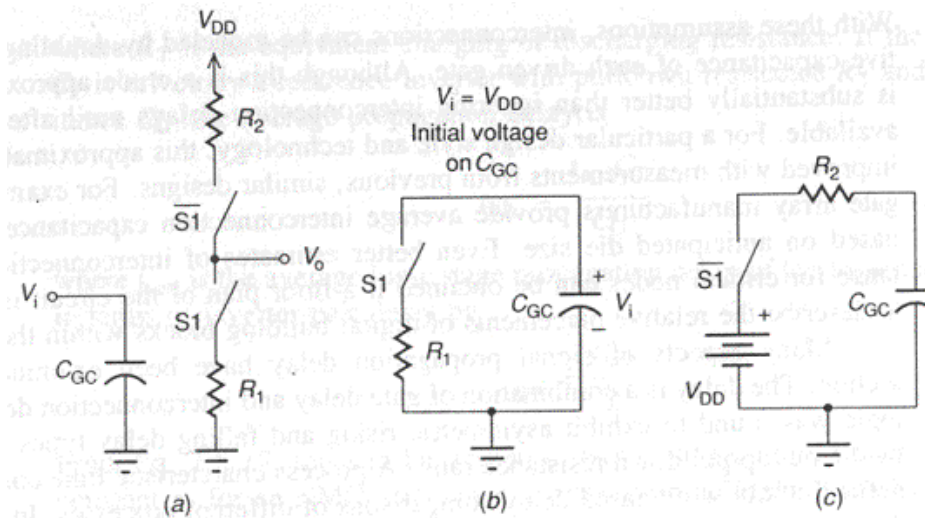
(b)

Rys. 11.2. Pojemności pasożytnicze tranzystora MOS.  $L_D$  – dyfuzja boczna kanału tranzystora MOS, pozostałe symbole wg zwyczajowego znaczenia.

# 11. Propagacja - układy cyfrowe CMOS.



Rys. 11.1. Inwerter CMOS sterujący następnym inwerterem.



Rys. 11.3. Układ równoważny do analizy opóźnienia inwertera CMOS. (a) uproszczony model RC, (b) model w czasie zmiany stanu wyjścia z wysokiego na niski, (c) model dla zmian stanu niski – wysoki.

# 11. Propagacja - układy cyfrowe CMOS.

Pojemność bramki tranzystora N:

$$C_{GN} = C_G \approx C_{OX} W_N L_N$$

Pojemność bramki tranzystora P:

$$C_{GP} = C_G \approx C_{OX} W_P L_P$$

Wejściowa pojemność całkowita bramki:

$$C_{GC} = C_{GN} + C_{GP}$$

Czas narastania sygnału:

$$t_{LH} = 2R_2 C_{GC}$$

Czas opadania sygnału:

$$t_{HL} = 2R_1 C_{GC}$$

Szacunkowa rezystancja tranzystora M1:

$$R_1 = \frac{2L_1}{K'W_1(V_{DD} - V_{TN})} = 2R_{SS}$$

Szacunkowa rezystancja tranzystora M2:

$$R_2 = \frac{2L_2}{K'W_2(V_{DD} + V_{TP})}$$

# 11. Propagacja - układy cyfrowe CMOS.

**Przykład 11.1.** Należy obliczyć opóźnienie kaskady inwerterów CMOS w technologii 2um. Dane:  $K'_N=45\mu\text{A}/\text{V}^2$ ,  $K'_P=15\mu\text{A}/\text{V}^2$ , tranzystory dobrane dla symetrycznego sterowania wyjścia, napięcia progowe  $V_{TN}=1\text{V}$ ,  $V_{TP}=-1\text{V}$ ,  $C_{OX}=1\text{fF}/\mu\text{m}^2$ . Należy ustalić opóźnienia wyrażone w sekundach oraz w stosunku do stałej czasowej procesu.

**Rozwiązanie:** Dla jednakowego sterowania wyjściem w stanie niskim i wysokim musi być spełniony warunek

$K'_N \frac{W_1}{L_1} = K'_P \frac{W_2}{L_2}$ , jeśli więc przyjmiemy, że tranzystor M1 będzie miał minimalne dostępne

wymiary  $W_1=2\mu\text{m}$ ,  $L_1=2\mu\text{m}$  wówczas M2 będzie miał wymiary  $W_2=6\mu\text{m}$ ,  $L_2=2\mu\text{m}$ . Pojemność wejściowa inwertera będzie równa

$$C_{GC} = C_{GN} + C_{GP} = C_{OX}L_1(W_1 + W_2) = 1\text{fF} * 2\mu\text{m}(2 + 6)\mu\text{m} = 16\text{fF}$$

stała czasowa procesu wynosi

$$\tau_P = \frac{L_1^2 C_{OX}}{K'(V_{DD} - V_{TN})} = \frac{(2\mu\text{m})^2 1\text{fF} / \mu\text{m}^2}{45\mu\text{A} / \text{V}^2 (5\text{V} - 1\text{V})} = 0.022\text{ns}, \text{ rezystancje } R_1 \text{ oraz } R_2 \text{ są równe}$$

$$R_1 = R_2 = \frac{2L_1}{K'W_1(V_{DD} - V_{TN})} = 11.1\text{k}\Omega. \text{ Czasy propagacji są więc równe}$$

$t_{LH} = 2R_2C_{GC} = t_{HL} = 2R_1C_{GC} = 0.355\text{ns}$ , natomiast czas przejścia sygnału przez parę inwerterów będzie równy

$$t_{pid} = t_{LH} + t_{HL} = 0.71\text{ns}. \text{ Wartość ta w stosunku do stałej czasowej procesu wynosi } t_{pid} = 32\tau_P$$

W powyższym przykładzie rozważono istnienie wyłącznie pojemności bramkowych przy zaniechaniu wszystkich pozostałych. W rzeczywistości istotną rolę odgrywają również pojemności złączowe drenów i źródeł tranzystorów oraz pojemności połączeń.

## Porównanie skalowań inwertewra dla danych jak w przykładzie 11.1

$$K_N=45\mu\text{A}/\text{V}^2, K_P=15\mu\text{A}/\text{V}^2, V_{TN}=1\text{V}, V_{TP}=-1\text{V}, C_{OX}=1\text{fF}/\mu\text{m}^2, V_{DD}=5\text{V}$$

### Równe prądy wyjściowe

$$(W/L)_N=2\mu\text{m}/2\mu\text{m} \quad (W/L)_P=6\mu\text{m}/2\mu\text{m}$$

$$C_{GC}=1\text{fF}/\mu\text{m}^2*(4\mu\text{m}^2+12\mu\text{m}^2)=16\text{fF}$$

$$R_N=2*2\mu\text{m}/[45\mu\text{A}/\text{V}^2*2\mu\text{m}(5\text{V}-1\text{V})]=$$
$$=11,1\text{k}\Omega$$

$$R_P=2*2\mu\text{m}/[15\mu\text{A}/\text{V}^2*6\mu\text{m}(5\text{V}-1\text{V})]=$$
$$=11,1\text{k}\Omega$$

$$t_{LH}=2R_P*C_{GC}=0,3552\text{ns}$$

$$t_{HL}=2R_N*C_{GC}=0,3552\text{ns}$$

$$t_{pid} = t_{LH} + t_{HL} = 0,7104\text{ns}$$

Powierzchnia tranzystorów:

$$2*2 + 2*6 = 16\mu\text{m}^2$$

### Minimalne wymiary

$$(W/L)_N=2\mu\text{m}/2\mu\text{m} \quad (W/L)_P=2\mu\text{m}/2\mu\text{m}$$

$$C_{GC}=1\text{fF}/\mu\text{m}^2*(4\mu\text{m}^2+4\mu\text{m}^2)=8\text{fF}$$

$$R_N=2*2\mu\text{m}/[45\mu\text{A}/\text{V}^2*2\mu\text{m}(5\text{V}-1\text{V})]=$$
$$=11,1\text{k}\Omega$$

$$R_P=2*2\mu\text{m}/[15\mu\text{A}/\text{V}^2*2\mu\text{m}(5\text{V}-1\text{V})]=$$
$$=33,3\text{k}\Omega$$

$$t_{LH}=2R_P*C_{GC}=0,5328\text{ns}$$

$$t_{HL}=2R_N*C_{GC}=0,1776\text{ns}$$

$$t_{pid} = t_{LH} + t_{HL} = 0,7104\text{ns} \quad !!!$$

$$2*2 + 2*2 = 8\mu\text{m}^2$$

## Porównanie bramek dwuwejściowych dla minimalnego skalowania i danych jak w przykładzie 11.1

$$K_N=45\mu\text{A}/\text{V}^2, K_P=15\mu\text{A}/\text{V}^2, V_{TN}=1\text{V}, V_{TP}=-1\text{V}, C_{OX}=1\text{fF}/\mu\text{m}^2, V_{DD}=5\text{V}$$

### Bramka NAND

### Bramka NOR

$$(W/L)_N=2\mu\text{m}/2\mu\text{m} \quad (W/L)_P=2\mu\text{m}/2\mu\text{m}$$

$$C_{GC}=2*1\text{fF}/\mu\text{m}^2*4\mu\text{m}^2=8\text{fF}$$

$$R_N=2*2\mu\text{m}/[45\mu\text{A}/\text{V}^2*2\mu\text{m}(5\text{V}-1\text{V})] = 11,1\text{k}\Omega$$

$$R_P=2*2\mu\text{m}/[15\mu\text{A}/\text{V}^2*2\mu\text{m}(5\text{V}-1\text{V})] = 33,3\text{k}\Omega$$

$$t_{LH}=2R_P*C_{GC}= 0,5328\text{ns}$$

$$t_{LH}=2*2R_P*C_{GC}= 1,0656\text{ns}$$

$$t_{HL}=2*2*R_N*C_{GC}= 0,3552\text{ns}$$

$$t_{HL}=2R_N*C_{GC}= 0,1776\text{ns}$$

$$t_{pid} = t_{LH} + t_{HL} = \mathbf{0,888\text{ns}}$$

$$t_{pid} = t_{LH} + t_{HL} = \mathbf{1,2432\text{ns} !!!}$$

Powierzchnia tranzystorów:

$$2*2 *4 =16\mu\text{m}^2$$

# 11. Propagacja - układy cyfrowe CMOS.

**Obciążenia pojemnościowe:**

$$t_{dly} = \frac{t_{apd} C_T}{C_G} \quad (11.8)$$

$t_{dly}$  – średni czas propagacji,  $C_T$  – pojemność obciążająca,  $C_G$  – pojemność bramki jednostkowej,  
 $t_{apd}$  – średni czas propagacji dla danej rodziny wyznaczony dla pary inwerterów jednostkowych

$$t_{apd} = \frac{t_{ipd}}{2} \quad (11.9)$$

**Sterowanie wieloma bramkami:**

$$t_{stage} = t_{apd} f \quad (11.10)$$

gdzie  $t_{stage}$  – opóźnienie danego stopnia logicznego,  $f$  – równoważna liczba jednostkowych inwerterów,  $f=C_T/C_G$ . Stąd łatwo można oszacować opóźnienie danej ścieżki sygnałowej o  $N$  poziomach logicznych, o równoważnym obciążeniu na danym poziomie równym  $f_i$ , jako:

$$t_{path} = t_{apd} \sum_{i=1}^N f_i \quad (11.11)$$



# 11. Propagacja - układy cyfrowe CMOS.

## ***Uwzględnienie pojemności połączeń:***

Jeśli przyjmiemy że na danym poziomie logicznym obciążenie pojemnościowe jest równe sumie dwóch składowych tj. wynikających z wielokrotnych wejść bramek oraz pojemności połączeń wówczas opóźnienie w danym węźle będzie równe:

$$t_{node} = t_{apd}(f + m) \quad (11.12)$$

gdzie  $m$  odpowiada za część pojemności przypadającą na połączenia. Uwzględniając pojemności połączeń opóźnienie danej ścieżki jest równe:

$$t_{path} = t_{apd} \sum_{i=1}^N (f_i + m_i) \quad (11.13)$$

# 11. Propagacja - układy cyfrowe CMOS.

## **Zwiększenie wymiarów tranzystorów:**

Zwiększenie stosunku W/L tranzystorów bramek powoduje proporcjonalną zmianę rezystancji a co za tym idzie zmniejszenie czasu propagacji. Jeśli jako  $\theta$  oznaczymy wartość zwielokrotnienia tych wymiarów wówczas otrzymamy odpowiednie skrócenie czasu propagacji oraz zwiększenie pojemności wejściowej takiej bramki ( $\theta C_G$ ). Opóźnienie powiększonego inwertera wynosi więc:

$$t_{inv} = \frac{t_{apd} C_T}{\theta C_G} \quad (11.14)$$

Uwzględniając powiększoną wydajność bramek opóźnienie danej ścieżki sygnałowej można przybliżyć wzorem:

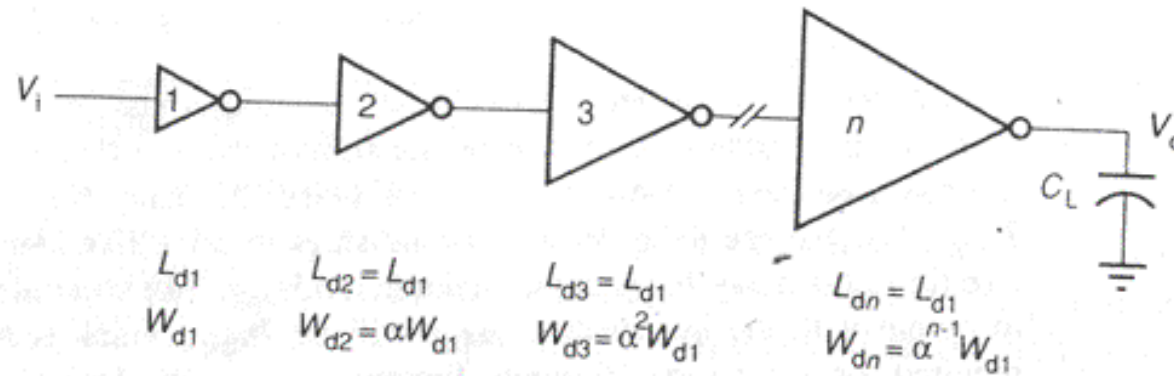
$$t_{path} = t_{apd} \sum_{i=1}^N \frac{f_i + m_i}{\theta_i} \quad (11.15)$$

**Zadanie do domu:** wyznaczyć opóźnienie jak w przykładzie 11.1 ale dla równych wydajności prądowych bramek typu NAND i NOR Należy porównać obie bramki pod względem  $t_{apd}$  oraz użytej powierzchni.

# 12. Optymalizacja opóźnienia cyfrowych bloków wyjściowych.

Tabela 12.1. Typowe wartości obciążeń pojemnościowych.

Obciążenie	$C_T$	$C_T/C_G$
Pojedynczy inwerter referencyjny	6.3fF	1
Dziesięć inwerterów	63fF	10
Szyna metalowa 4mm x 4.5um	0.450pF	71
Standardowy PAD 100um x 100um	0.25pF	40
Sonda oscyloskopu	10.0pF	1587
Wyprowadzenie adresowe chipa pamięci	5.0pF	794



Rys. 12.1. Kaskada inwerterów o zwiększających się wymiarach i przez to sile sterowania.

# 12. Optymalizacja opóźnienia cyfrowych bloków wyjściowych.

Bezpośrednie sterowanie obciążeniem:

$$t_{dir} = \frac{t_{apd} C_L}{C_G}$$

Współczynniki skalowania / liczba stopni:

$$\alpha = \left( \frac{C_L}{C_G} \right)^{1/n} \quad n = \frac{\ln C_L / C_G}{\ln \alpha}$$

Obciążenie pojemnościowe stopnia skalowanego:

$$C_{Lk} = \alpha^k C_G$$

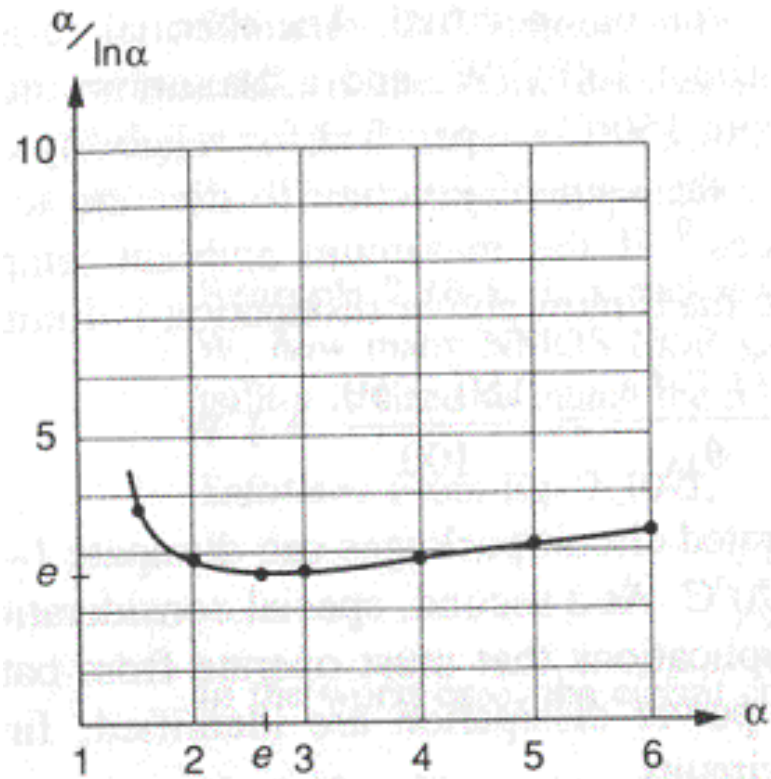
Opóźnienie ścieżki skalowanej:

$$t_{cas} = n \alpha t_{apd}$$

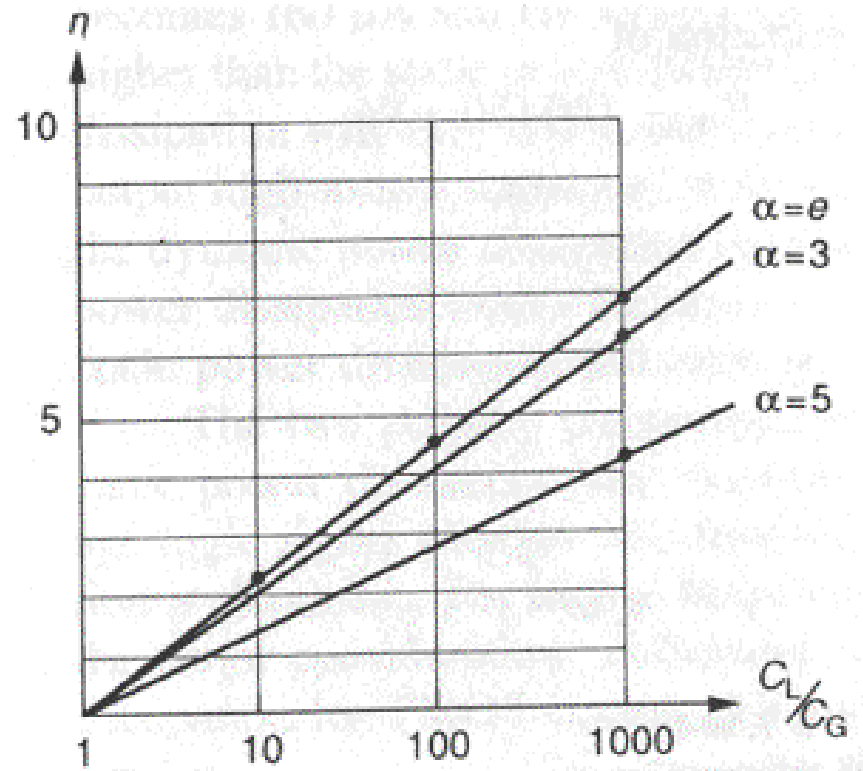
Stosunek opóźnień:

$$r = \frac{t_{cas}}{t_{dir}} = \frac{n \alpha t_{apd}}{t_{apd} C_L / C_G} = \frac{n \alpha C_G}{C_L} \quad r = \frac{\ln(C_L / C_G)}{C_L / C_G} \frac{\alpha}{\ln \alpha}$$

## 12. Optymalizacja opóźnienia cyfrowych bloków wyjściowych.



Rys. 12.2. Wykres wyrażenia  $\alpha / \ln \alpha$  w funkcji  $\alpha$ .



Rys. 12.3. Liczba stopni w funkcji stosunku pojemności  $C_L / C_G$ .

## 12. Optymalizacja opóźnienia cyfrowych bloków wyjściowych.

**Przykład 12.1** Należy wyznaczyć opóźnienie sygnału dla sterowania inwerterem jednostkowym (jak w przykładzie 11.1) oraz kaskadą optymalnie dobranych inwerterów PAdA o wymiarach 100um x 100um dla typowej technologii CMOS 2um o pojemności powierzchniowej warstwy metalu wynoszącej 0.025fF/um<sup>2</sup>. Do PAdA dołączona jest sonda oscyloskopu o pojemności 10pF. Minimalny tranzystor 2 x 2 um, C<sub>OX</sub>=1fF/um<sup>2</sup>. Opóźnienie należy podać w stosunku do czasu propagacji inwertera jednostkowego t<sub>apd</sub> oraz w sekundach dla danych jak w przykładzie 11.1. Należy również porównać zużycie powierzchni krzemu.

*Rozwiązanie:* Pojemność PAdA wynosi:

$$C_{PAD} = 100um * 100um * 0.025 fF / um^2 = 0.25 pF$$

Pojemność obciążenia jest więc równa

$$C_L = C_{PAD} + C_{SONDA} = 10.25 pF$$

$$C_G = 3 * 2um * 2um * 1 fF / um^2 + 2um * 2um * 1 fF / um^2 = 16 fF$$

Opóźnienie przy bezpośrednim sterowaniu wynosi:

$$t_{dir} = \frac{t_{apd} C_L}{C_G} = t_{apd} \frac{10.25 pF}{16 fF} = 640.625 t_{apd}$$

Wyrażając powyższe w bezwzględnych jednostkach czasu wynosi

$$t_{dir} = 640.625 t_{apd} = 640.625 \frac{t_{ipd}}{2} = 640.625 \frac{0.71 ns}{2} = 227.4 ns$$

(odpowiadająca częstotliwość = 1/2/t<sub>dir</sub>=2.199MHz !!!)

## 12. Optymalizacja opóźnienia cyfrowych bloków wyjściowych.

Dla sterowania kaskadą inwerterów wybieramy optymalne  $\alpha=e$ , wówczas

$$n = \frac{\ln C_L / C_G}{\ln \alpha} = 6.462, \text{ wybieramy najbliższą całkowitą wartość równą 6. Współczynnik } \alpha$$

modyfikuje się do wartości

$$\alpha = \left( \frac{C_L}{C_G} \right)^{1/n} = 2.94$$

Wynikowe opóźnienie wynosi:

$$t_{cas} = n \alpha t_{apd} = 6 * 2.94 t_{apd} = 17.64 t_{apd} = 17.64 \frac{t_{ipd}}{2} = 17.64 \frac{0.71 ns}{2} = 6.26 ns$$

(odpowiadająca częstotliwość =  $1/2/t_{cas}=79.872\text{MHz}$  !!!)

Zwiększenie zużycia powierzchni będzie równe:

$$1 + \alpha + \alpha^2 + \dots + \alpha^5 = 332.4$$

Jeśli dla oszczędzenia powierzchni zostało by wybrane użycie 3 stopni wówczas

$$\alpha = \left( \frac{C_L}{C_G} \right)^{1/n} = 8.62$$

$$t_{cas} = n \alpha t_{apd} = 3 * 8.62 t_{apd} = 25.86 t_{apd} = 25.86 \frac{t_{ipd}}{2} = 25.86 \frac{0.71 ns}{2} = 9.18 ns$$

(odpowiadająca częstotliwość =  $1/2/t_{cas}=54.466\text{MHz}$ )

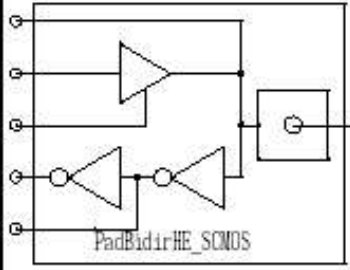
Zwiększenie powierzchni w stosunku do inwertera jednostkowego wyniesie

$$1 + \alpha + \alpha^2 = 82.92$$

# Bloki wejścia-wyjścia układów cyfrowych.

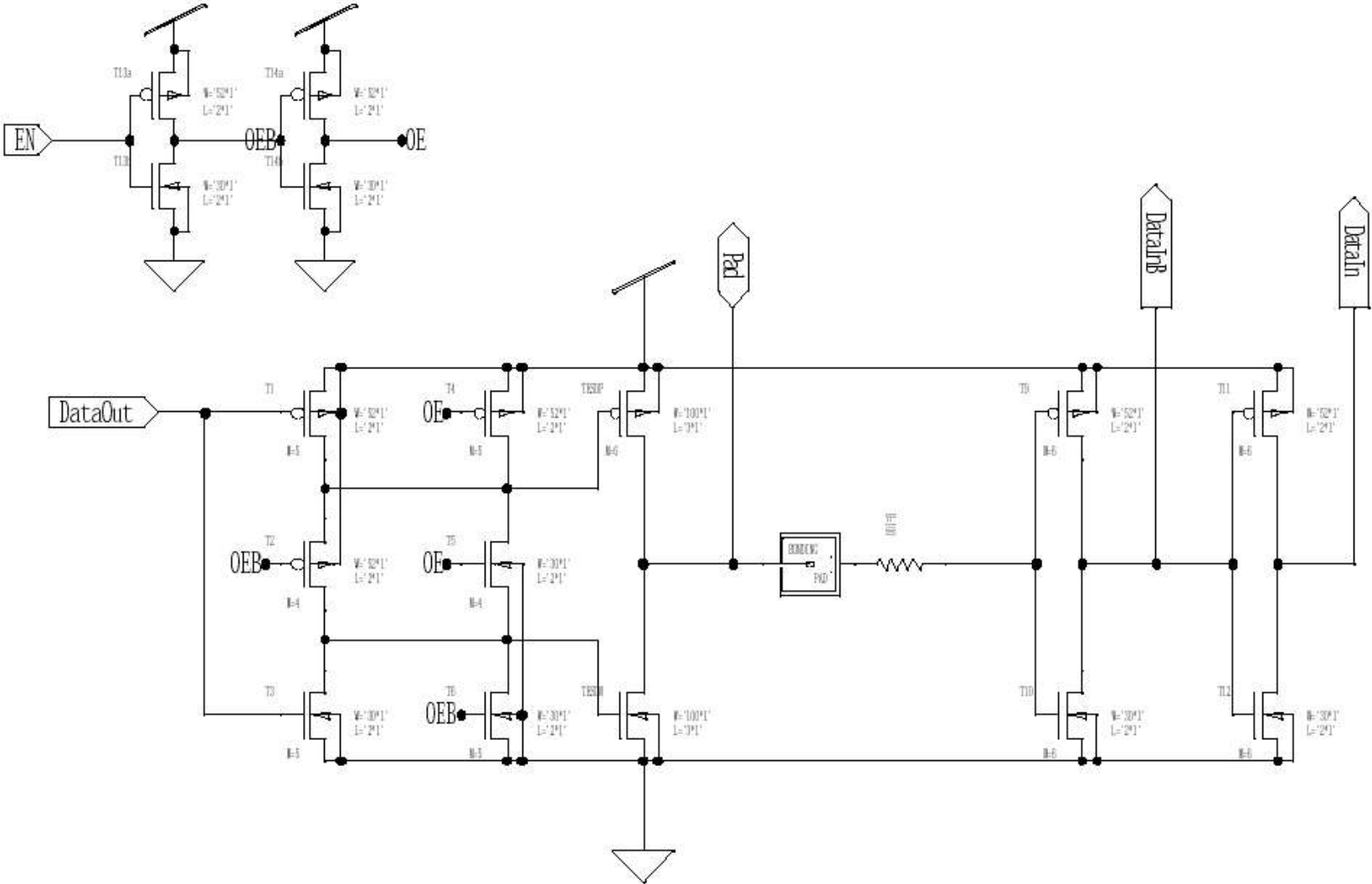
Przykład podstawowego bloku I/O AMI MOSIS 0.5um.

[www.mosis.com]

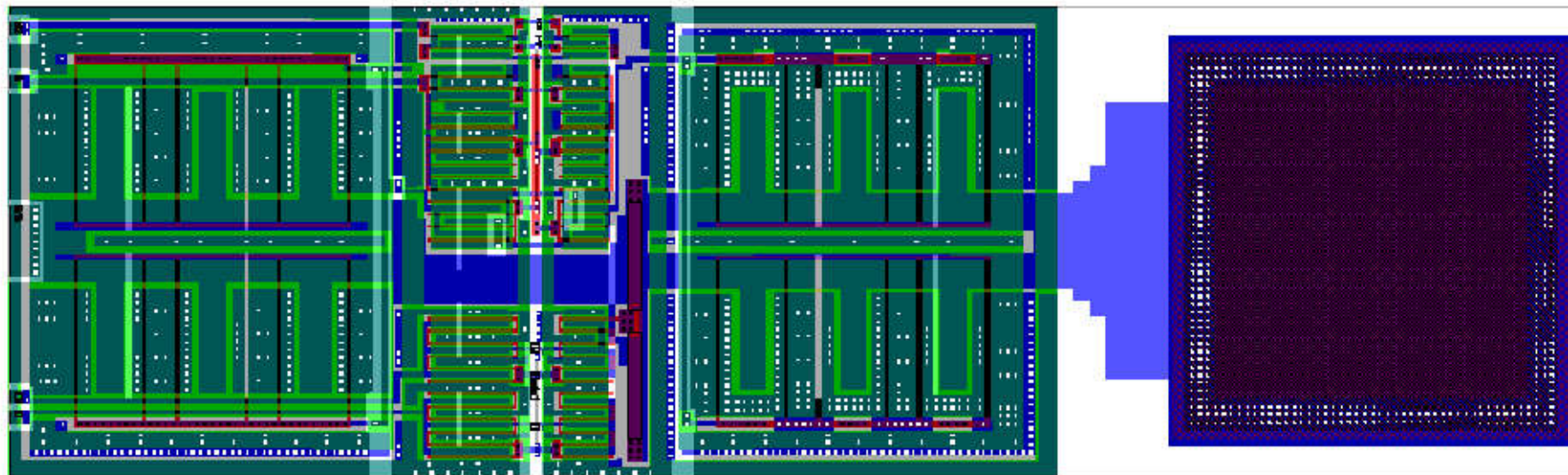
Bi-Directional Pad		PADBIDIR																		
<b>Description:</b> Bi-Directional Pad with Buffer																				
Library: MOSIS AMI 050P	Primitive Set:	Tanner SCMOS.Cells Tanner.TIB.Samples																		
Schematic: S-Edit	File:	TannerLb\scmos\mAMI05P.sdb																		
Mask layout: L-Edit	Module:	PADBIDIR																		
Mapping Macros: GateSim:	File:	TannerLb\scmos\mAMI05P.tdb																		
L-Edit/SPR:	Cell:	PADBIDIR																		
		TannerLb\nettran\scmos\scms2sim.mac																		
		TannerLb\nettran\scmos\scms2tpr.mac																		
Logic Symbol	Truth Table			Capacitance																
 <p>PadBidirHE_SCMOS</p>	<table border="1"> <thead> <tr> <th>PAD</th> <th>OE</th> <th>DI</th> <th>DO</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>1</td> <td>X</td> <td>In</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>X</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>X</td> </tr> </tbody> </table>			PAD	OE	DI	DO	X	1	X	In	1	0	1	X	0	0	0	X	N/A
PAD	OE	DI	DO																	
X	1	X	In																	
1	0	1	X																	
0	0	0	X																	
Height	Width	Area	Equivalent Gate	Drive																
300 μ	90 μ	27000 μ <sup>2</sup>	N/A	N/A																



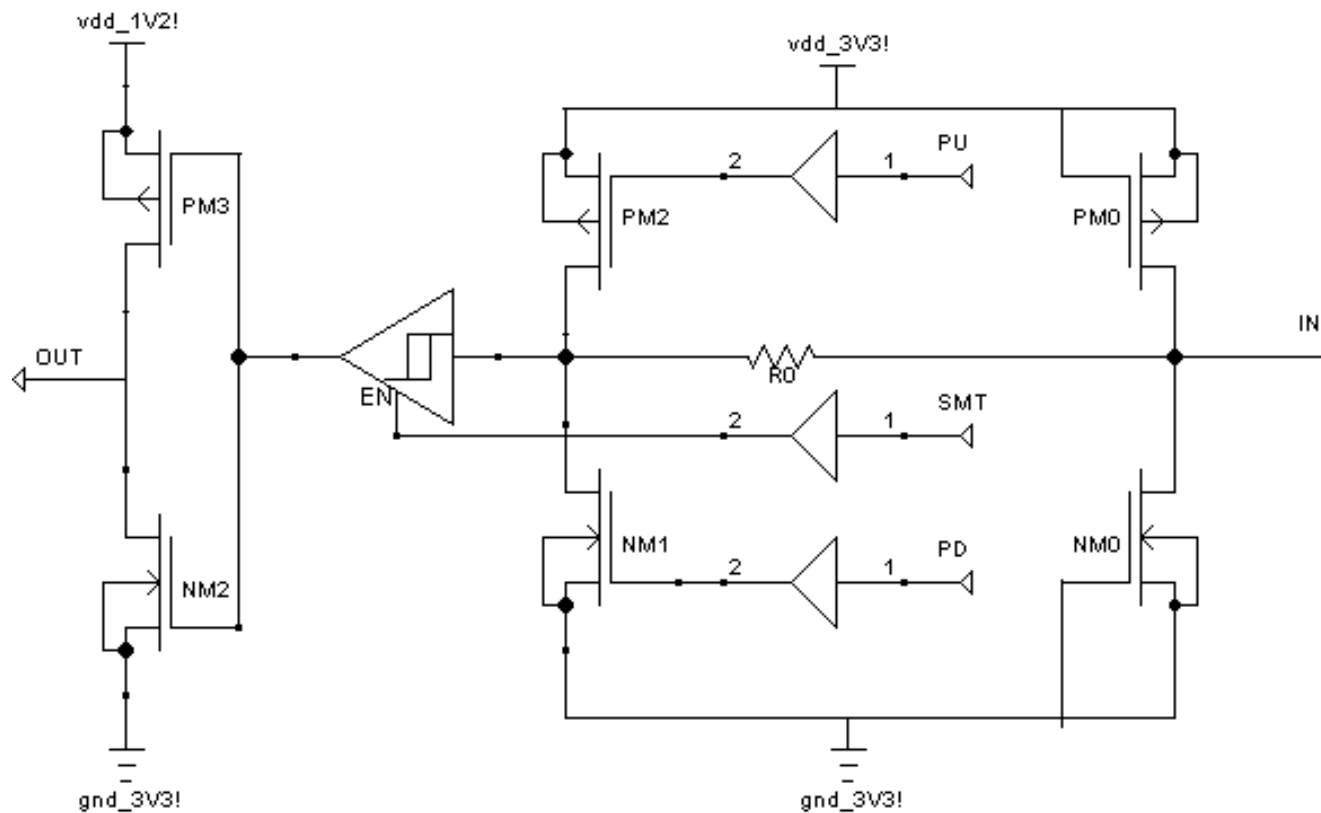
# Przykład podstawowego bloku IO AMI MOSIS 0.5um – schemat elektryczny. [www.mosis.com]



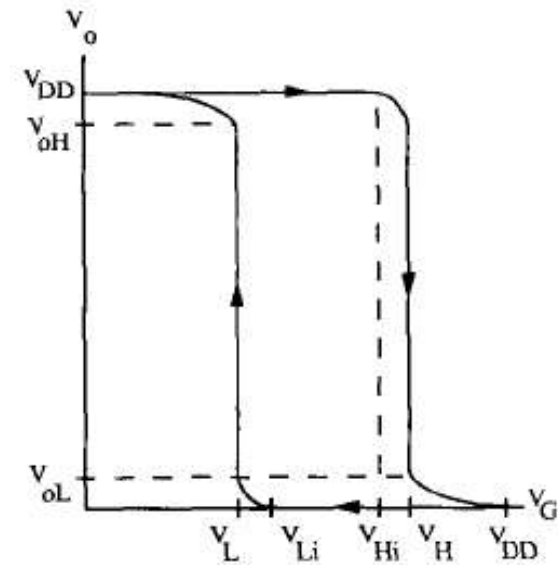
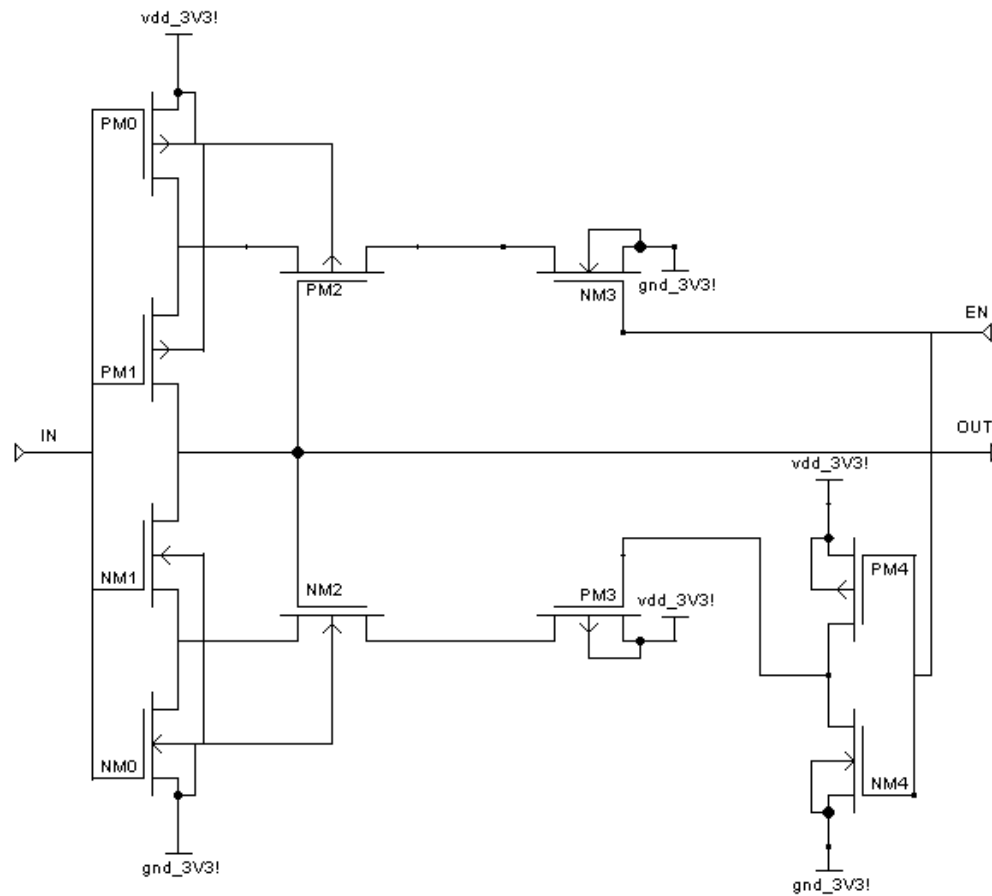
# 13.1. Przykład podstawowego bloku IO AMI MOSIS 0.5um – topografia. [www.mosis.com]

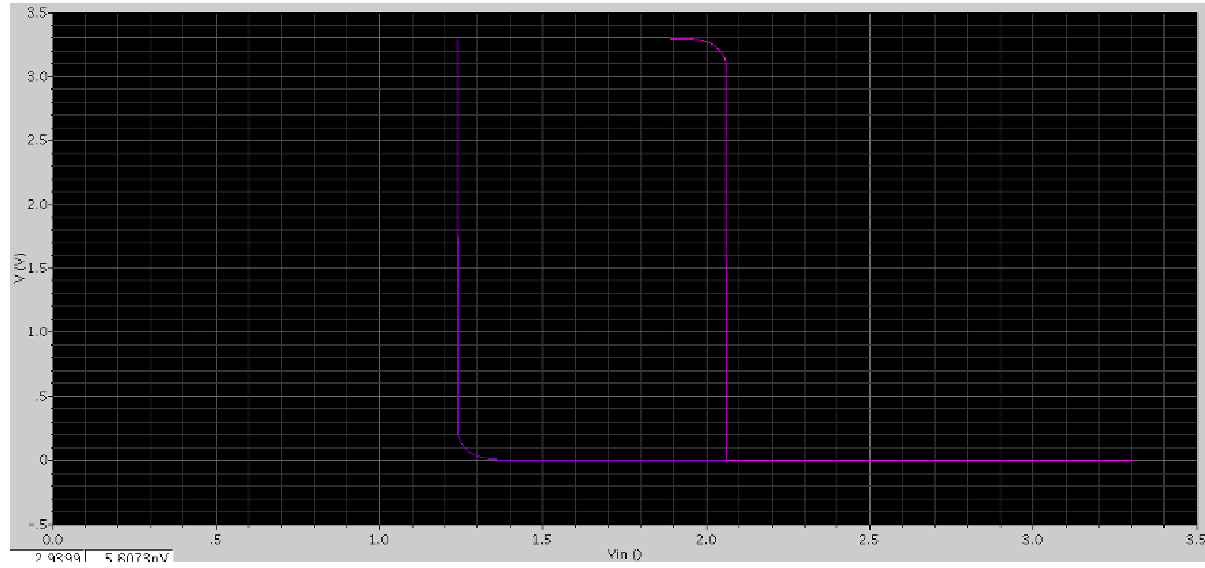


# Komórka I/O z różnymi napięciami zasilającymi rdzeń oraz wyprowadzenie - wejściowa

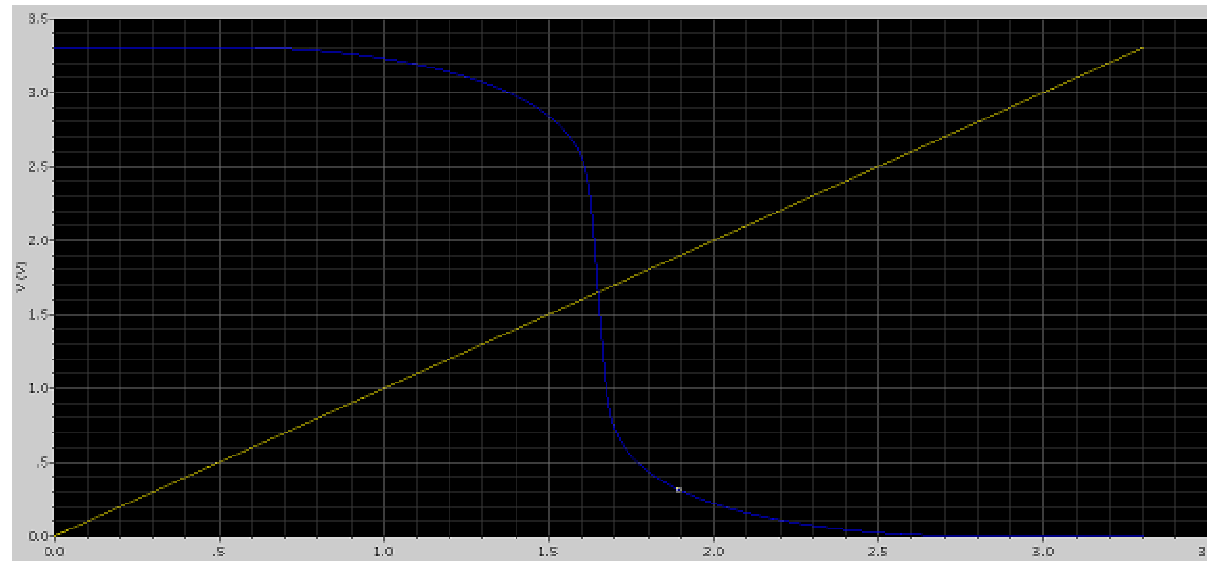


# Komórka I/O inwerter z wejściem Schmitta



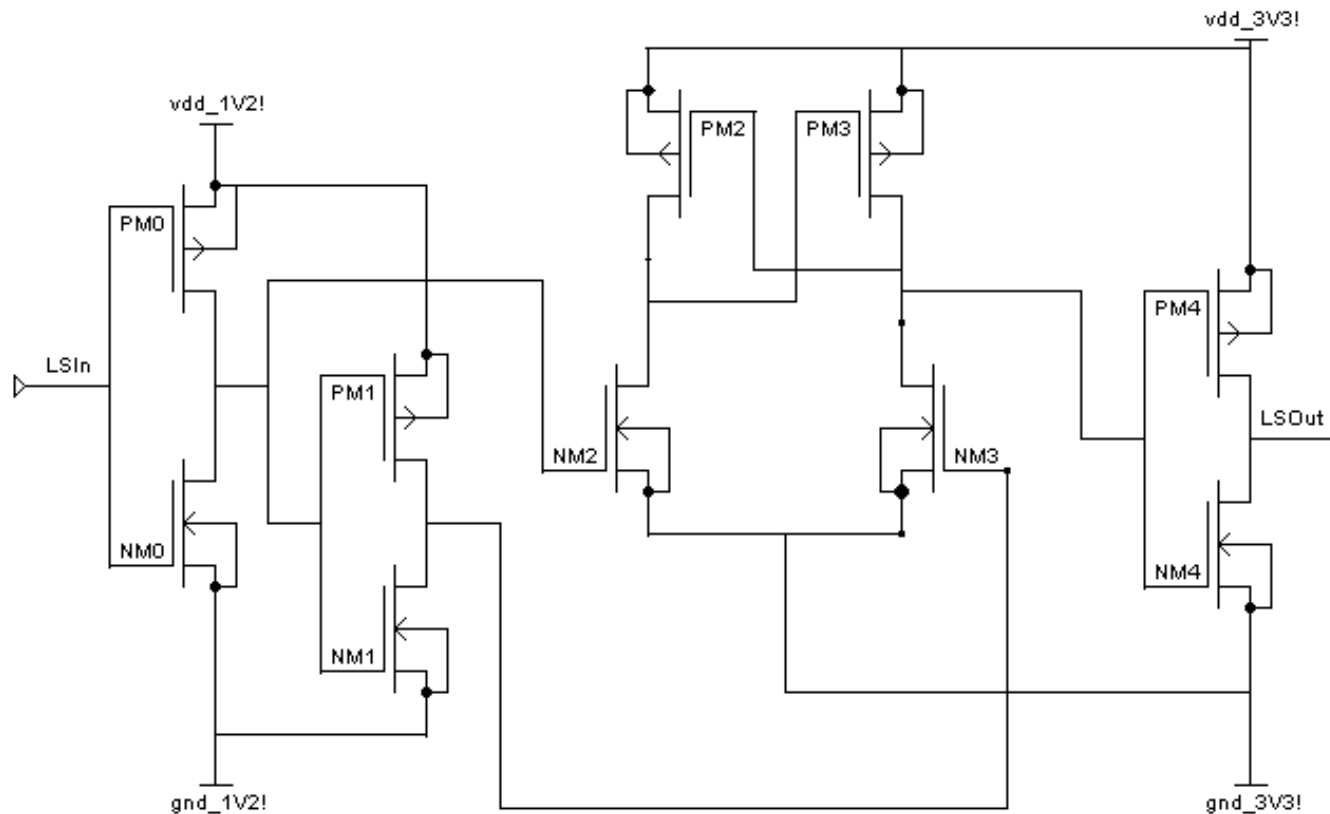


EN=1

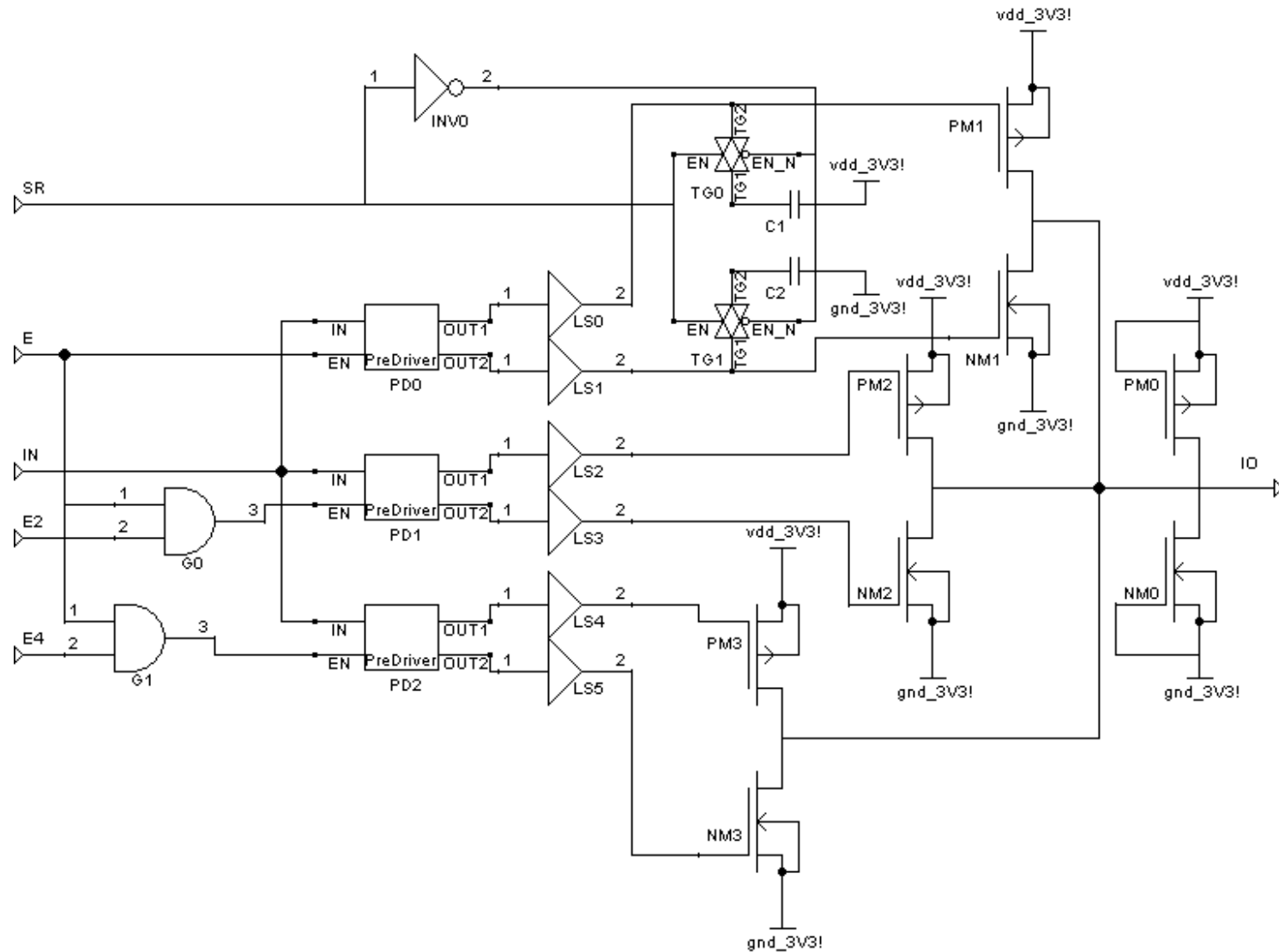


EN=0

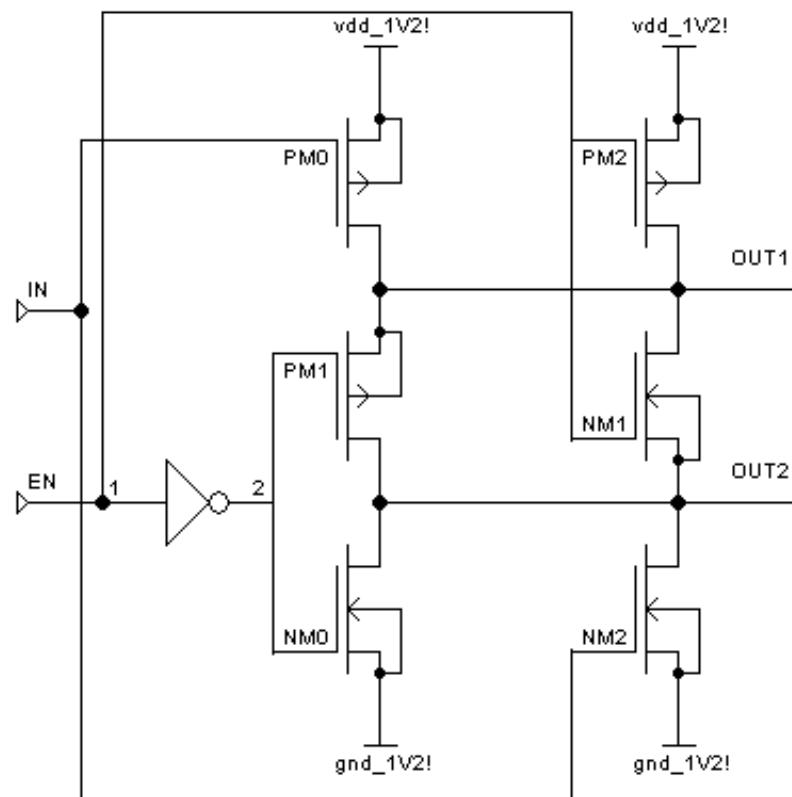
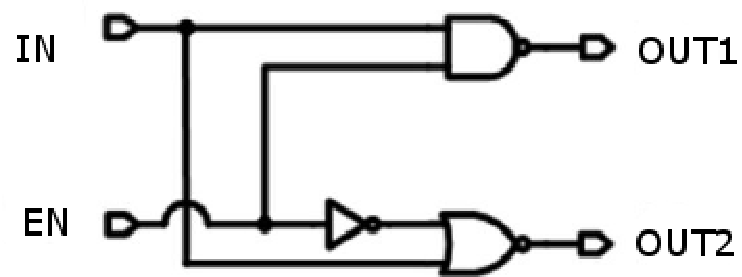
# Komórka I/O z różnymi napięciami zasilającymi rdzeń oraz wyprowadzenie wejściowe i wyjściowe - translator poziomów.



# Komórka wyjściowa I/O z różnymi napięciami zasilającymi - programowalna.



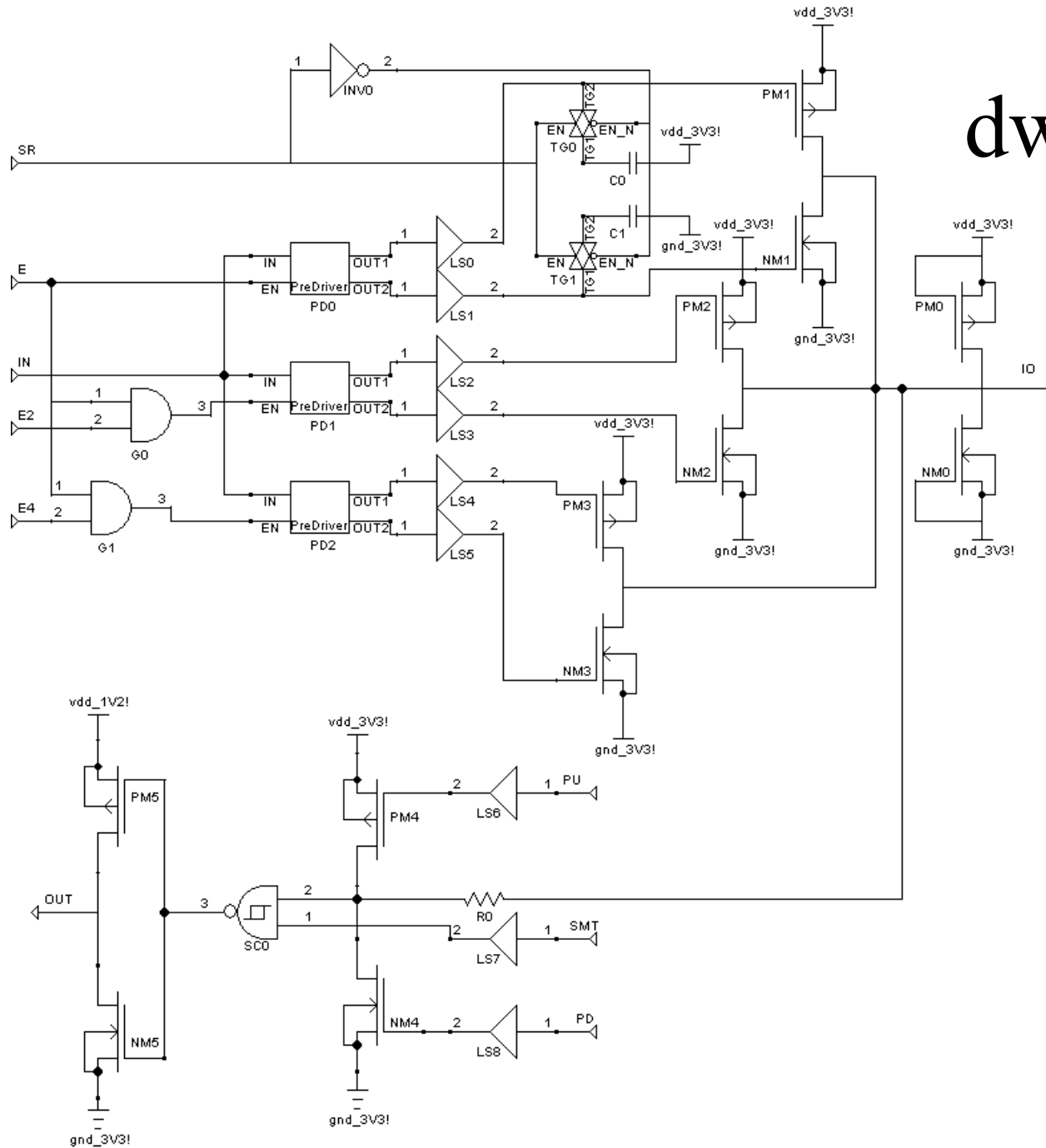
# Komórka I/O z różnymi napięciami zasilającymi – programowalna c.d.



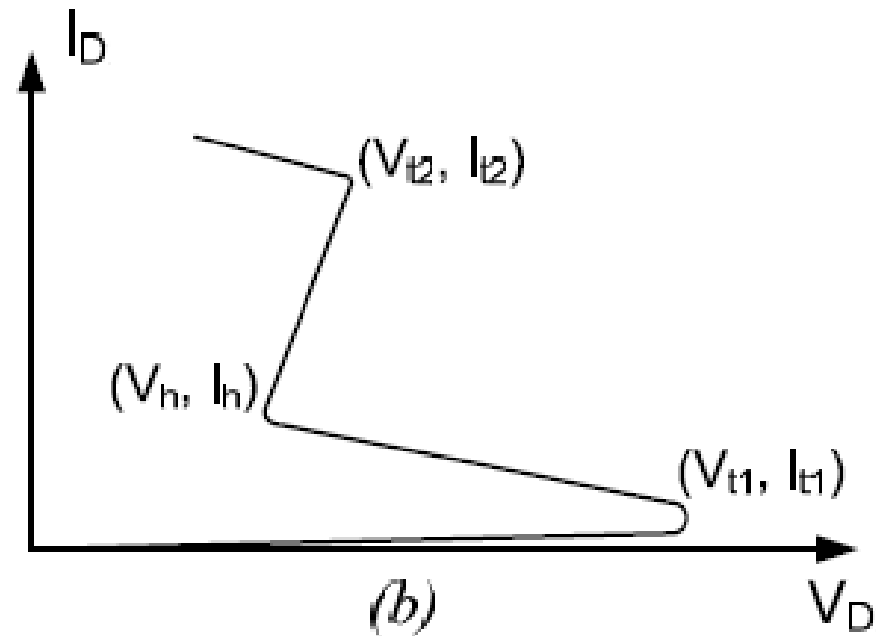
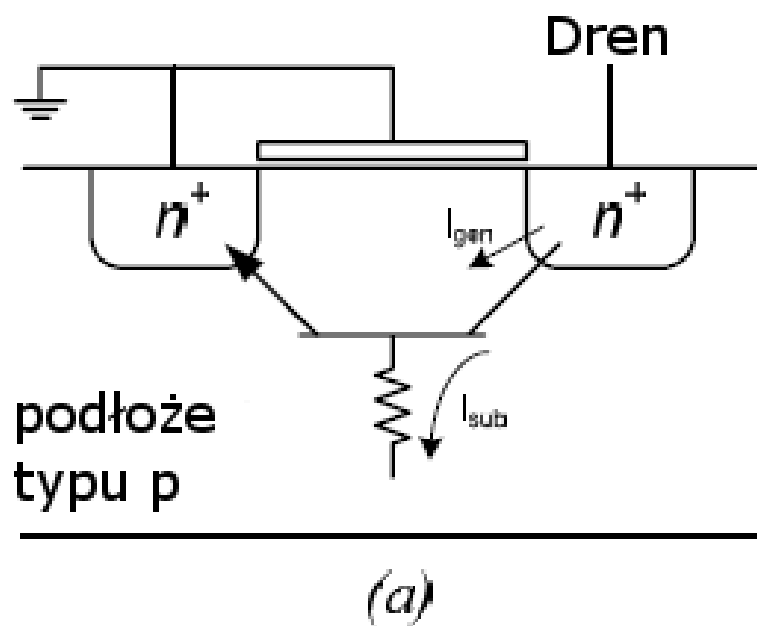
Schemat logiczny i implementacja sterowników tranzystorów wyjściowych.

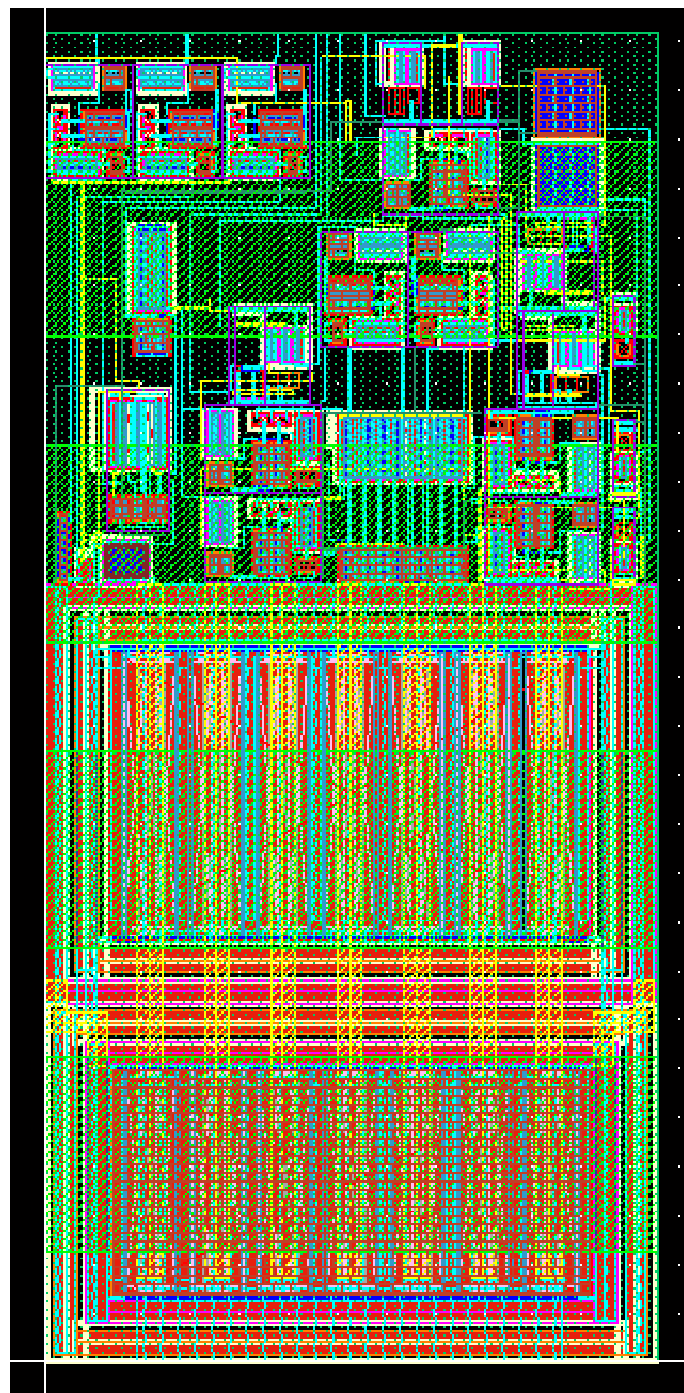


# Komórka dwukierunkowa



# Ochrona przed ESD poprzez GGNMOS



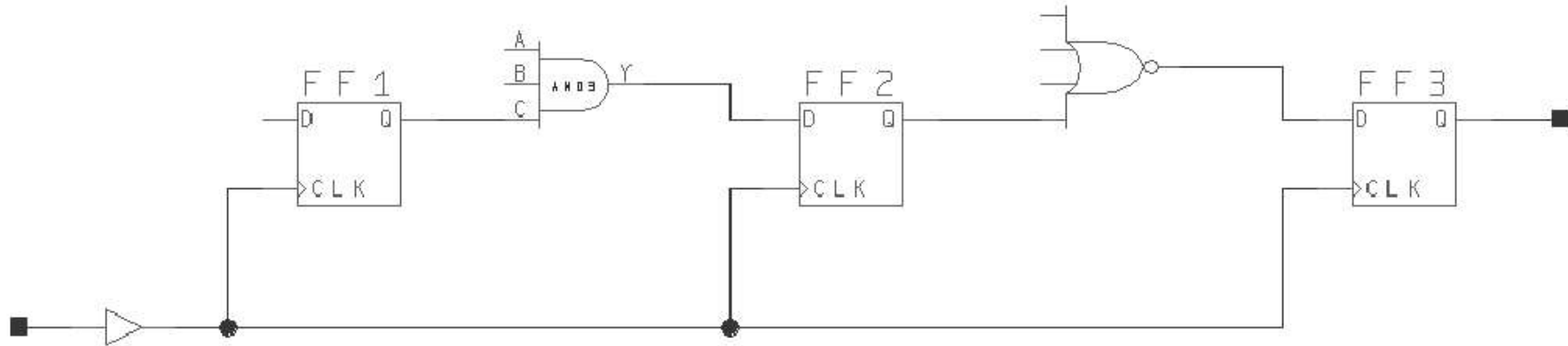


# Topografia układu we/wy.

# 18. Projektowanie ścieżek zegarowych. Generacja drzewa zegarowego.

## 18.1 Definicje podstawowych parametrów.

*Sąsiedztwo w sensie sekwencyjnym* są to elementy zegarowane (rejstry, przerzutniki), które są oddzielone od siebie jedynie logiką kombinacyjną lub są ze sobą połączone bezpośrednio. Połączenie poprzez inny przerzutnik powoduje brak sąsiedztwa w sensie sekwencyjnym.



Rys. 18.1. Ilustracja sąsiedztwa w sensie sekwencyjnym. Przerzutniki FF1 oraz FF2 są sąsiadujące a FF1 i FF3 nie.

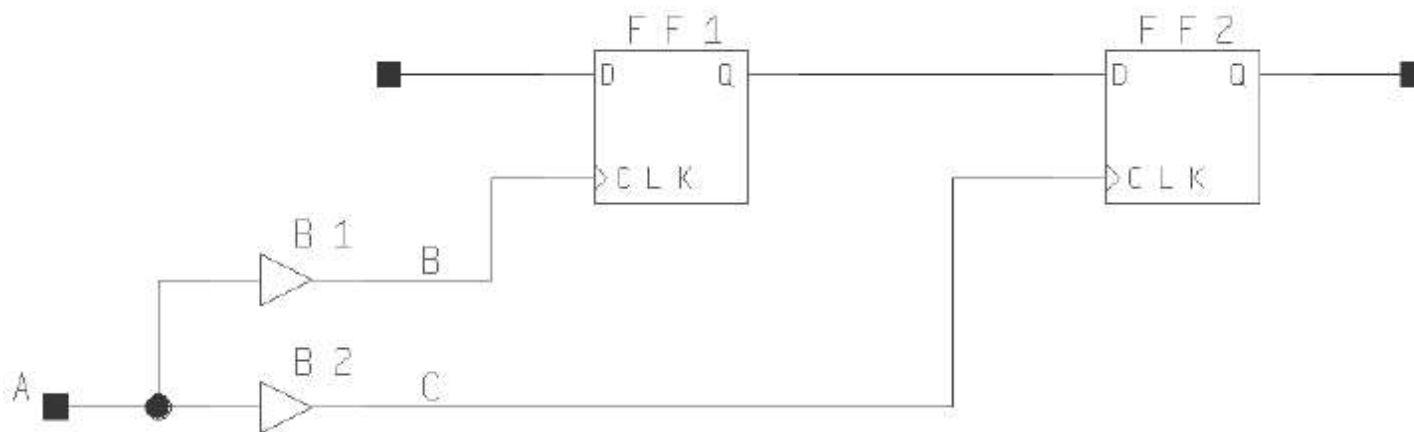
## 18.1 Definicje podstawowych parametrów.

**Przesunięcie czasowe zegara (ang. clock skew).** Jeśli mamy dwa przerzutniki sąsiadujące w sensie sekwencyjnym, oznaczone symbolami  $i$  oraz  $j$ , oraz ścieżkę zegarową wychodzącą z tego samego źródła a dochodzącą do tych przerzutników, wówczas przesunięciem czasowym zegara nazywamy różnicę czasów dotarcia sygnałów zegarowych do wejść CLK przerzutników.

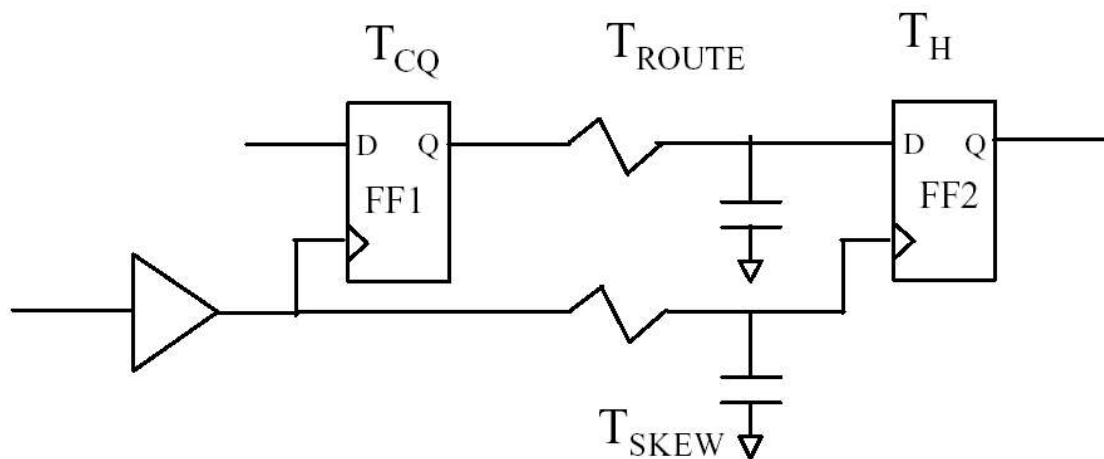
$$t_{SKEW} = t_i - t_j$$

gdzie:  $t_i$  oraz  $t_j$  są odpowiednio czasami opóźnień zegara dochodzącego do przerzutnika  $i$  oraz  $j$ .

## 18.1 Definicje podstawowych parametrów.



Rys. 18.2. Przesunięcie czasowe zegara jest to różnica w czasie dotarcia sygnału A do przerzutnika FF1 i FF2.



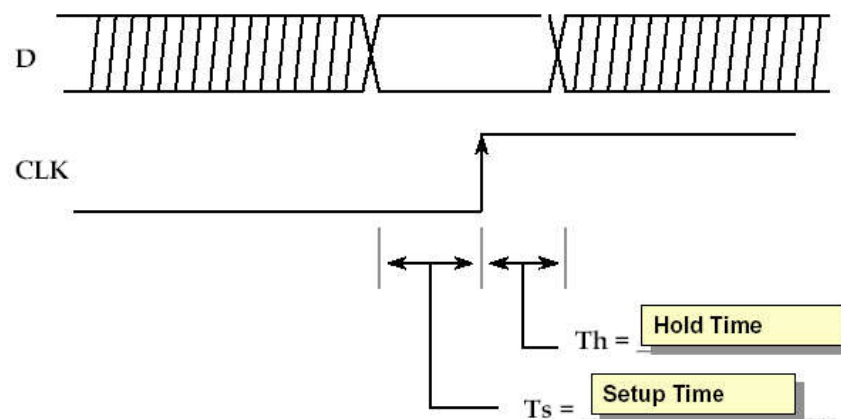
Rys. 18.3. Ze względu na rozłożony charakter linii długich przesunięcie czasowe powstaje nawet pomiędzy przerzutnikami z połączonymi bezpośrednio zegarami.

## 18.1 Definicje podstawowych parametrów.

**Czas setup** jest to minimalny czas przed pojawieniem się sygnału zegara kiedy pozostałe wejścia przerzutnika muszą być o znanej i stabilnej wartości. W przeciwnym przypadku wartość wyjściowa przerzutnika jest nieznana.

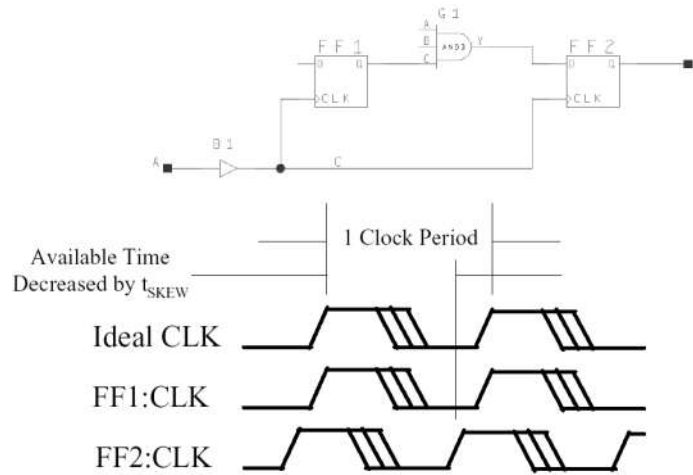
**Czas hold** jest to minimalny czas po pojawieniu się sygnału zegara kiedy pozostałe wejścia przerzutnika muszą pozostawać w znanej i stabilnej wartości. W przeciwnym przypadku wartość wyjściowa przerzutnika może być przypadkowa.

### Edge-Triggered F-F Timing



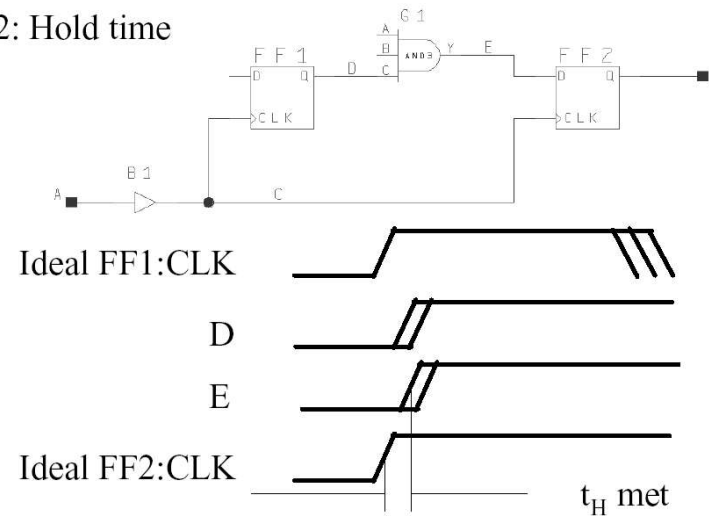
Rys. 18.4. Graficzne przedstawienie czasów setup oraz hold.

# 18.2 Wpływ clock skew na setup oraz hold.

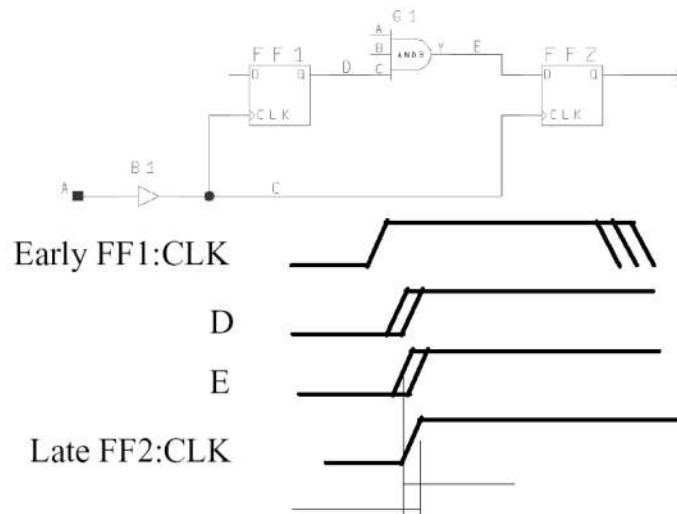


Rys. 18.5. Zmniejszenie możliwego dostępnego czasu setup spowodowane przesunięciem czasowym zegarów

Case 2: Hold time



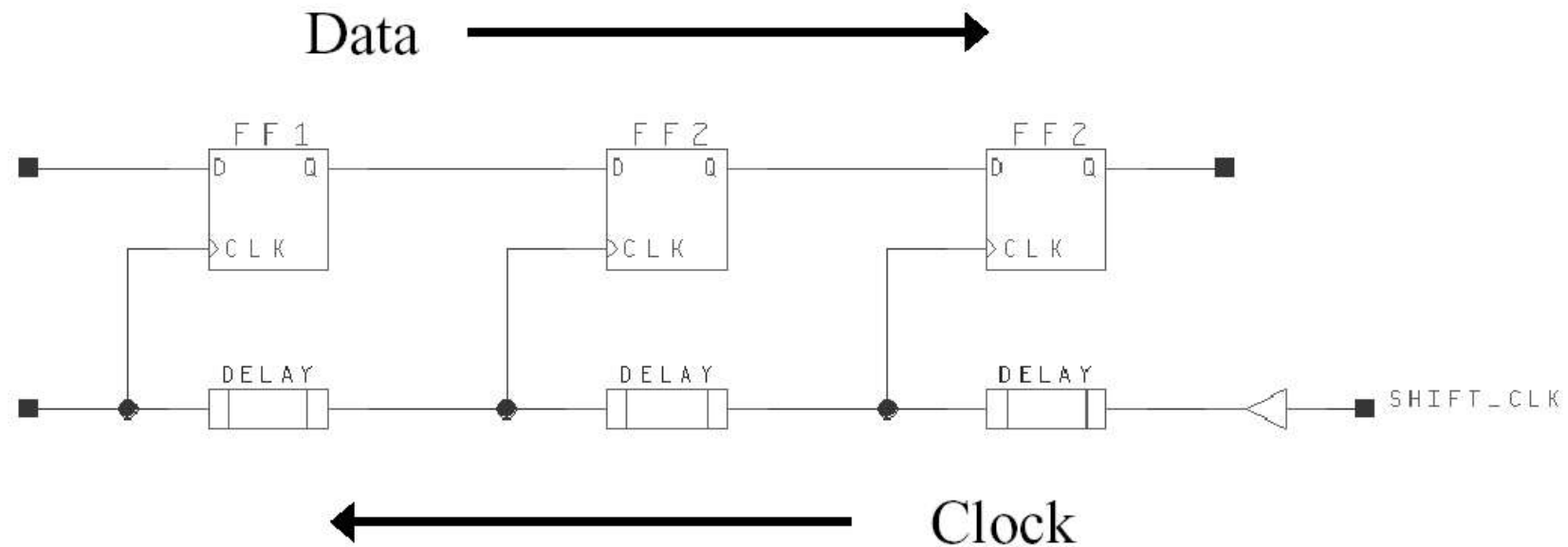
Rys. 18.6. Wpływ przesunięcia zegara na czas hold, przypadek idealny.



Rys. 18.7. Wpływ przesunięcia zegara na czas hold, przypadek niekorzystny. W przypadku opóźnień zegarów jak na rys. 18.5 czas hold zostałby poprawiony kosztem czasu setup.

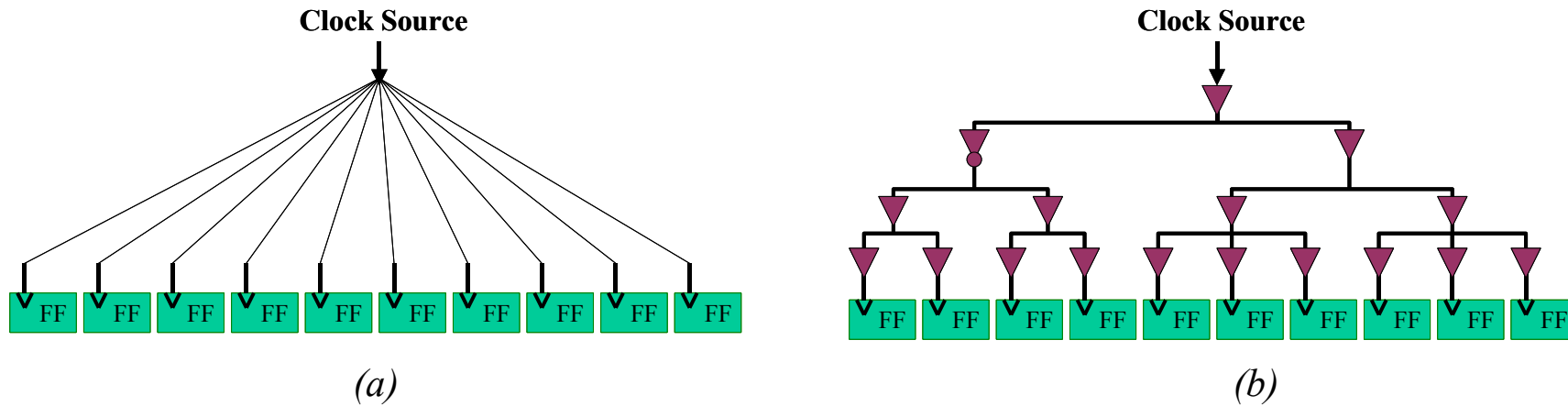


## 18.2 Wpływ clock skew na setup oraz hold.

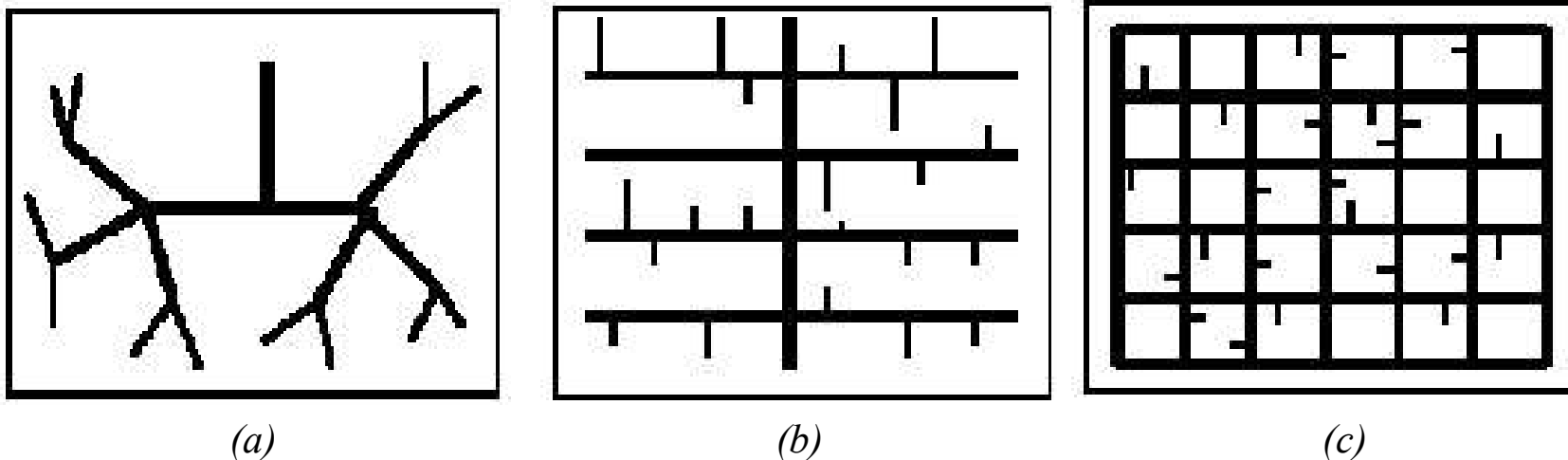


*Rys. 18.8. Celowo wprowadzane opóźnienia ścieżki zegarowej poprawiają czas hold kosztem pogorszenia czasu setup.*

### 18.3 Architektury ścieżki zegarowej.



Rys. 18.9. Zestaw przerzutników sterowany bezpośrednio pojedynczym sygnałem zegarowym (a) oraz drzewo zegarowe z buforami sygnałowymi (b).



Rys. 18.10. Ścieżka zegarowa typu drzewo (a), kufier (b), oraz siatka (c).

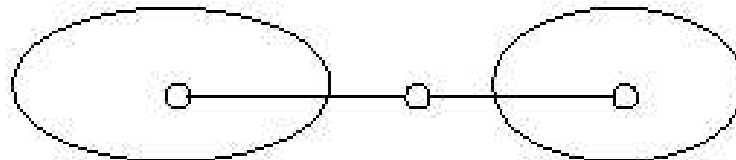
## 18.4 Problem generacji ścieżki zegarowej.

**Definicja zadania generacji ścieżki zegara:** Mamy daną lokalizację wejściowych wyprowadzeń sygnałów zegara przerzutników układu  $\{\text{CLK1}, \text{CLK2}, \dots, \text{CLKn}\}$  oraz lokalizację źródła sygnału zegara  $\text{CLK0}$ . Mamy zadaną maksymalną wartość przesunięcia czasowego zegara  $B$  oraz ograniczenia dodatkowe takie jak np. minimalne opóźnienie, maksymalne opóźnienie, czas narastania sygnału zegara. Należy zbudować ścieżkę połączeniową spełniającą powyższe wymagania oraz zminimalizować koszt liczony w ogólnej długości połączeń, poborze mocy oraz innych zadanych ograniczeniach drugoplanowych.

## 18.4 Algorytmy realizujące generację ścieżki zegarowej.

*Generacja drzewa zegarowego podejście TOP-DOWN, metoda środka masy.*

- podziel wejścia zegarowe CLK na dwa zestawy  $CLK_L$  oraz  $CLK_R$  o równych rozmiarach,
- połącz środek CLK masy do zestawów  $CLK_L$  oraz  $CLK_R$ ,
- rekursywnie dokonuj podziałów w kierunku pionowym.



Wzrost długości linii zegarowych proporcjonalny do:  $3/2 \sqrt{n}$

Przesunięcie czasowe zegara proporcjonalne do:  $1/\sqrt{n}$

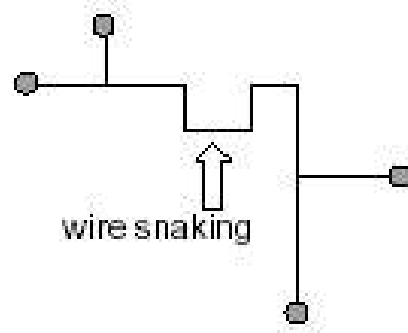
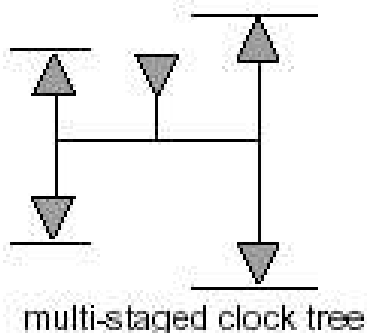
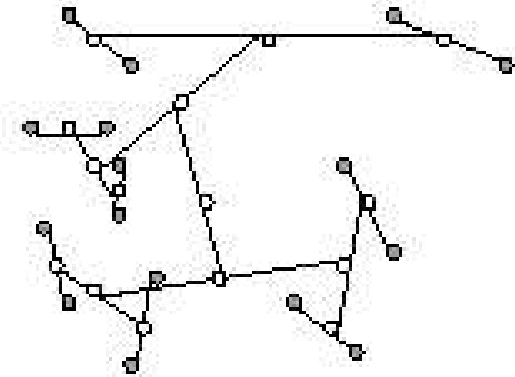
## 18.4 Algorytmy realizujące generację ścieżki zegarowej.

*Generacja drzewa zegarowego podejście BOTTOMP-UP, metoda dopasowania trasowania.*

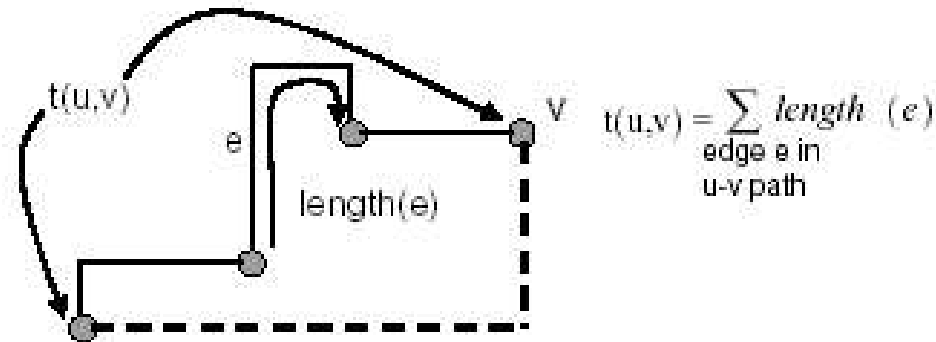
- rekursywnie dopasowuj każde poddrzewo na poszczególnych poziomach, ,
- minimalizuj przesunięcie czasowe zegara w każdym poddrzewie.

*Możliwe modyfikacje metody:*

- użycie modelu opóźnień Elmora ,
- użycie buforów w gałęziach,
- używanie zaginania ścieżek (ang. wire snaking) – zerowy clock skew.



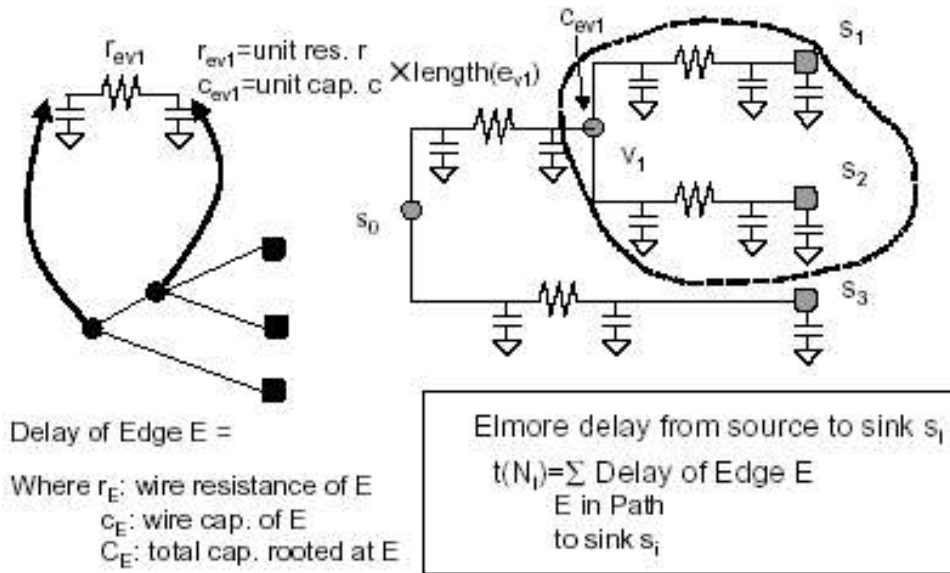
# 18.4 Modele opóźnień ścieżek sygnałowych.



u

$D(u,v)$ : Manhattan Distance

Rys 18.11 Model opóźnień bazujący na długościach ścieżek.



Delay of Edge E =

Where  $r_E$ : wire resistance of E  
 $c_E$ : wire cap. of E  
 $C_E$ : total cap. rooted at E

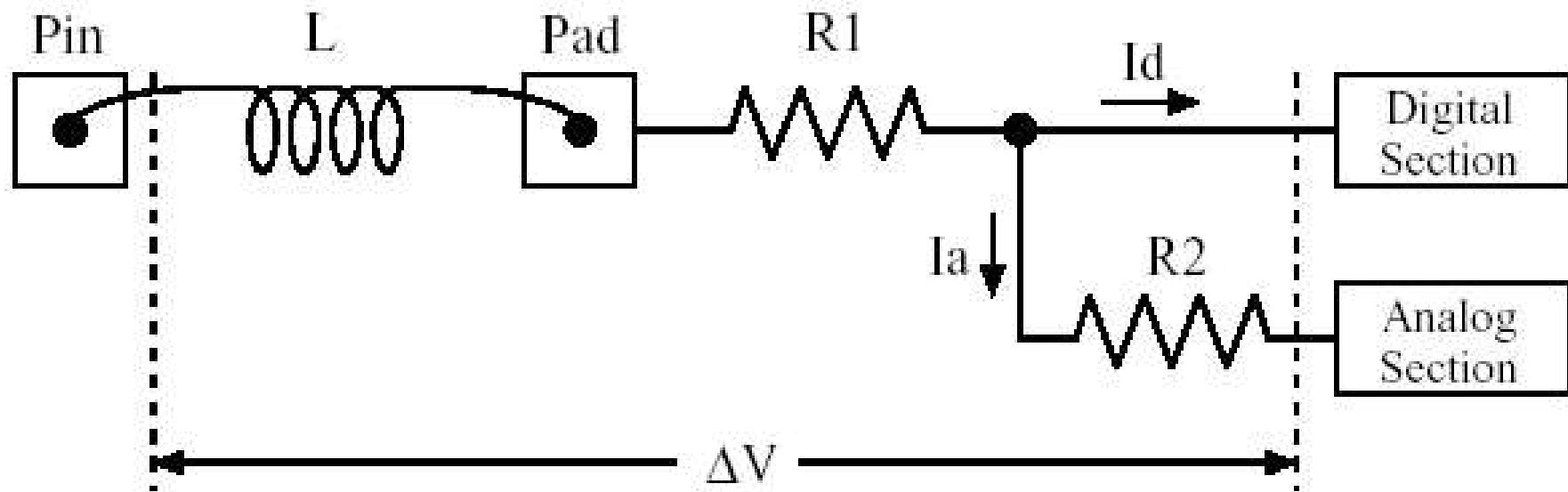
Rys. 18.12 Model opóźnień Elmora. 154

# 19. Projektowanie obwodów zasilania.

Zasady dobrego projektowania ścieżek zasilających:

- stosowanie wydzielonych linii zasilających do poszczególnych podukładów,
- oddzielanie zasilania układów o dużym poborze prądu od pozostałych układów,
- stosowanie możliwie najszerszych ścieżek zasilających oraz stosowanie warstw o mniejszej rezystancji na kwadrat,
- oddzielanie zasilania układów analogowych i cyfrowych,
- stosowanie struktury gwiazdowej zamiast magistralowej,
- stosowanie wielu punktów lutowniczych (PAD) i wyprowadzeń układu scalonego (PIN) do obwodów zasilania / masy.

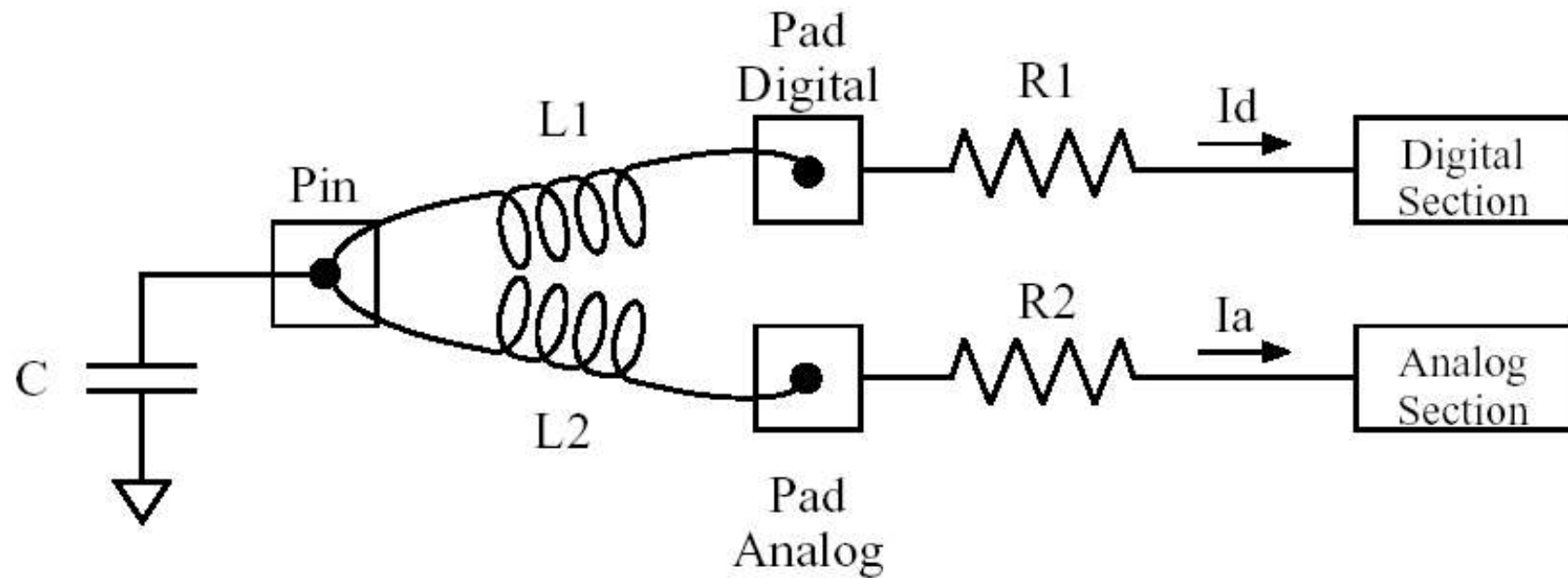
## 19. Projektowanie obwodów zasilania.



Rys. 19.1. Wady: sprzężenie przez wspólną rezystancję i indukcyjność, możliwy jest rezonans obwodu RLC, niezbędne symulacje elektryczne na poziomie elementów.

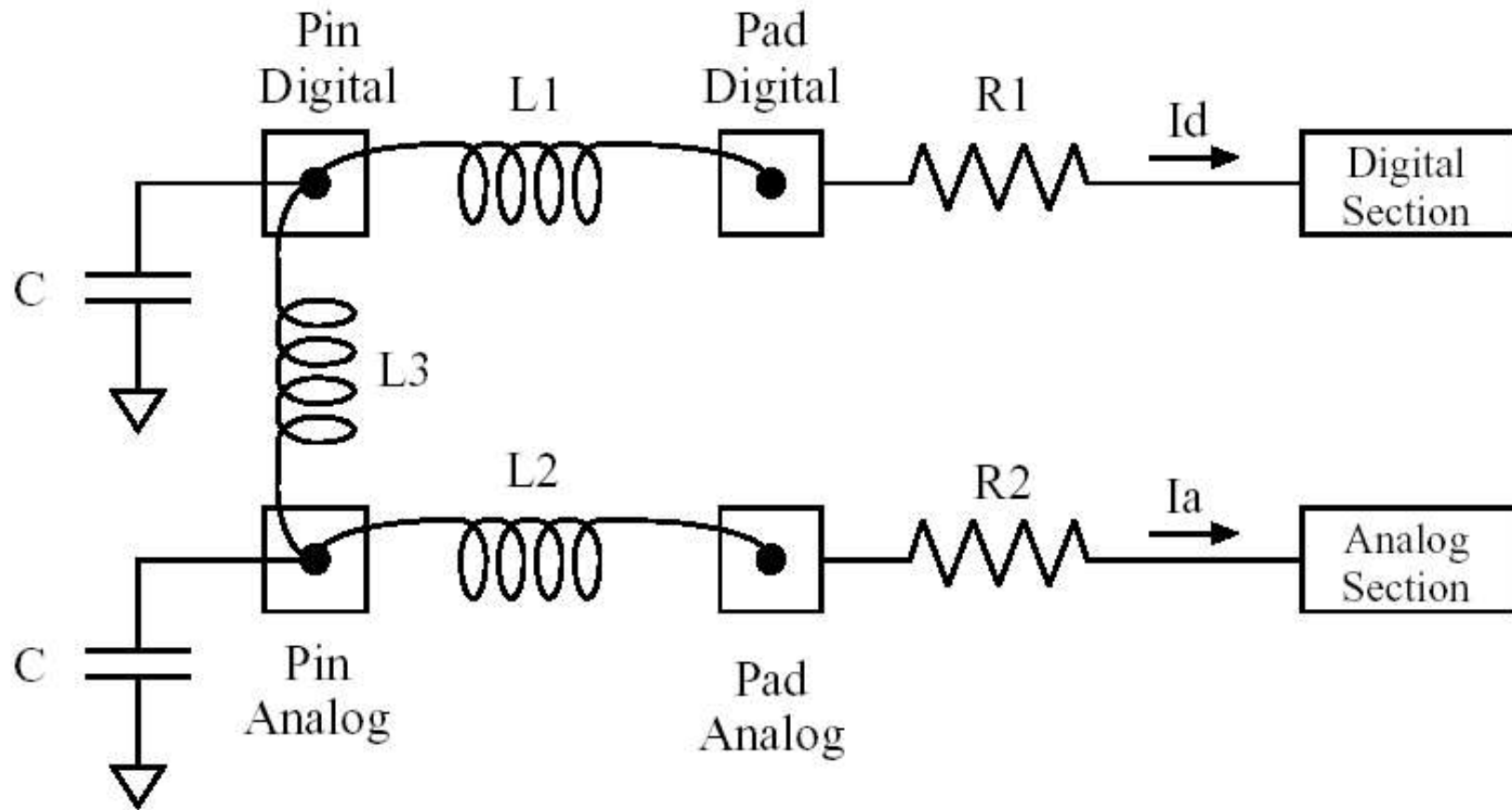


## 19. Projektowanie obwodów zasilania.



Rys. 19.2. Brak sprzężenia przez wspólne elementy, zastosowany dodatkowy kondensator.

## 19. Projektowanie obwodów zasilania.



*Rys. 19.3. Rozwiązanie najlepsze ale o największym koszcie.*

## 20. Projektowanie systemów mieszanych analogowo - cyfrowych.

Zastosowanie układów mieszanych:

- telekomunikacja,
- elektronika użytkowa,
- komputery i urządzenia peryferyjne,
- systemy multimedialne,
- systemy samochodowe,
- biomedycyna,
- robotyka i inne.

Zalety stosowania układów mieszanych:

- zredukowany rozmiar całego systemu,
- możliwe jest zwiększenie szybkości działania,
- zmniejszenie zużycia mocy,
- poprawa niezawodności,
- zmniejszenie kosztów systemu.

## 20.1 Problemy związane z projektowaniem układów mieszanych:

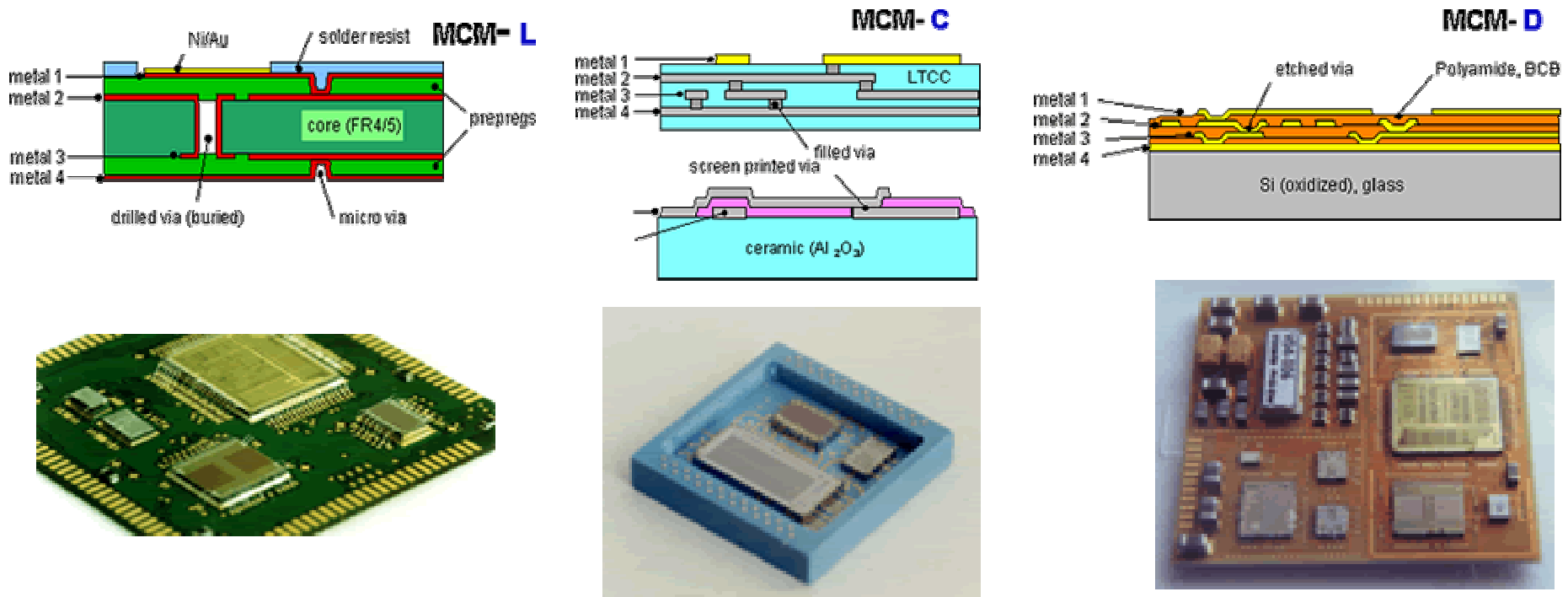
- projektowanie układów analogowych jest trudne,
- sygnały analogowe są bardzo małe (uV) w porównaniu do cyfrowych (V),
- w układzie następuje oddziaływanie układów analogowych na cyfrowe i odwrotne (znacznie bardziej niekorzystne),
- układy analogowe nie są standaryzowane,
- nie ma możliwości automatycznego projektowania układów analogowych,
- brak projektantów układów mieszanych.

## 20.2 Mechanizmy oraz skutki przenoszenia zakłóceń:

- wzajemne oddziaływanie sąsiadujących bloków,
- wspólne podłoże powoduje powstanie sprzężeń podłożowych,
- korzystanie ze wspólnych wyprowadzeń zewnętrznych,
- sprzężenia indukcyjne i rezystancyjne wyprowadzeń zasilających,
- sprzężenia pojemnościowe.

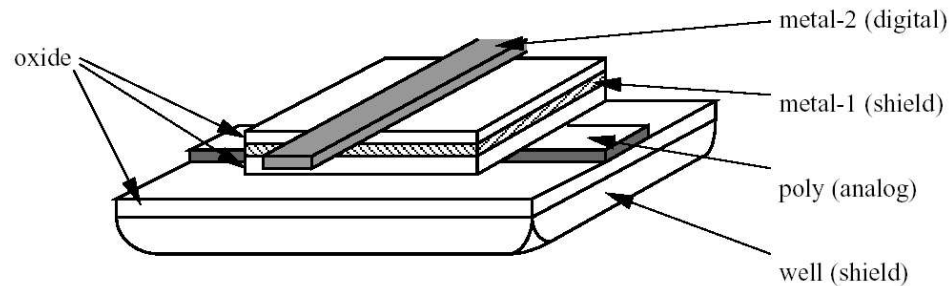
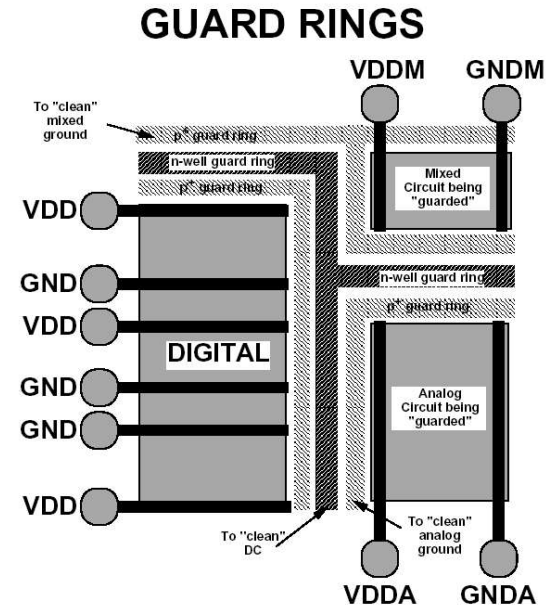
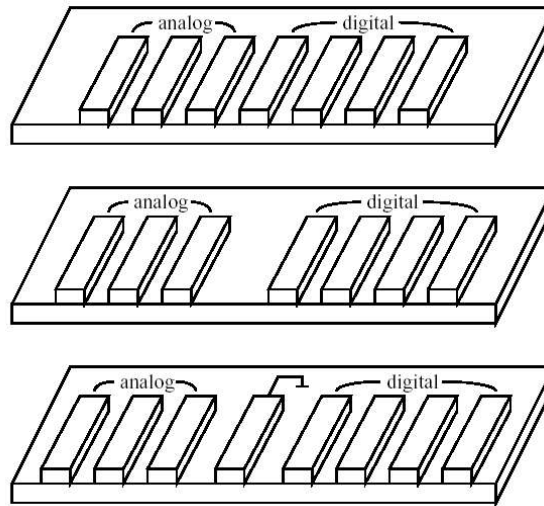
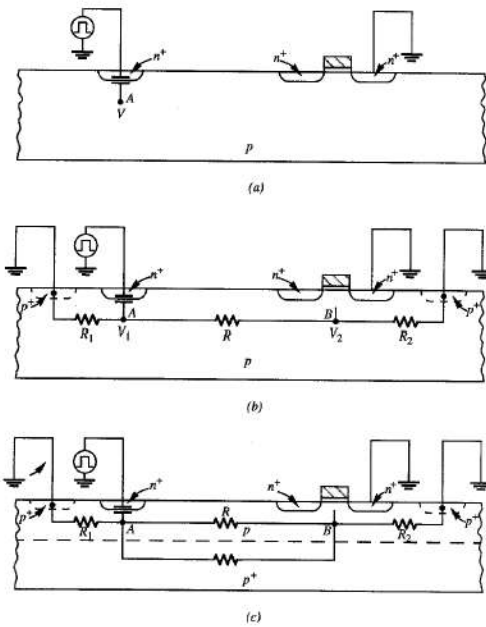
## 20.3 Metody zmniejszenia zakłóceń w układach mieszanych.

- rozwiązania systemowe: układy hybrydowe oraz MCM (ang. multi chip modules), odpowiednie zaprojektowanie timingów sygnałów (np. próbkowanie i porównywanie sygnałów analogowych w momentach braku aktywności części cyfrowej), używanie analogowych układów różnicowych, stosowanie specjalnej logiki generującej mniejsze zakłócenia,



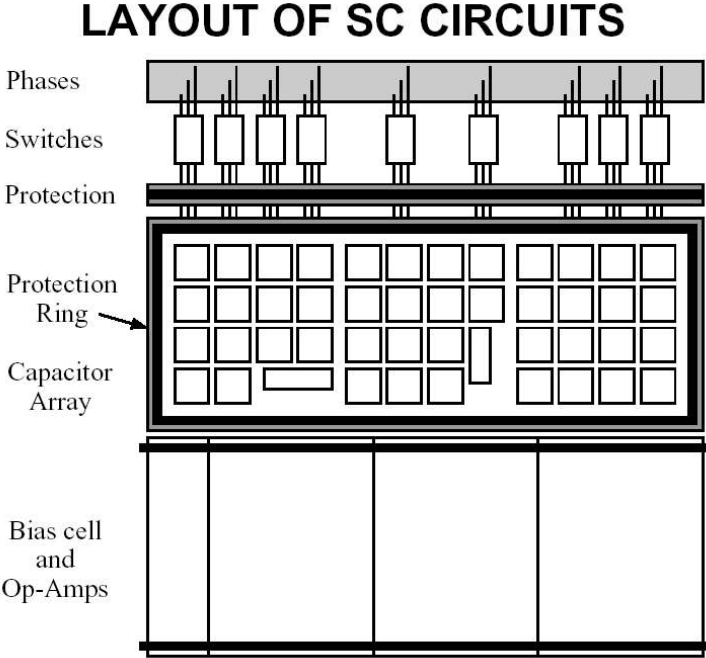
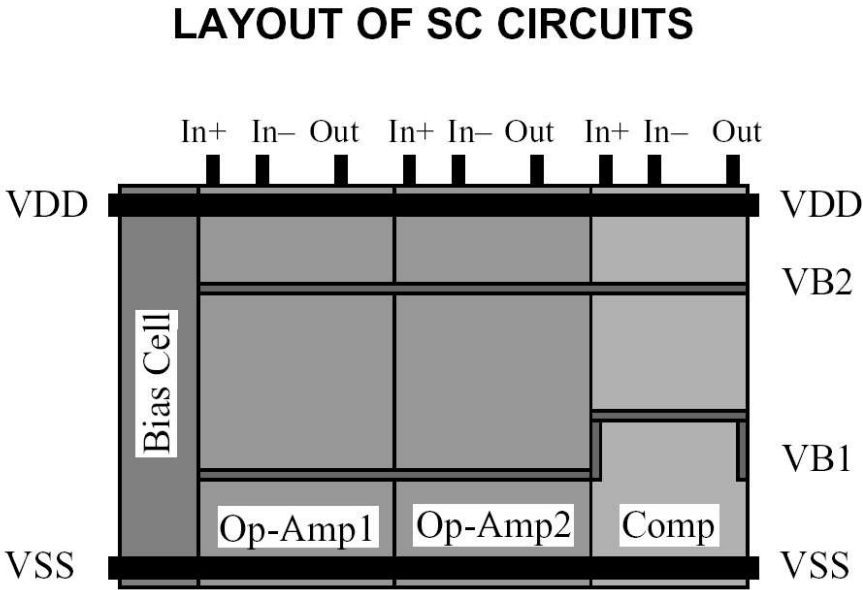
# 20.3 Metody zmniejszenia zakłóceń w układach mieszanych c.d.

- ekranowanie: stosowanie pierścieni ochronnych oraz ekranowania liniami metalicznymi,



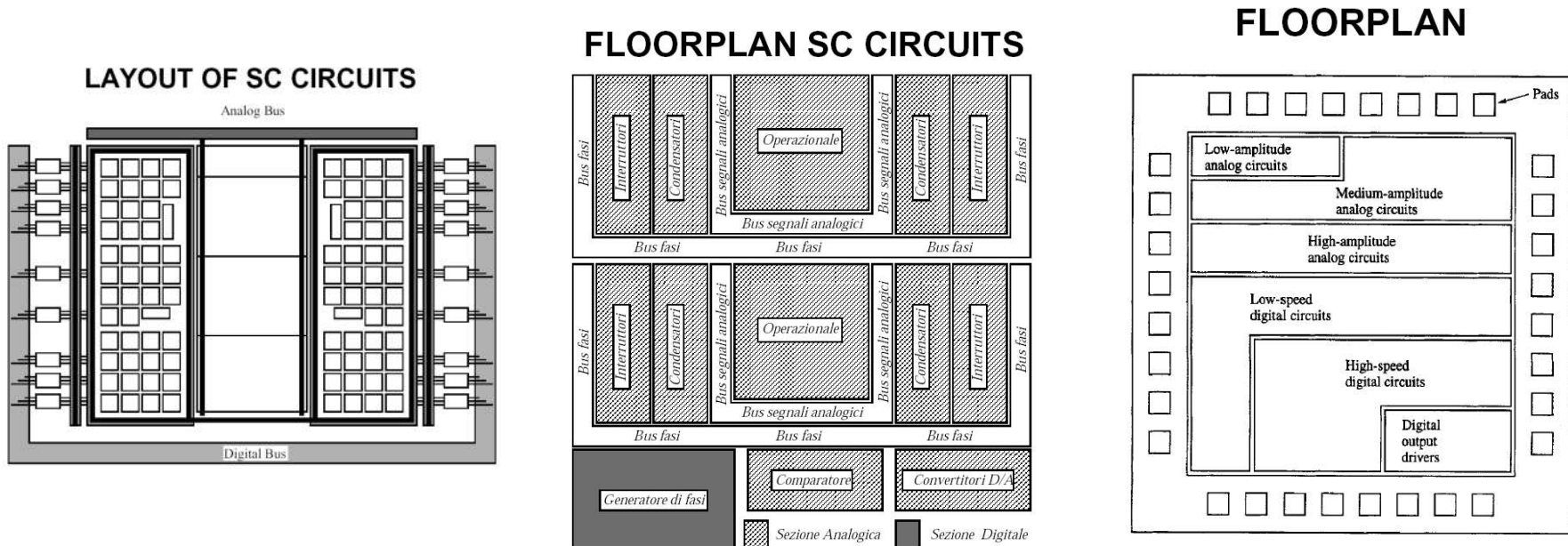
# 20.3 Metody zmniejszenia zakłóceń w układach mieszanych c.d.

- wczesne planowanie rozmieszczenia bloków (chip floorplanning),



## 20.3 Metody zmniejszenia zakłóceń w układach mieszanych c.d.

- wczesne planowanie rozmieszczenia bloków (chip floorplanning),



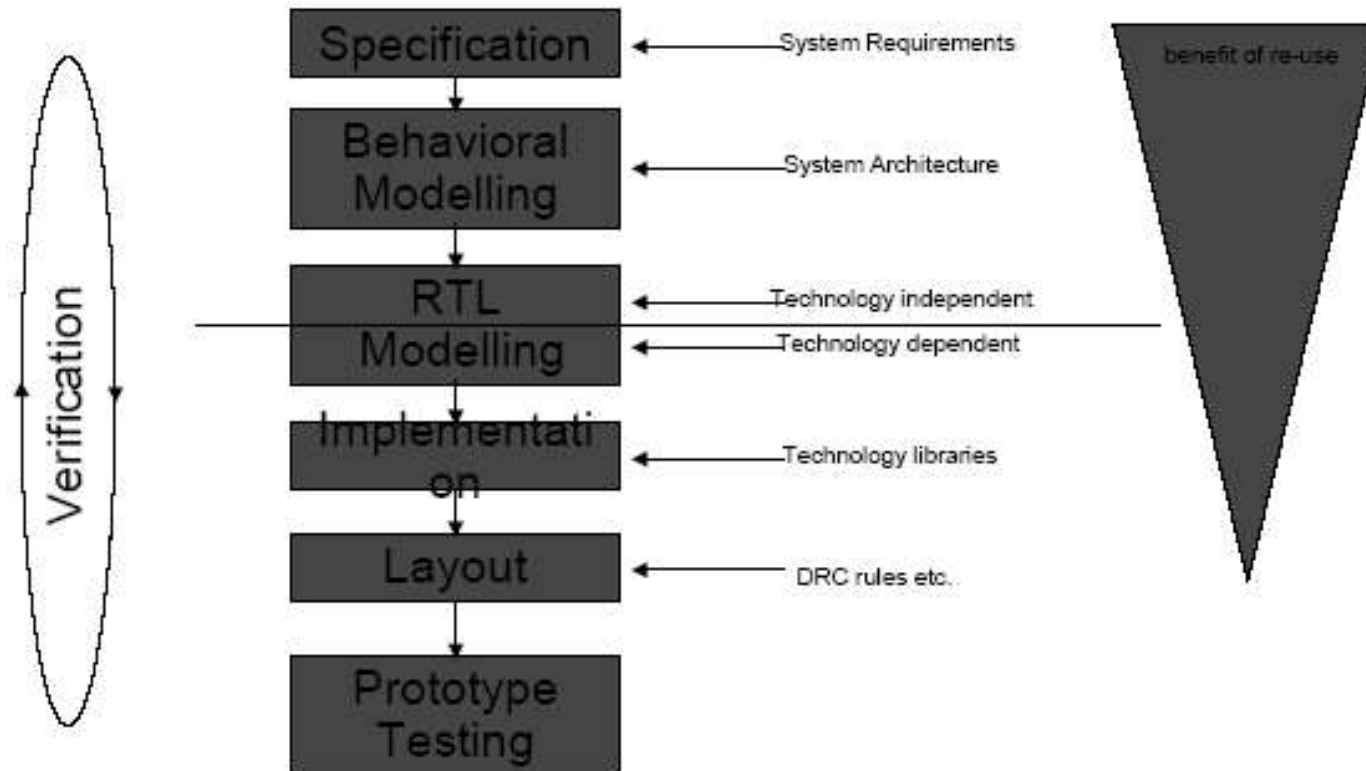
- odpowiednie zaplanowanie wyprowadzeń układu scalonego (chip wiring),
- odpowiednie zaprojektowanie linii zasilających.



## **21. Wykorzystanie języków HDL do projektowania cyfrowych układów ASIC.**

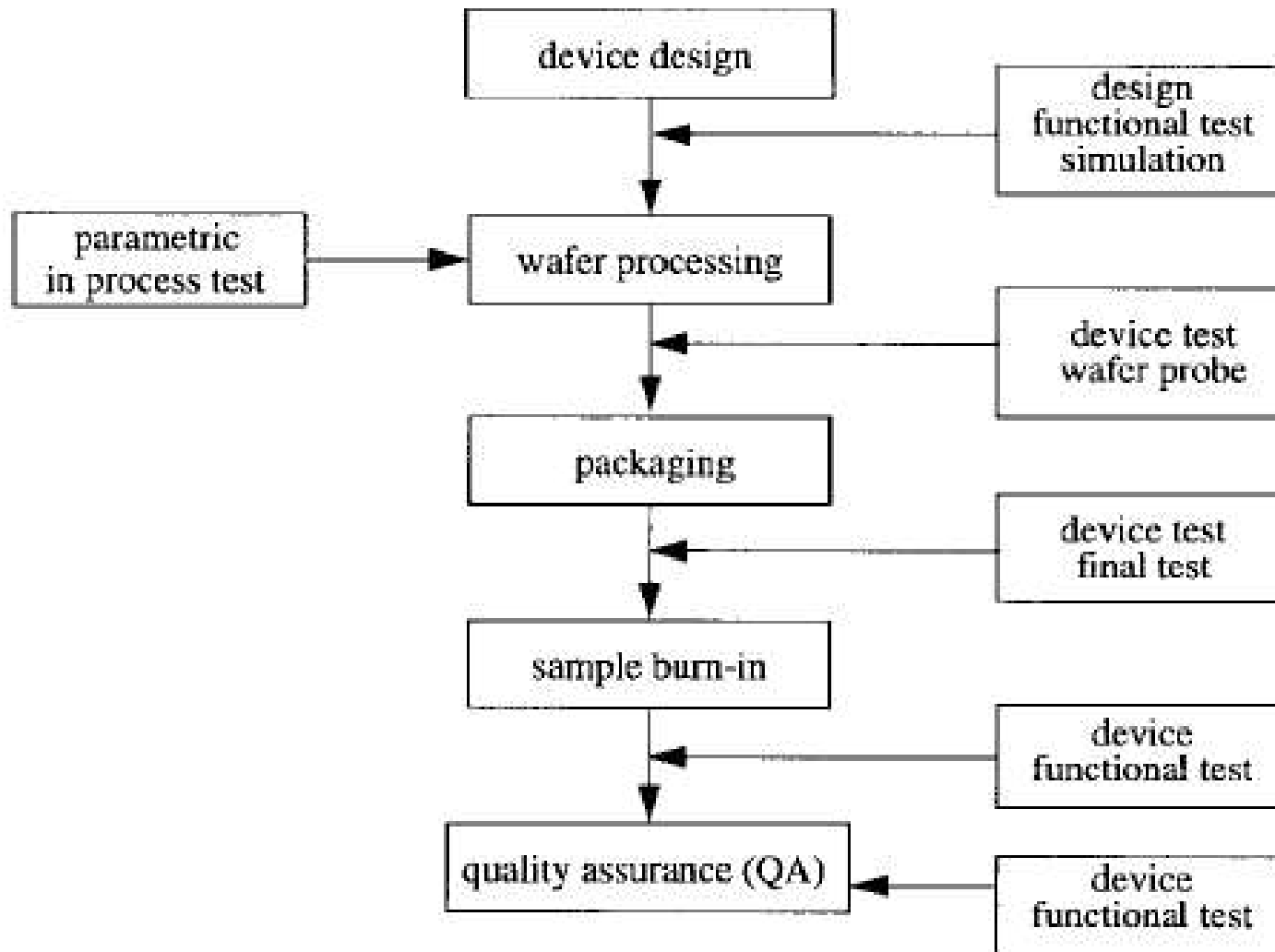
Języki HDL bardzo dobrze nadają się do opisu układów cyfrowych. Są obecnie bardzo szeroko stosowane w projektowaniu układów programowalnych jak również układów ASIC typu „standard cells”. Ze względu na szczegółowe omówienie języków VHDL i Verilog w ramach innych przedmiotów, poniżej (w następnym rozdziale) przedstawiony zostanie jedynie przebieg procesu projektowania z użyciem standardowych komórek i języków HDL.

## 22. Omówienie procesu automatycznego projektowania cyfrowych układów ASIC .



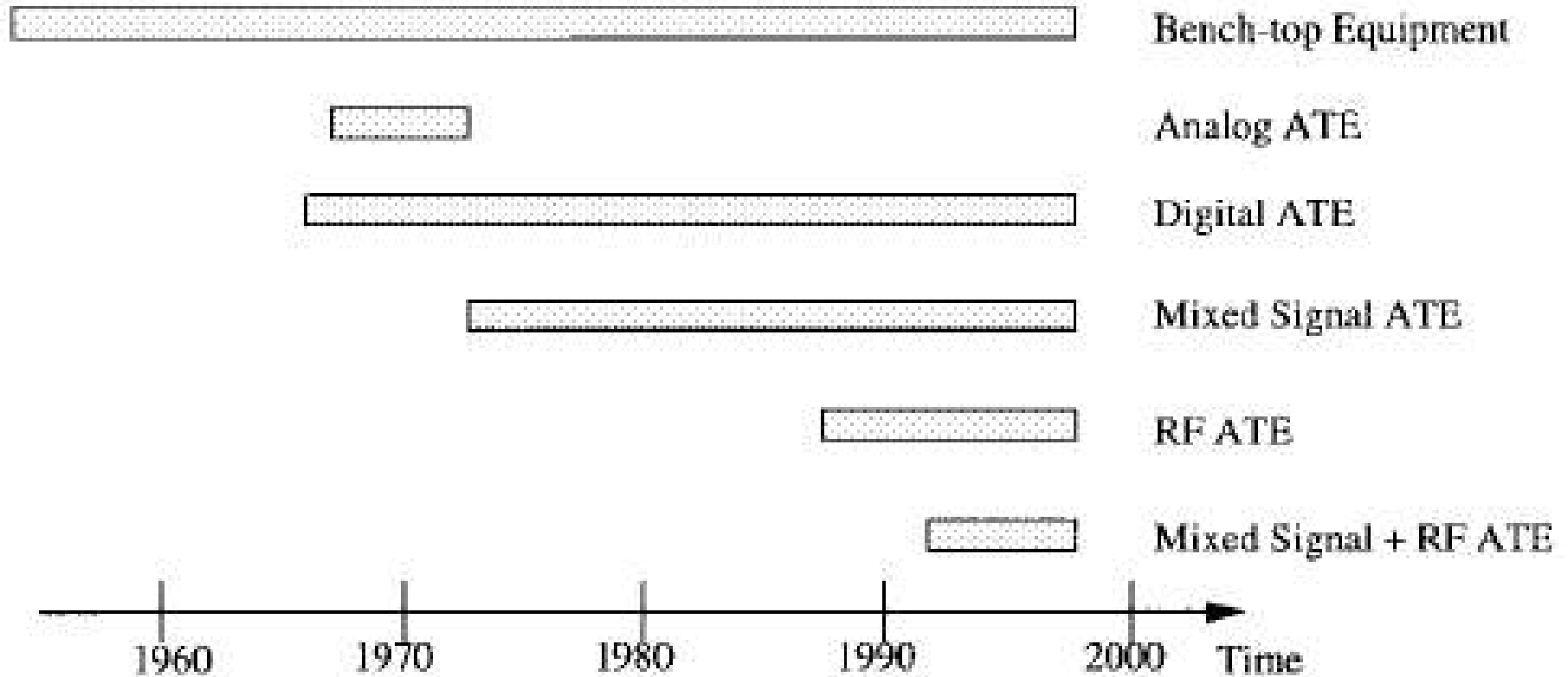
Rys. 22.1. Ogólny przebieg procesu projektowania cyfrowego układu scalonego.

## 25. Testowanie układów ASIC.



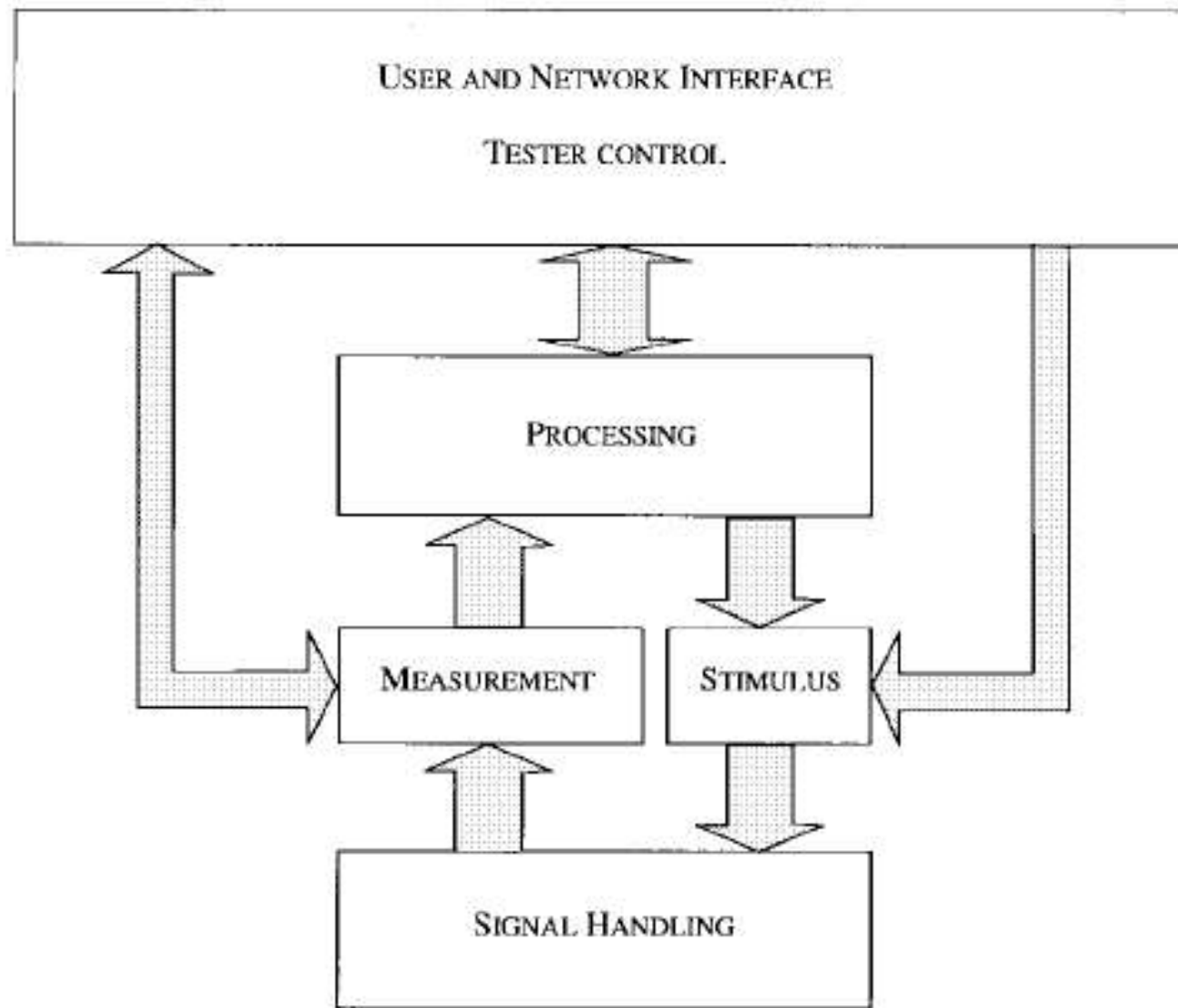
Rys. 25.1. Testowanie układu scalonego na różnych etapach produkcji układu scalonego [8].

## 25. Testowanie układów ASIC c.d.



Rys. 25.2. Rozwój testerów automatycznych ATE (ang. Automatic Test Equipment)[8].

## 25. Testowanie układów ASIC c.d.



Rys. 25.3. Bloki funkcjonalne automatycznego testera [8].

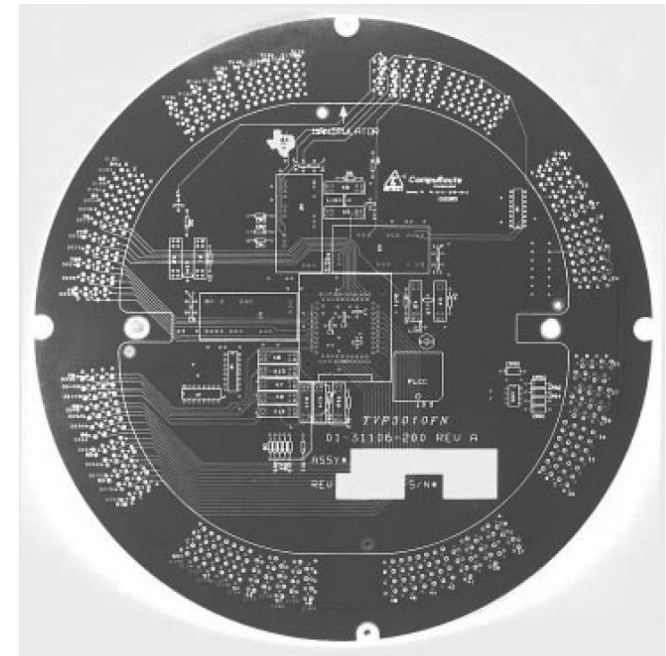
# 25. Testowanie układów ASIC c.d.

Parameter	Typical Specification
Voltage force range resolution	$\pm 0.5V$ to $\pm 60.0V$ 12 to 14 bits
Voltage measure range resolution	$\pm 0.5V$ to $\pm 60.0V$ 12 to 16 bits
Current force range resolution	$\pm 1nA$ to $\pm 200mA$ 12 to 14 bits
Current measure range resolution	$\pm 3.7nA$ to $\pm 200mA$ 12 to 16 bits
Meter input impedance	up to 1 G $\Omega$
Precision Waveform Sources and Digitizers Bandwidth Resolution Distortion	10 to 500 kHz 16 to 22 bits 75 to 110 dB
High Speed Waveform Sources and Digitizers Bandwidth Resolution Distortion	1 to 10 MHz 10 to 12 bits 40 to 60 dB
RF Sources and Measures Frequency Ranges I/O power 2 port S parameter measurement range	0.001 to 4GHz -130 to +30dBm -70 to +20dBm
Digital Input/Output Frequency Number of Formats Data Capture	up to 50MHz* 10 - 13 (drive and compare) up to 50MHz*

\* - purely digital ATE's provide much higher digital rates  
Some of the mixed-signal ATE vendors provide special modes which increase the digital rates and digital capture up to 400MHz.

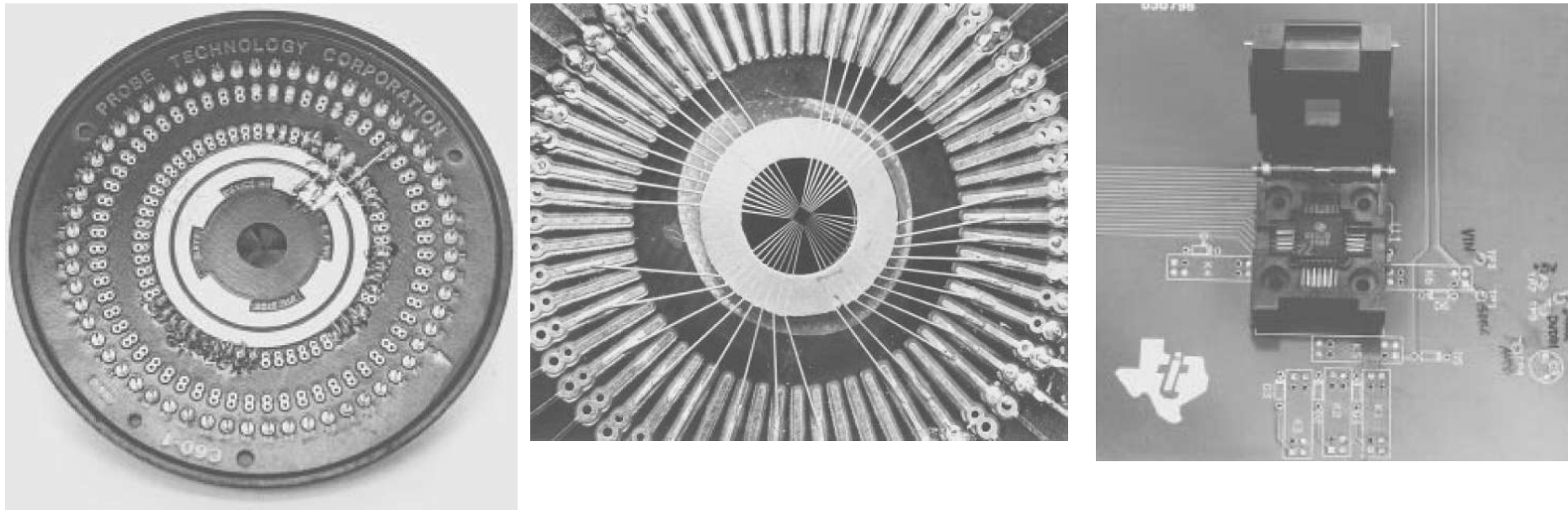
Tabela 25.1. Typowe parametry sprzętu ATE [8].

## 25. Testowanie układów ASIC c.d.



Rys. 25.4. System ATE LTX Syncho (na lewo), interfejs połączeniowy DIB Teardyne A580 (na prawo),

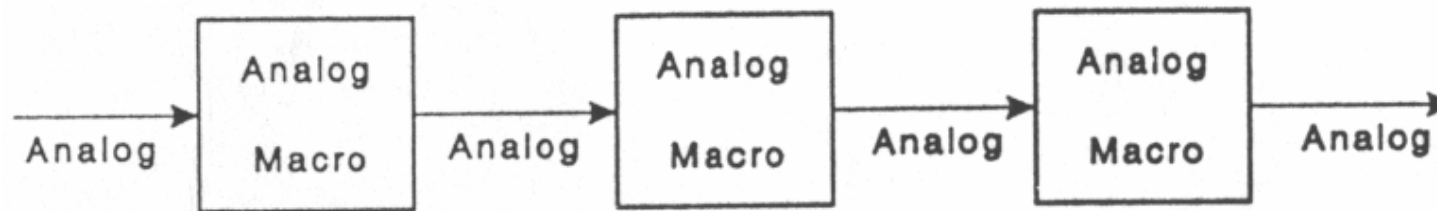
## 25. Testowanie układów ASIC c.d.



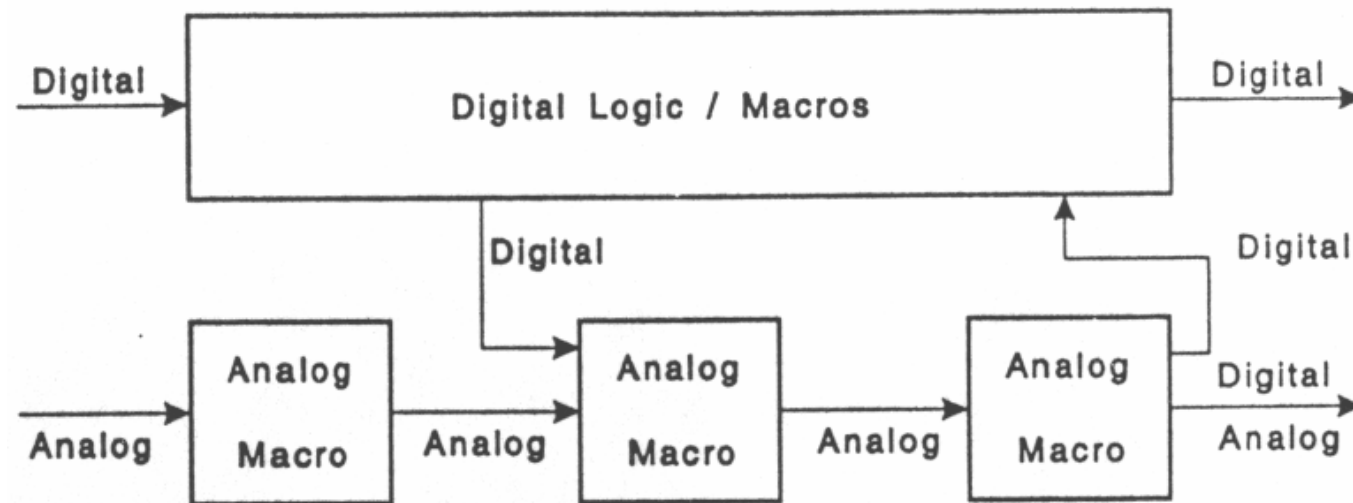
*Rys. 25.4. Kolejno od lewej: próbni o małej liczbie wyprowadzeń strona wierzchnia i spód oraz podstawka przylutowana bezpośrednio na DIB[8].*



## 26. Projektowanie układów ASIC z uwzględnieniem ich testowania [9].



Rys. 26.1. Założony podział analogowego układu scalonego na bloki funkcjonalne [9].



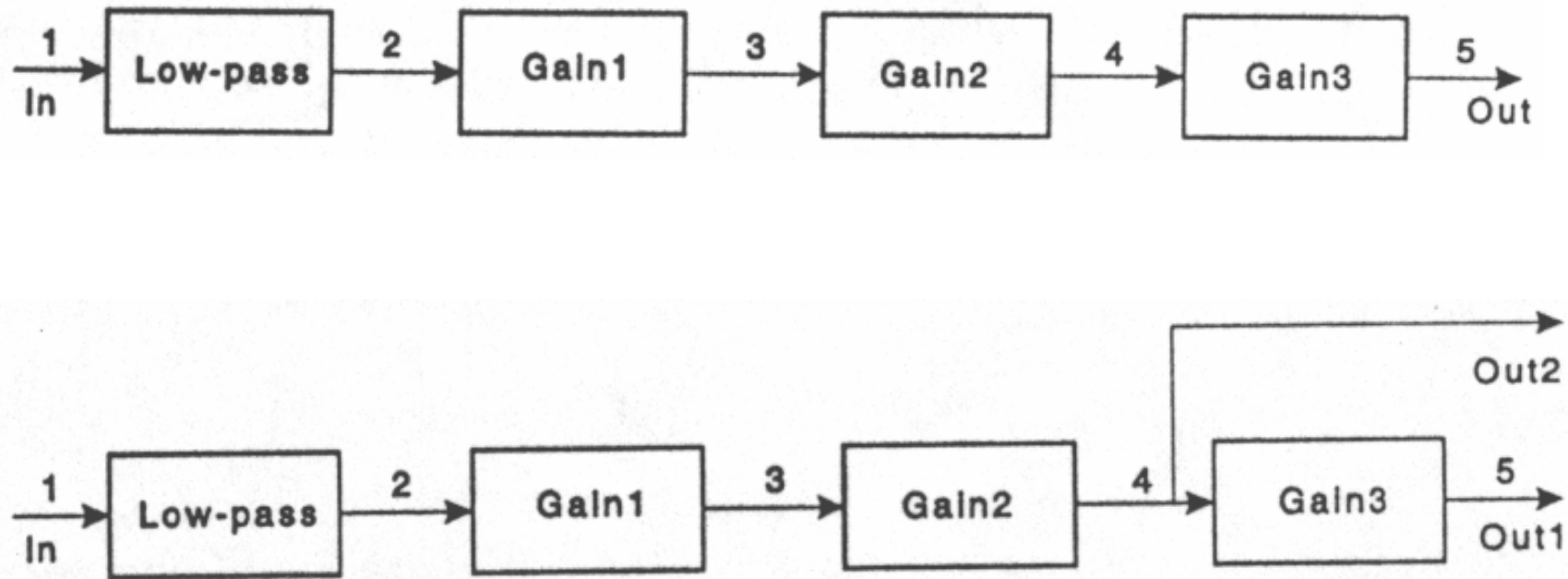
Rys. 26.2. Założony podział mieszanego układu scalonego na bloki funkcjonalne [9].

## 26. Projektowanie układów ASIC z uwzględnieniem ich testowania [9].

Projektowanie układu ASIC z uwzględnieniem jego testowania (ang. DFT Design for Testability) polega na takim dodaniu niezbędnych podukładów wykorzystywanych w czasie testowania, które umożliwią lub ułatwią wykrycie uszkodzenia układu scalonego. Dodane elementy powinny być zrealizowane jak najmniejszym kosztem (liczonym zwiększeniem czasu projektowania, zwiększeniem powierzchni układu scalonego jak również zmniejszeniem uzysku produkcyjnego) oraz powinny wprowadzać minimalne pogorszenie parametrów.

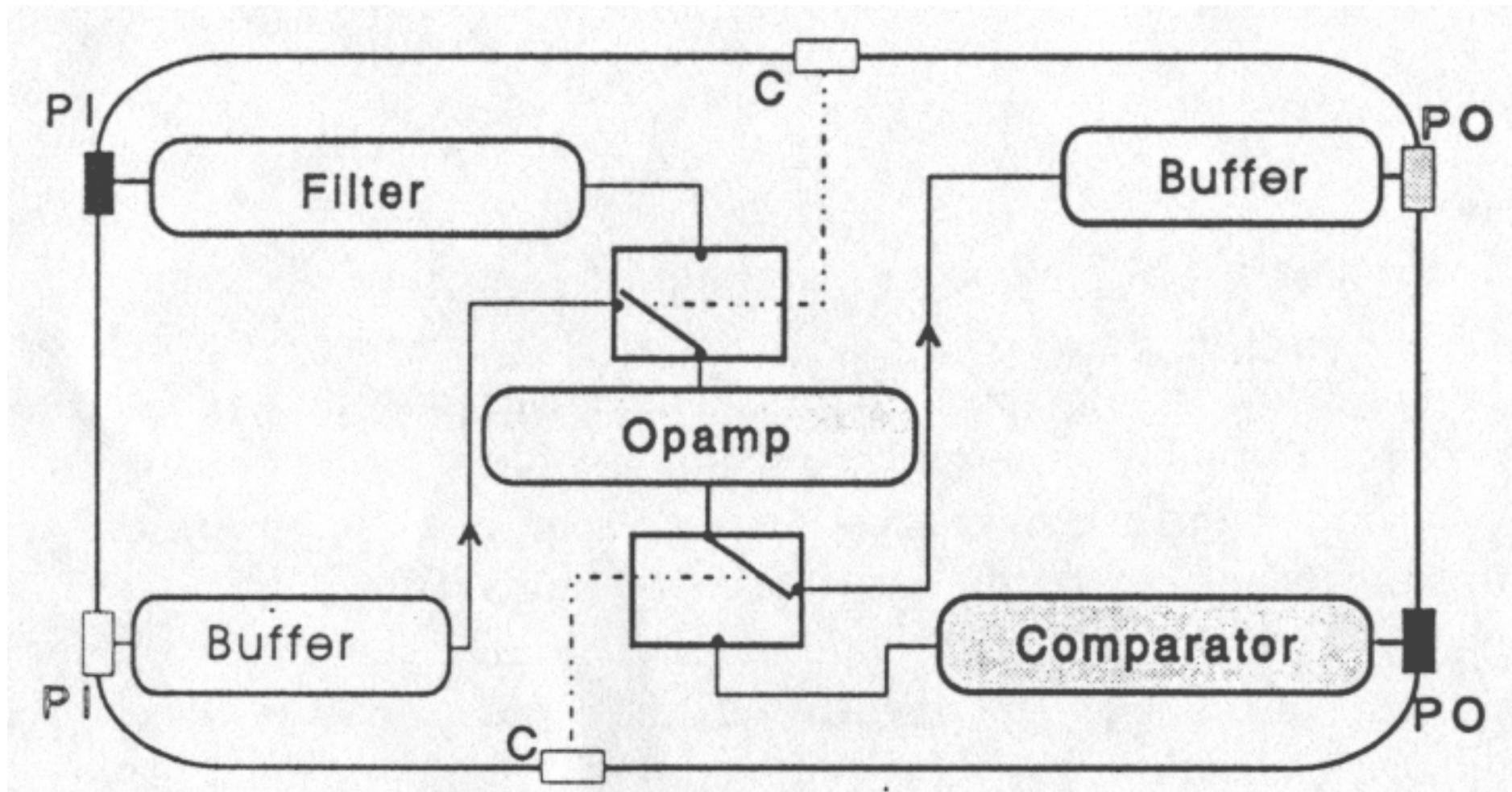
## 26.1. Układy analogowe i mieszane [9].

### 26.1.1. Zwiększanie możliwości sterowania i obserwacji istotnych węzłów sygnałowych.



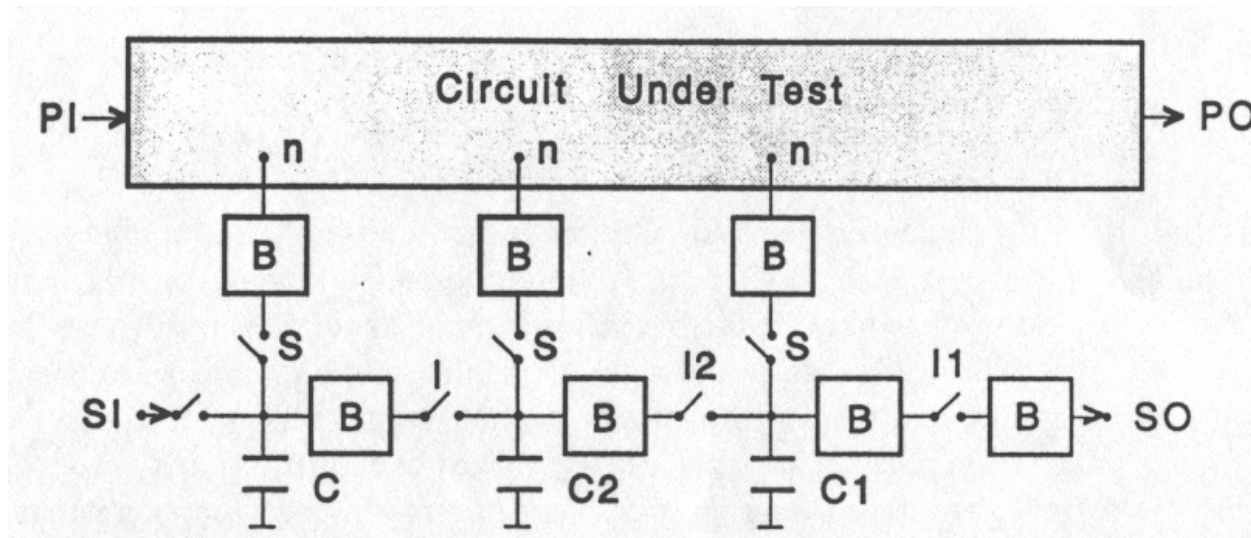
*Rys. 26.3. Kaskada bloków analogowych (góra) powiększona o dodatkowe wyprowadzenie kontrolne (dół) [9].*

## 26.1.1. Zwiększanie możliwości sterowania i obserwacji c.d.

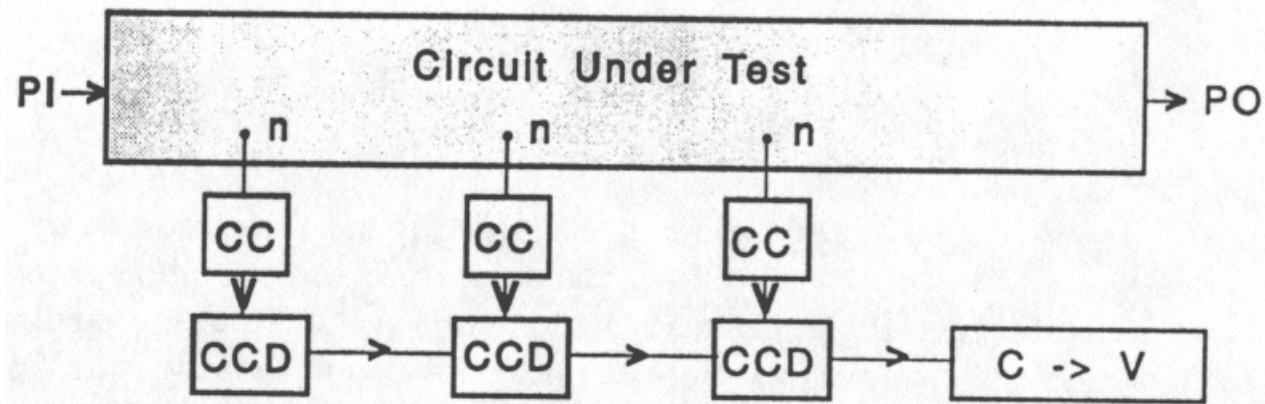


Rys. 26.4. Przykład zastosowania analogowych przełączników w celu umożliwienia sterowania i obserwacji wewnętrznym blokiem wzmacniacza operacyjnego. Wstawienie buforów jest niezbędne w celu zmniejszenia wpływu dodatkowego obciążenia [9].

## 26.1.1. Zwiększanie możliwości sterowania i obserwacji c.d.

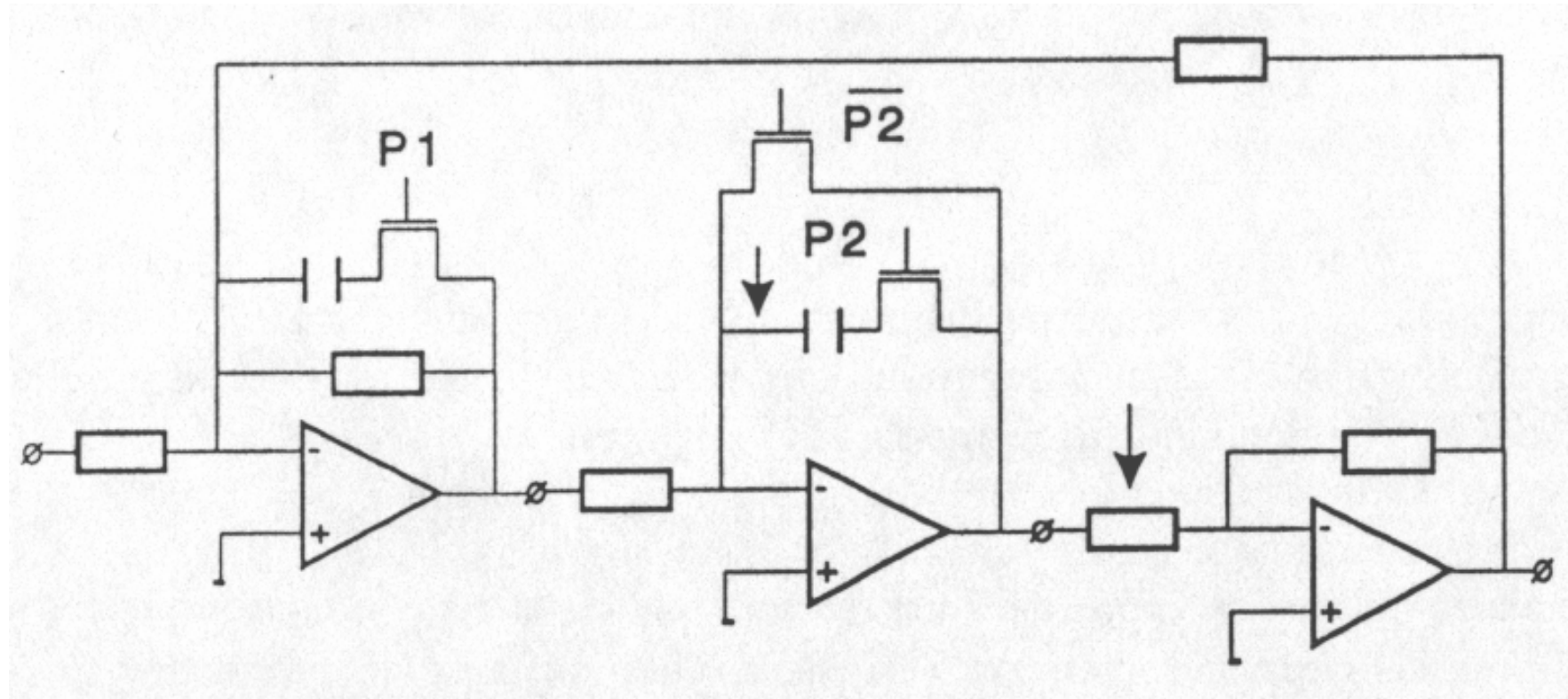


Rys. 26.5. Analogowe przesuwanie wartości sygnałów zapamiętanych w poszczególnych węzłach sygnałowych [9].



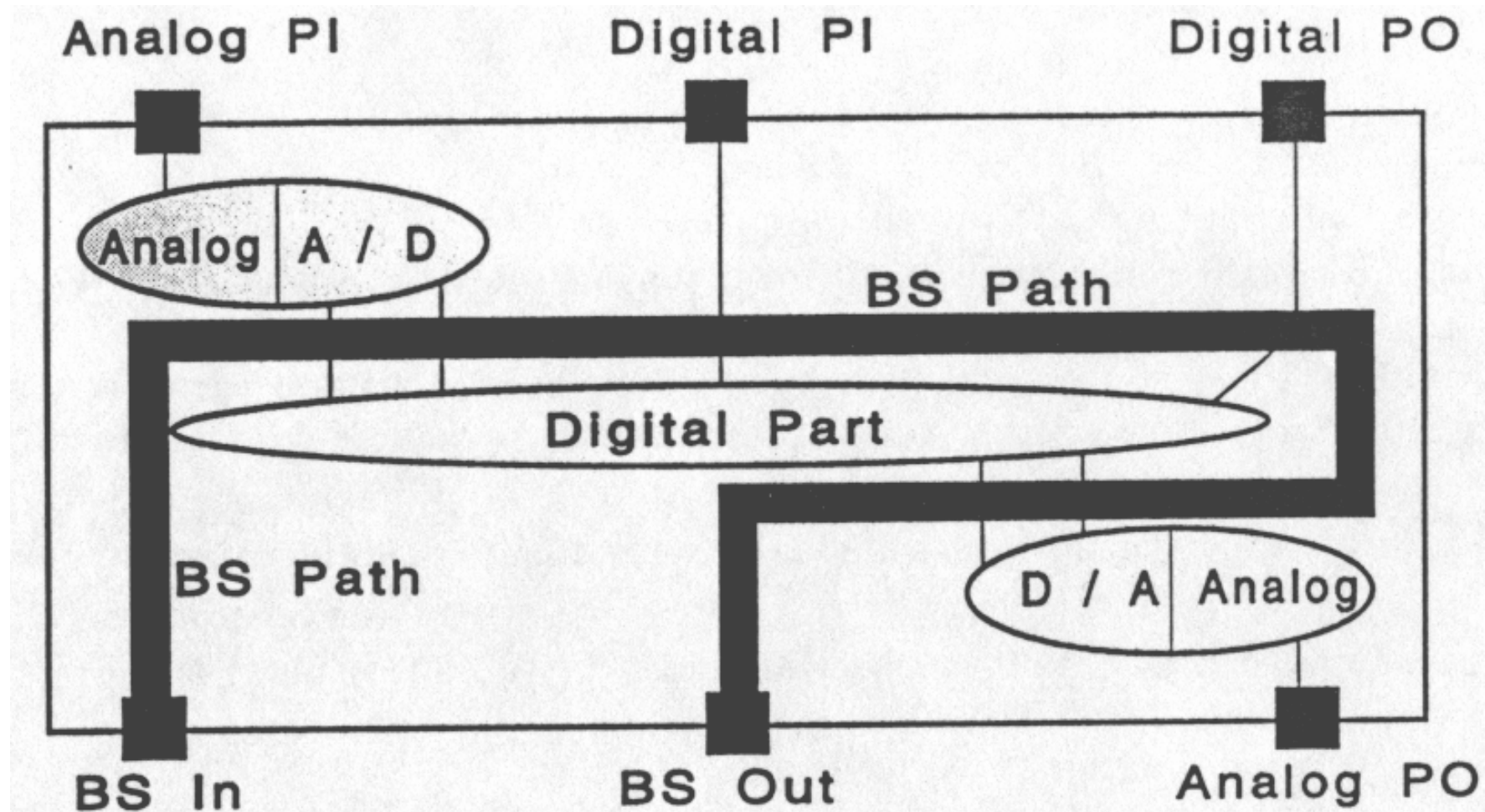
Rys. 26.6. Element CCD jako rejestr obserwacyjny wewnętrznych sygnałów analogowych [19].

## 26.1.1. Zwiększanie możliwości sterowania i obserwacji c.d.



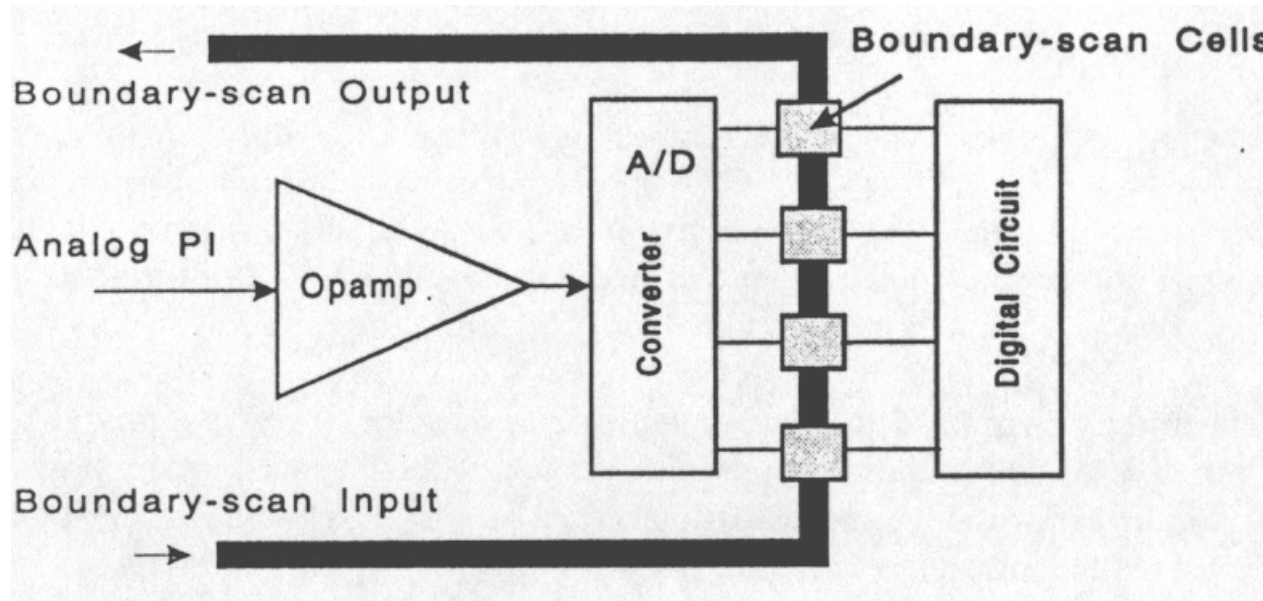
Rys. 26.7. Przykład filtru analogowego zmodyfikowanego o elementy umożliwiające testowanie uszkodzeń twardych i miękkich [9].

## 26.1.1. Zwiększanie możliwości sterowania i obserwacji c.d.



Rys. 26.8. Testowanie części analogowej układu mieszanego z wykorzystaniem rejestru brzegowego [9].

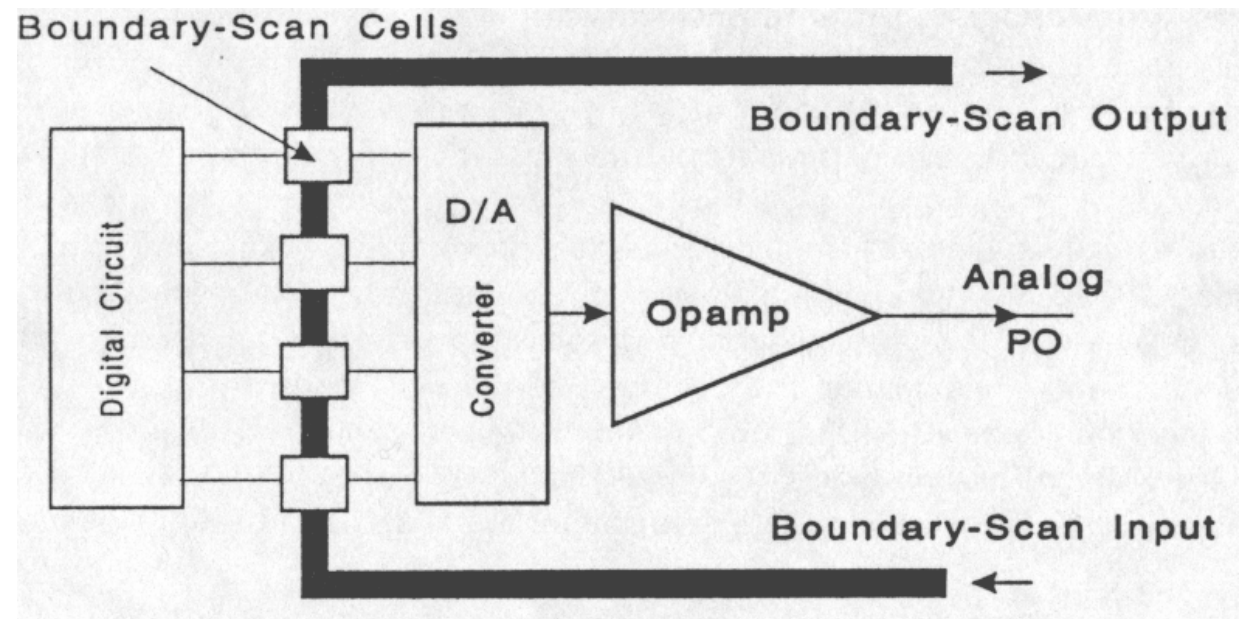
## 26.1.1. Zwiększanie możliwości sterowania i obserwacji c.d.



Rys. 26.9. Testowanie sygnału wyjściowego z bloku analogowego za pomocą rejestru brzegowego [9].



Rys. 26.10. Ustawianie wartości sygnału wejściowego w testowanym bloku analogowym poprzez zastosowanie rejestru brzegowego [9].





## 26.1.2. Wbudowane układy testujące.

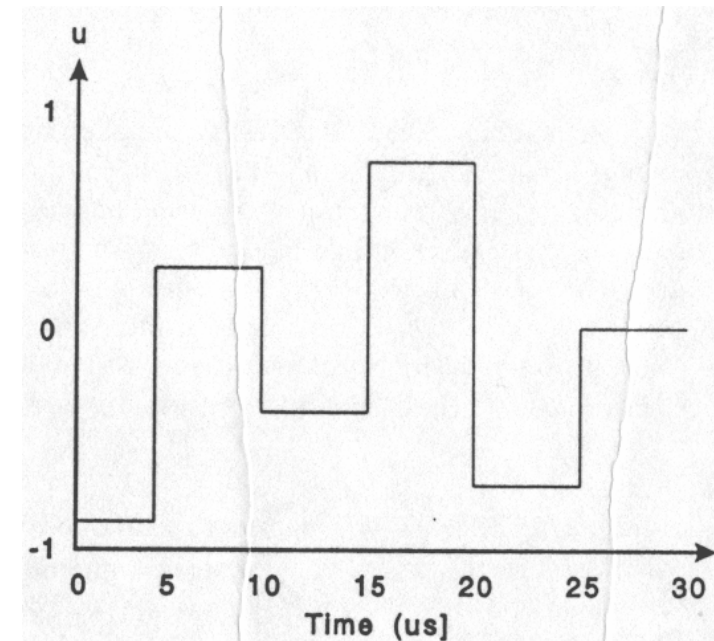
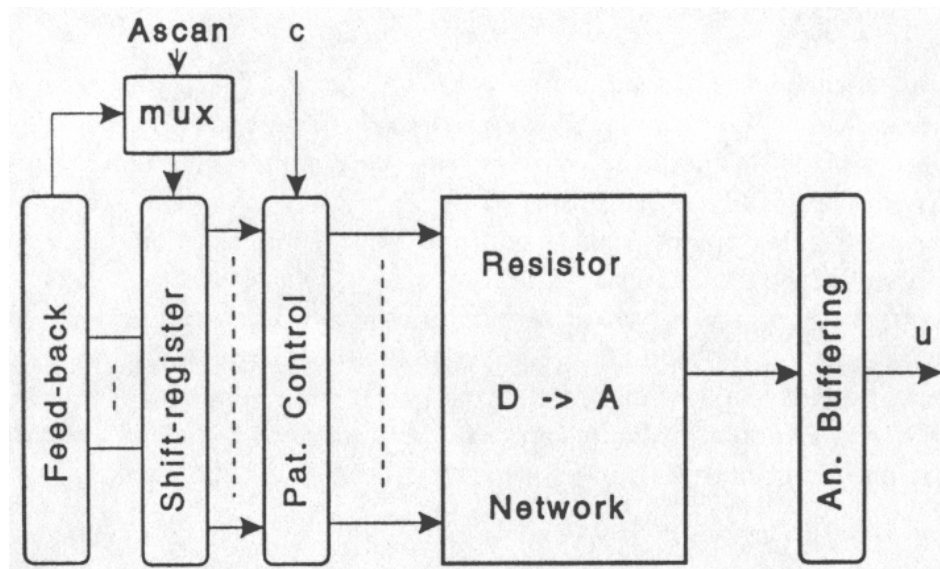
W celu integracji samotestu do układu scalonego niezbędne jest dodanie do jego wnętrza następujących bloków:

- analogowe multipleksery,
- generator sygnałów testowych,
- układ oceniający odpowiedzi bloków analogowych,
- układ sterujący testem.

*Analogowy multiplekser* jest używany do izolacji podbloku analogowego w celu jego przetestowania.

*Generator sygnałów testowych* wytwarza niezbędny przebieg sygnałowy podawany na wejście badanego podbloku.

## 26.1.2. Wbudowane układy testujące c.d.

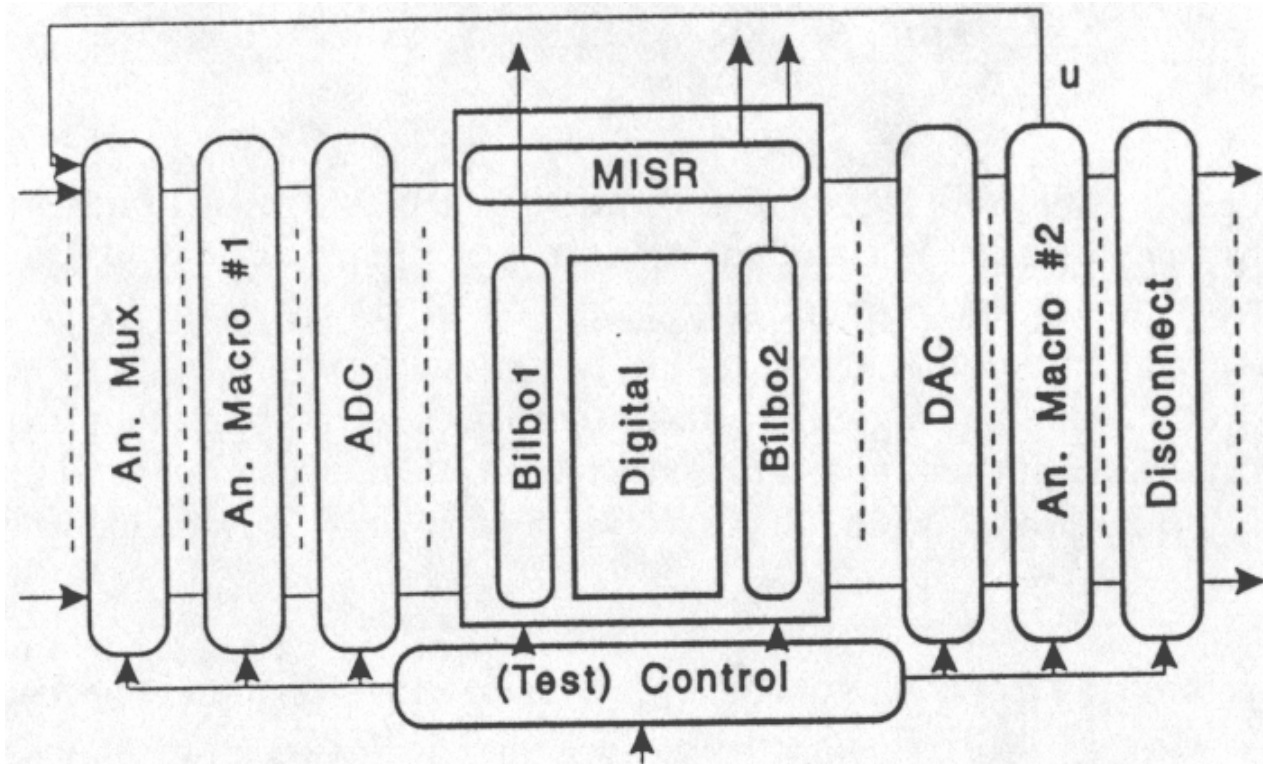


*Rys. 26.11. Schemat blokowy układu generatora pobudzeń analogowych oraz przykładowy ciąg generowanego przebiegu [9].*

## 26.1.2. Wbudowane układy testujące c.d.

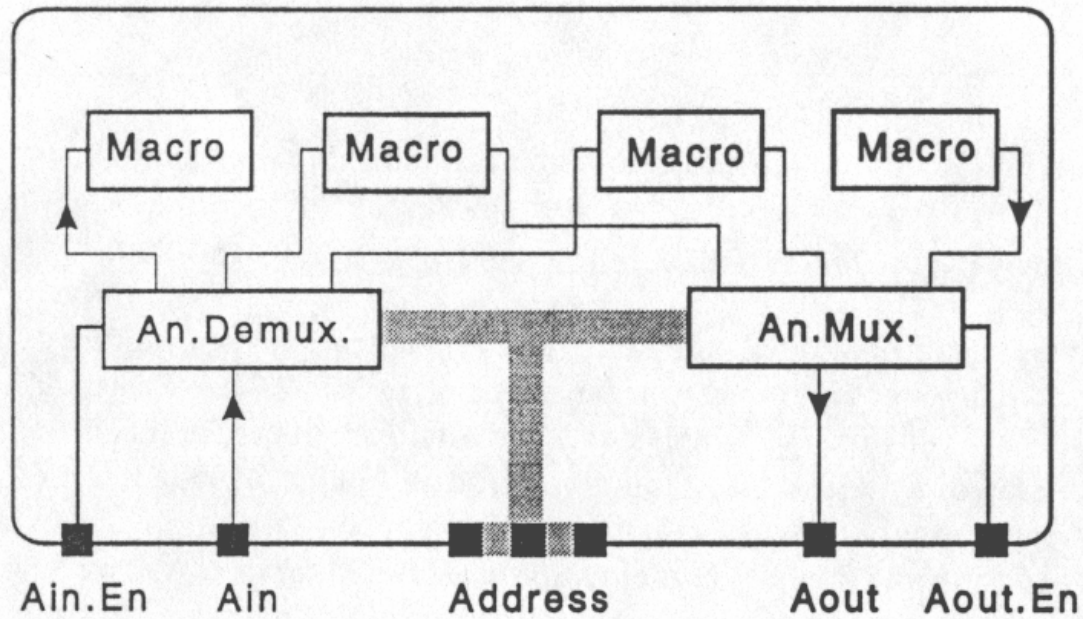
*Układ oceniający odpowiedzi bloków analogowych* ma na celu kwalifikację uzyskanej odpowiedzi do kategorii prawidłowych bądź wadliwych.

*Układ sterujący* aktywuje rozpoczęcie testów i steruje pracą testera. Aktywacja powinna następować za pomocą sygnałów zewnętrznych lub poprzez włączenie zasilania lub zerowanie systemu.

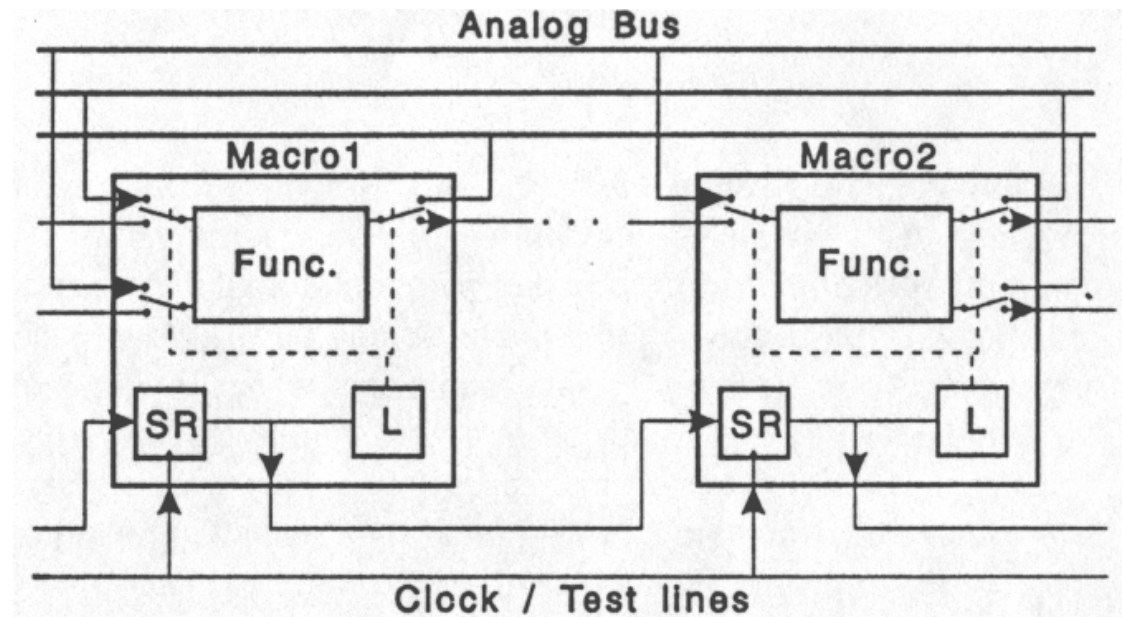


Rys. 26.13. Schemat blokowy mieszanego układu samotestującego [9].

### 26.1.3. Multipleksowane analogowe szyny testujące [9].



Rys. 26.14. Przelączana szyna analogowa [9].



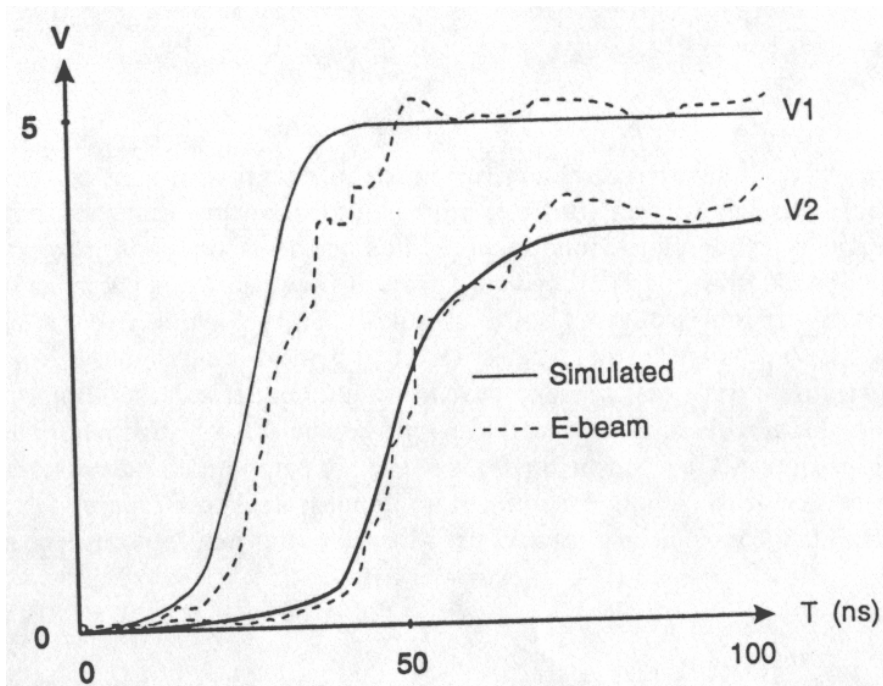
## 26.1.4. Testowanie przy zastosowaniu wiązki elektronów (ang. Electron-Beam Testability) [9].

Metoda pomiaru jest następująca: układ scalony jest umieszczany w próżni a następnie próbująca wiązka elektronów jest skierowana na punkt którego potencjał jest mierzony. Energia elektronów odbitych jest mierzona w spektrometrze. Wartość tej energii odzwierciedla napięcie panujące na podłożu od którego nastąpiło odbicie.

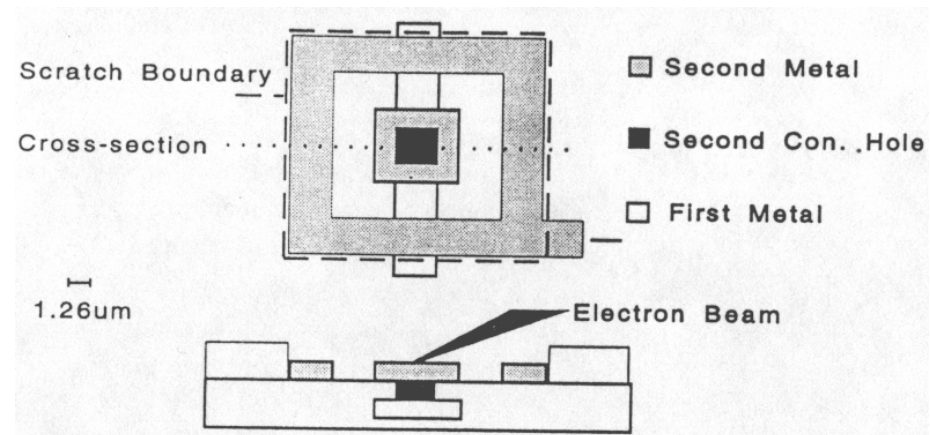
Obecne możliwości systemów wykorzystujących wiązkę elektronów są następujące:

- zakres sygnałów  $\pm 25\text{V}$ ,
- rozdzielczość mierzonego napięcia  $5\text{mV}$ ,
- dokładność pomiaru  $< 3\%$ ,
- częstotliwości pomiarowe do kilkuset MHz,
- średnica wiązki elektronów mniejsza niż  $0.1\mu\text{m}$ .

## 26.1.4. Testowanie przy zastosowaniu wiązki elektronów (ang. Electron-Beam Testability) c.d.



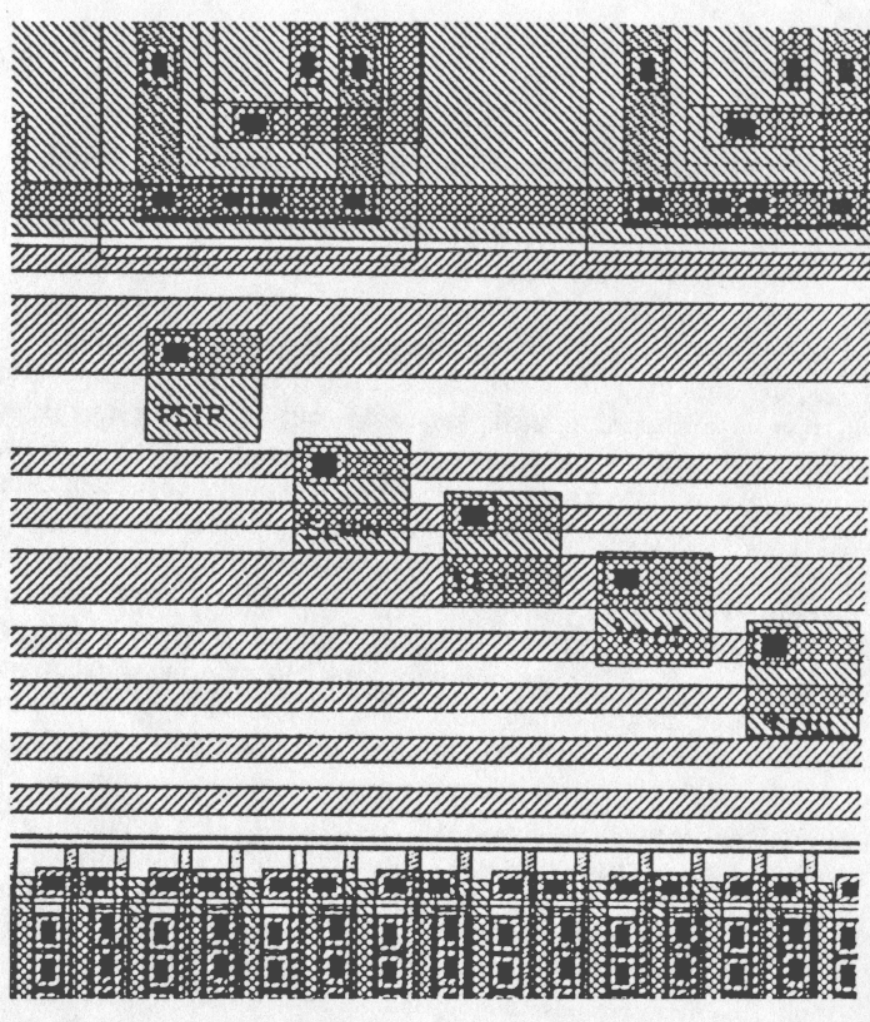
Rys. 26.16. Porównanie pomiarów przy użyciu aparatury wykorzystującej wiązkę elektronów oraz symulacji SPICE [9].



Rys. 26.17. Punkt dostępu do pomiarów z wykorzystaniem wiązki elektronów[9].



## 26.1.4. Testowanie przy zastosowaniu wiązki elektronów (ang. Electron-Beam Testability) c.d.



Rys. 26.18. Przykład umiejscowienia punktów testowych w złożonym układzie scalonym[9].

### Zalety metody:

- bardzo mała i możliwa do uwzględnienia pojemność dołączana do badanych węzłów,
- bardzo duża rozdzielczość przestrzenna (0.1  $\mu\text{m}$ ),
- technika niedestrukcyjna,
- możliwość automatycznego umieszczania pkt. pomiarowych.

### Wady:

- niska dokładność i rozdzielczość pomiarów,
- relatywnie długi czas pomiarów w porównaniu z technikami klasycznymi,
- duży koszt inwestycji w sprzęt.<sup>187</sup>

## 26.2. Układy cyfrowe – na podstawie pakietu CADENCE.

W układach cyfrowych wykorzystuje się szeregowy rejestr przesuwany umożliwiający zarówno obserwację istotnych węzłów układu jak i ustawianie wartości tych węzłów do pewnej zadanej wartości. Jest to czynność standardowa i może zostać zautomatyzowana uwalniając w ten sposób projektanta od konieczności zwiększonego wysiłku i opisu w języku HDL dodatkowych struktur testowych.

CADENCE - specyfikacja stylu DFT jako jeden z poniższych:

- Muxed Scan Style,
- Clocked Scan Style,
- Clocked Level Sensitive Scan Design (LSSD),
- Auxiliary Clocked-LSSD Scan Style.

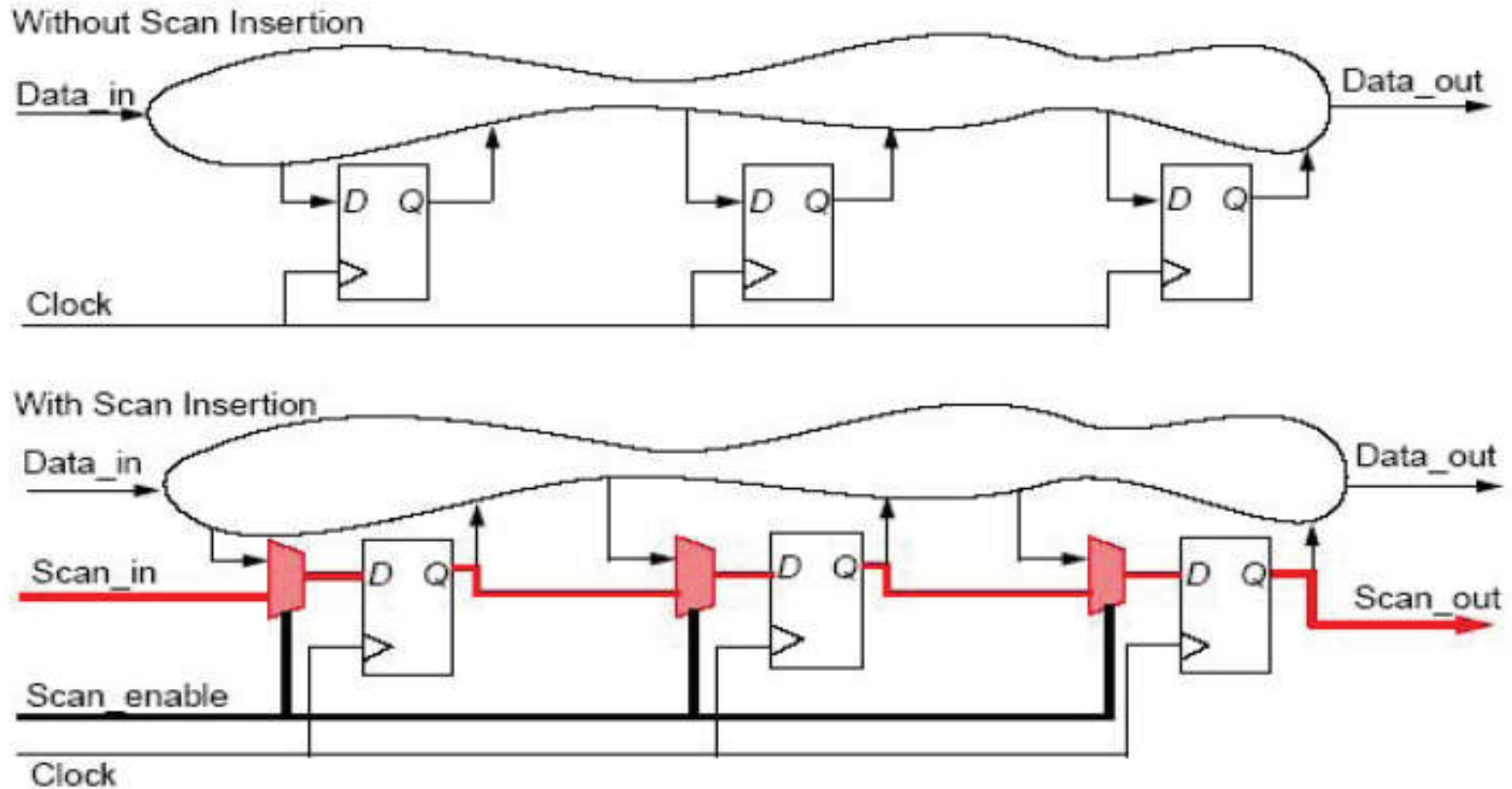


## 26.2. Układy cyfrowe – na podstawie pakietu CADENCE c.d.

Niezależnie od wybranego stylu syntezer wykonuje następujące czynności:

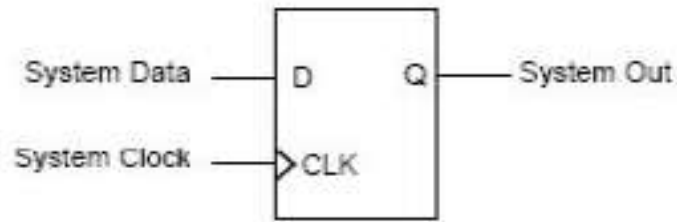
- Zamienia wszystkie przerzutniki, które spełniają warunki DFT, układem odpowiednim dla danego wybranego stylu DFT. W przypadku stylu Muxed Scan Style są to przerzutniki zawierające na wejściu danych multiplekser. W zależności od aktualnego trybu pracy układu multiplekser wybiera albo sygnał systemowy albo sygnał skanowany.
- Dodaje do modułu wyprowadzenie sterujące multiplekserem.
- Dodaje do modułu wyprowadzenie wejściowe i wyjściowe łańcucha skanującego.

## 26.2. Układy cyfrowe – na podstawie pakietu CADENCE c.d.

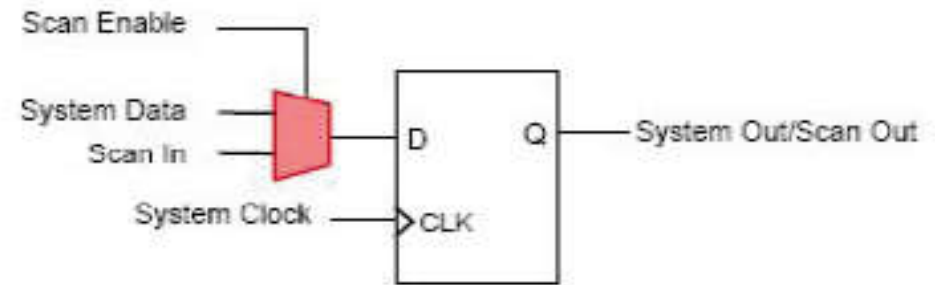


Rys. 28.19. Rdzeń modułu cyfrowego przed (góra) i po wstawieniu (dół) multiplekserów łańcucha skanującego.

## 26.2. Muxed Scan Style.



Regular D Flip-Flop

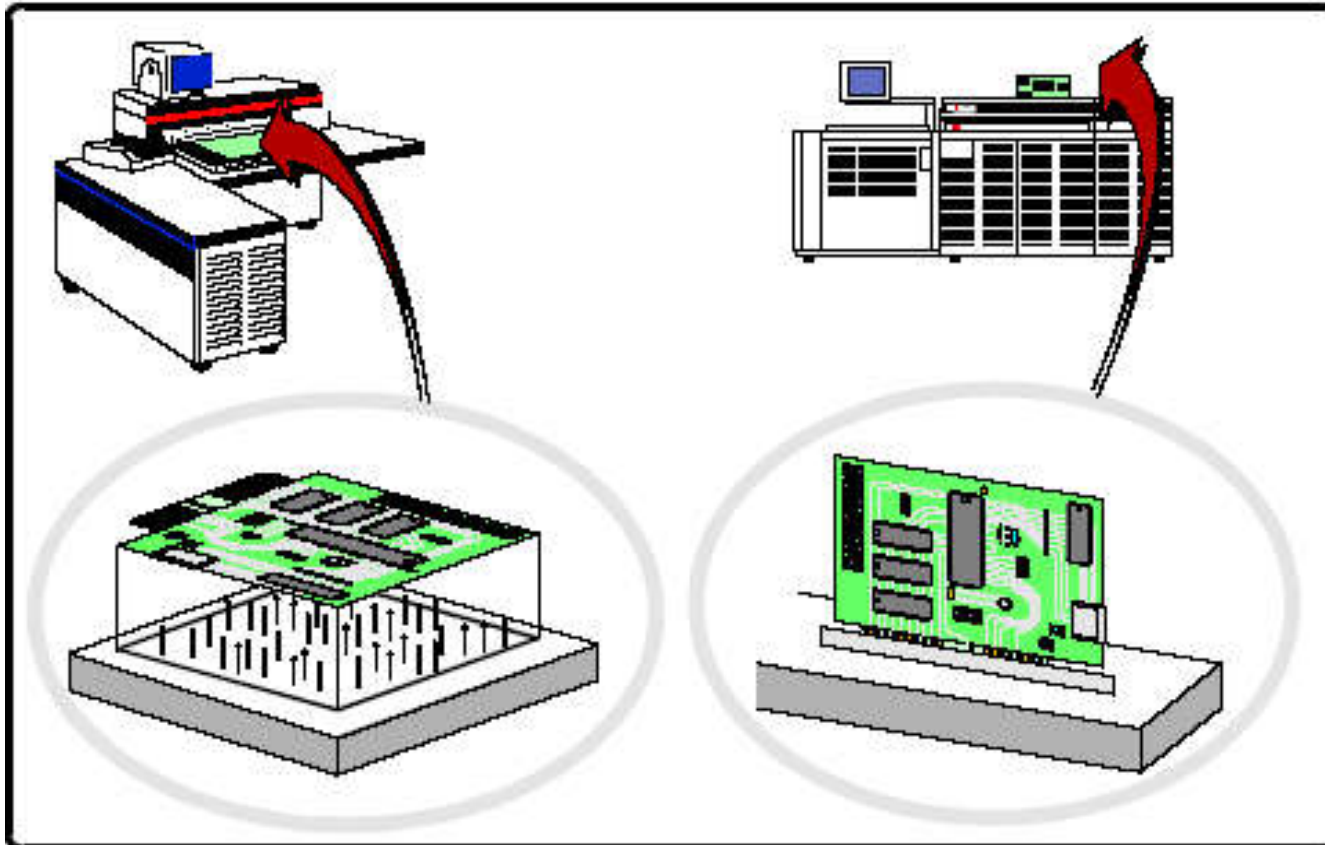


Multiplexer Scan Flip-Flop

	<b>System Data</b>	<b>Scan In</b>	<b>Scan Enable</b>	<b>System Clock</b>	<b>System Out/ Scan Out</b>
System Mode	0	X	0	↑	0
System Mode	1	X	0	↑	1
Scan Shift Mode	X	0	1	↑	0
Scan Shift Mode	X	1	1	↑	1
Either	X	X	X	0	Q

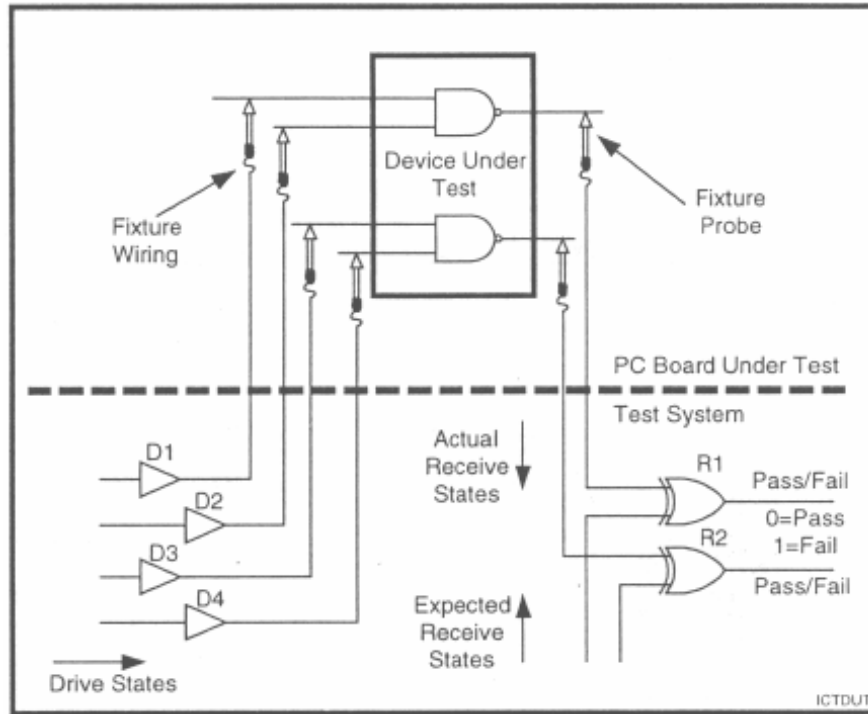
# 27. Interfejs IEEE 1149.1 (JTAG).

## 27.1 Powstanie standardu 1149.1.

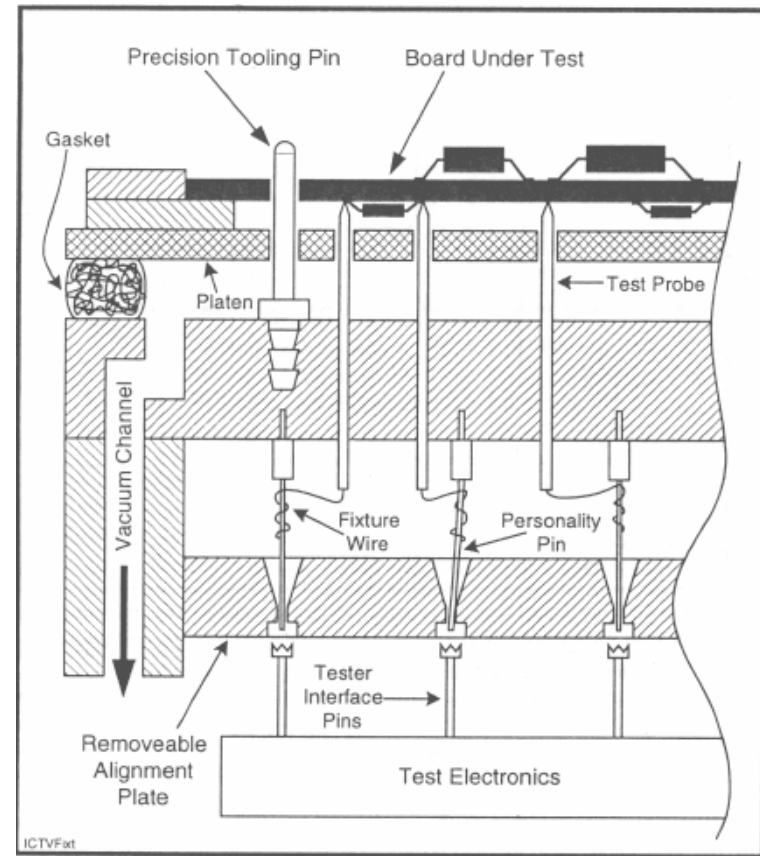


*Rys. 27.1. Testowanie przy użyciu testera typu „łóże fakira” oraz testowanie funkcjonalne.*

## 27.1. Powstanie standardu 1149.1.



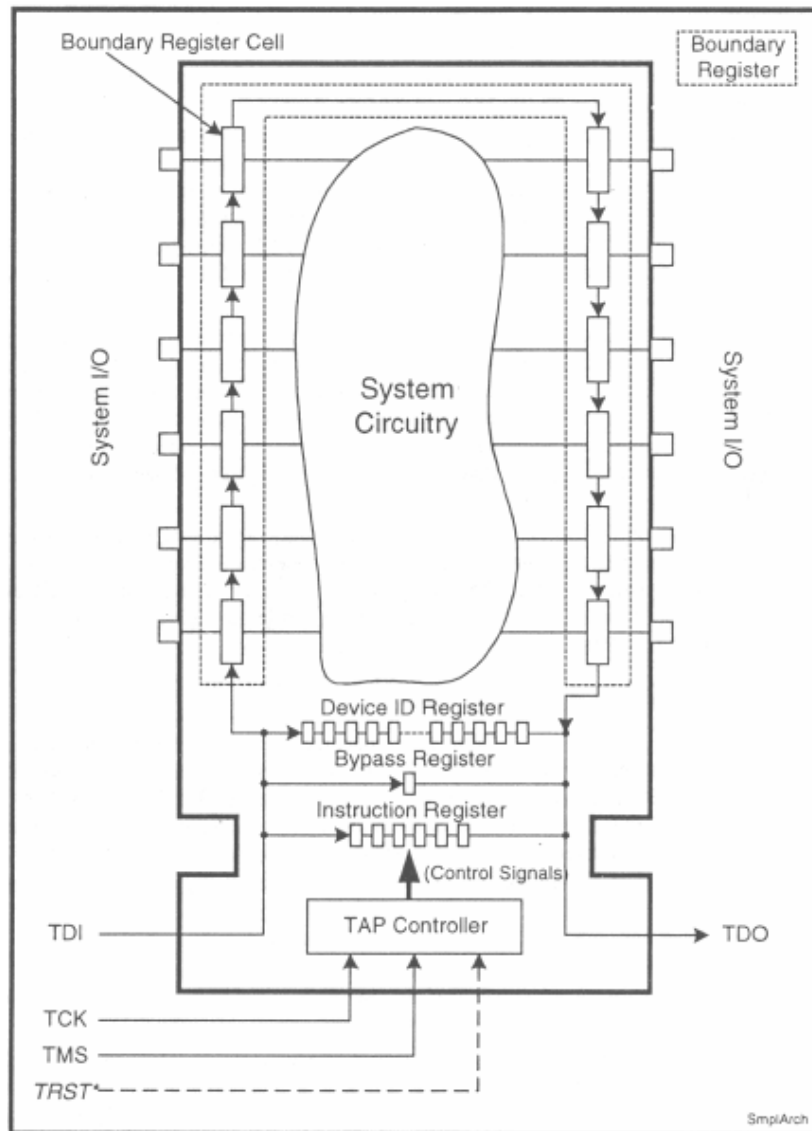
Rys. 27.2. Schemat blokowy testowania w układzie [7].



Rys. 27.3. Przekrój poprzeczny „łoża fakira” [7].

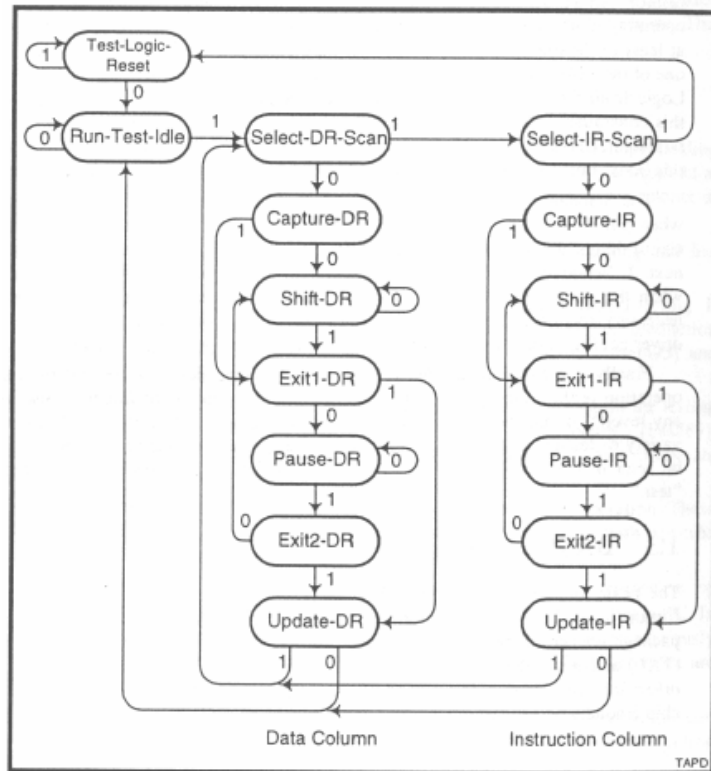
W latach 80-siątych grupa europejskich przedsiębiorstw założyła organizację nazwaną Joint European Test Action Group mającą na celu rozwiązanie problemów związanych z testowaniem coraz to większych układów. Później do grupy dołączyło kilka przedsiębiorstw ze Stanów Zjednoczonych co spowodowało zmianę nazwy organizacji na Joint Test Action Group (JTAG). Organizacja ta utworzyła standard IEEE1149.1 nazywany często również skrótem JTAG.

## 27.2. Architektura układu zgodnego z IEEE 1149.1.



Rys. 27.4. Ogólna architektura układu scalonego zgodnego ze standardem IEEE1149.1 [7].

## 27.3. Kontroler TAP.



Rys. 27.5. Maszyna stanów kontrolera TAP [7].

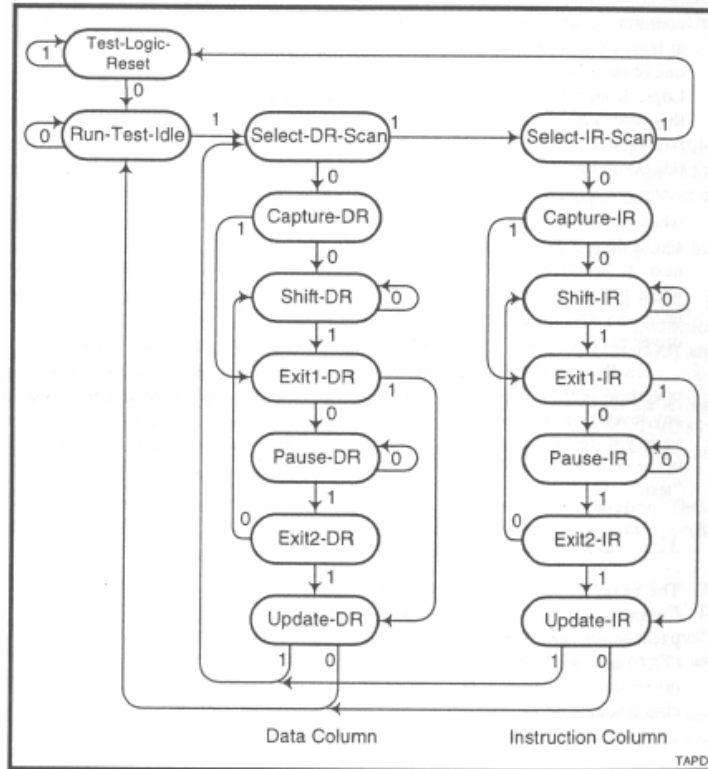
**TEST-LOGIC-RESET:** Jest to stan resetu kontrolera TAP. W tym stanie układ scalony pracuje jakby części testowej w nim nie było. Rejestr instrukcji jest inicjalizowany zawartością instrukcji IDCODE jeśli układ zawiera opcjonalny rejestr ID. Jeśli nie ma rejestru ID rejestr instrukcji jest wypełniany instrukcją BYPASS. Aktywowanie TRST\* wprowadza kontroler w stan reset. Sekwencja pięciu okresów zegara w czasie których sygnał TMS jest w stanie wysokim również wprowadza kontroler w stan reset niezależnie od bieżącego stanu maszyny stanów. Włączenie zasilania także powinno prowadzić do wejścia w ten stan.

**RUN-TEST/IDLE:** Po wejściu do tego stanu kontroler pozostaje w nim tak długo jak długo TMS jest w stanie niskim. Kiedy TMS jest w stanie wysokim następnym stanem kontrolera jest SELECT-DR-SCAN. W stanie RUN-TEST/IDLE aktywność logiki testującej występuje tylko jeśli pewne instrukcje są obecnie aktywne. Na przykład instrukcja RUNBIST powoduje wykonanie samotestowania układu scalonego. Inne instrukcje testujące mogą być także wykonywane w tym stanie jeśli były wcześniej zaprojektowane. Dla instrukcji które nie mają funkcji do wykonania w tym stanie, wszelkie rejestry wybrane przez bieżącą instrukcję pozostają niezmiennione.

**SELECT-DR-SCAN:** Ten stan jest stanem tymczasowym i przy kolejnym narastającym zboczu zegara TCK zmieni się albo na SELECT-IR-SCAN albo na CAPTURE-DR.

**SELECT-IR-SCAN:** Ten stan jest stanem tymczasowym i przy kolejnym narastającym zboczu zegara TCK zmieni się albo na TEST-LOGIC-RESET albo na CAPTURE-IR.

## 27.3. Kontroler TAP c.d.



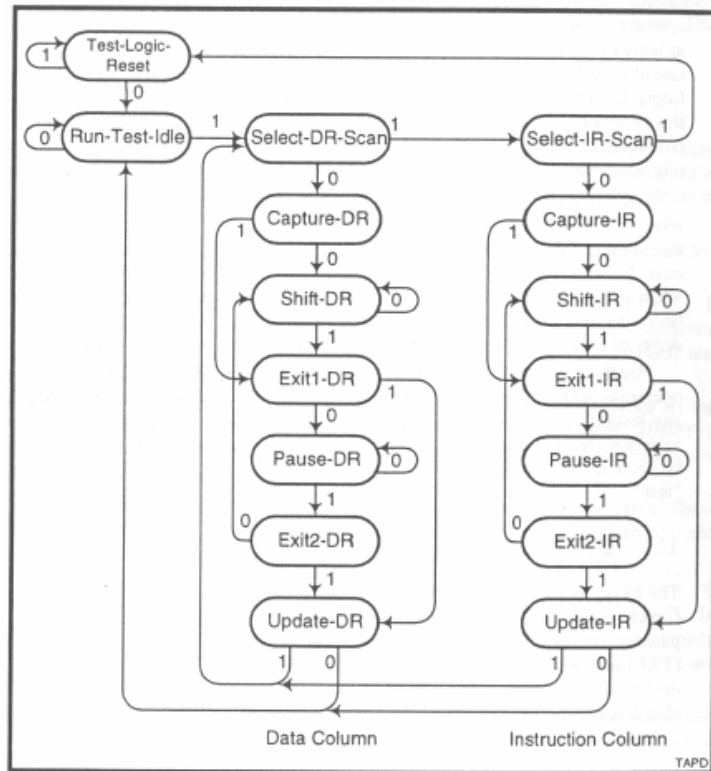
Rys. 27.5. Maszyna stanów kontrolera TAP [7].

**CAPTURE-IR:** W tym stanie rejestr przesuwany (rejstry są zbudowane z dwóch zestawów: części przesuwnej oraz części pamiętającej, kiedy jest tu mowa o wyborze lub przesuwaniu rejestru tyczy się to części włączonej pomiędzy TDI a TDO czyli części przesuwnej) instrukcji IR ładuje w sposób równoległy wzorzec wartości na narastającym zboczu TCK. Dwa najmniej znaczące bity wypełniane są wartością „01”. W tym opracowaniu każda wartość jest przedstawiana jak MSB po stronie lewej i LSB po stronie prawej. Najmniej znaczący bit wchodzi jako pierwszy do rejestru przesuwającego. Każdy bit o większym priorytecie może otrzymać dowolną wartość. Całość wpisywanego słowa nie konieczności musi być instrukcją.

**SHIFT-IR:** W tym stanie rejestr instrukcji IR jest włączony pomiędzy TDI a TDO. Na każdym narastającym zboczu zegara TCK wpisywana i przesuwana jest nowa wartość do rejestru instrukcji. Jeśli TMS jest w stanie niskim do rejestru instrukcji można wpisać dowolnie długi ciąg. Jeśli TMS jest w stanie wysokim kontroler przechodzi do stanu EXIT1-IR. Jak można zobaczyć na rysunku 28.5, jest możliwy powrót do stanu SHIFT-IR poprzez przejście stanów EXIT1-IR, PAUSE-IR, EXIT2-IR. Jest to ważne jeśli zewnętrzny kontroler (nazywany master) ładuje bity instrukcji ale nie ma dostatecznie dużej pamięci aby wykonać pełne ładowanie w jednym ciągu. Można wówczas czynność przesłania dużej ilości danych rozbić na kilka ciągów a pomiędzy nimi wprowadzać TAP w stan PAUSE-IR aż do przygotowania kolejnej porcji danych.



## 27.3. Kontroler TAP c.d.



Rys. 27.5. Maszyna stanów kontrolera TAP [7].

**EXIT1-IR:** Jest to stan tymczasowy w którym należy podjąć decyzję czy kolejnym stanem będzie **CAPTURE-IR** czy też **UPDATE-IR**, który kończy proces skanowania instrukcji.

**PAUSE-IR:** W tym stanie kontroler jest chwilowo zatrzymany. Stan pomocny w oczekiwaniu na przygotowanie kolejnej porcji danych przekazywanych do rejestru instrukcji IR.

**EXIT2-IR:** Stan tymczasowy w którym podejmowana jest decyzja czy przejść do ponownego skanowania instrukcji czy też do zakończenia skanowania – stan **UPDATE-IR**.

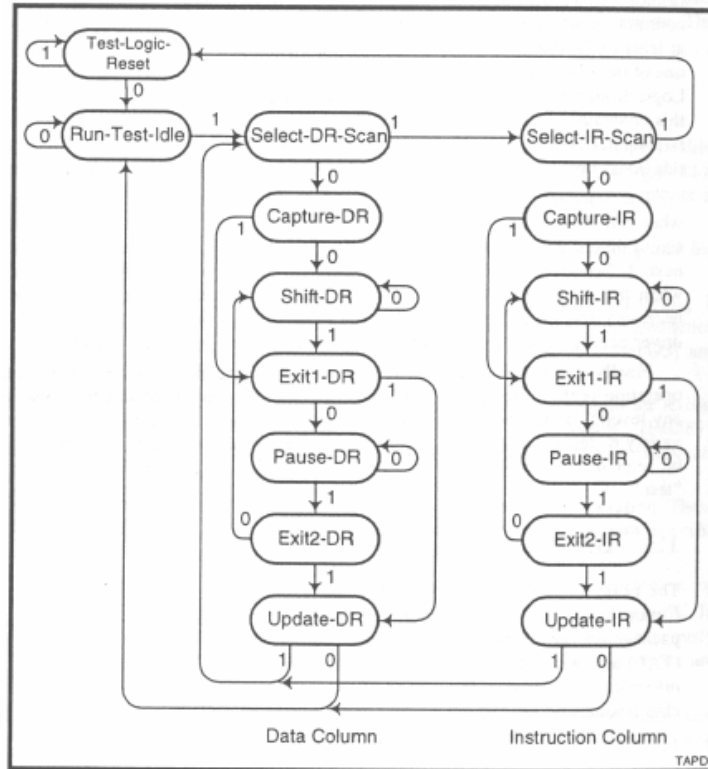
**UPDATE-IR:** W tym stanie instrukcja wcześniej wprowadzona w sposób szeregowy (wskanowana) jest zapamiętywana w części pamiętającej rejestru - na opadającym zboczach TCK. W momencie zapamiętania instrukcji staje się ona bieżącą aktualną instrukcją ustawiającą nowy tryb pracy. Następnym stanem może być **SELECT-DR-SCAN** jeśli TMS jest w stanie wysokim lub **RUN-TEST/IDLE** jeśli TMS jest w stanie niskim.

**CAPTURE-DR:** W tym stanie dane mogą zostać w sposób równoległy wpisane do części szeregowej rejestru DR na narastającym zboczach TCK.

**SHIFT-DR:** W tym stanie rejestr wybrany przez aktualną instrukcję jest włączony pomiędzy TDI a TDO. Przy każdym narastającym zboczach TCK dane są przesuwane z TDI do TDO. Podobnie jak w kolumnie Instrukcja można czasowo wejść w stan **PAUSE-DR** w celu przygotowania nowej porcji danych a następnie spowrotem wejść do stanu **SHIFT-DR**.

**EXIT1-DR:** Jest to stan tymczasowy w którym należy podjąć decyzję czy kolejnym stanem będzie **CAPTURE-DR** czy też **UPDATE-DR**, który kończy proces skanowania instrukcji.

## 27.3. Kontroler TAP c.d.



Rys. 27.5. Maszyna stanów kontrolera TAP [7].

**PAUSE-DR:** W tym stanie kontroler jest chwilowo zatrzymany. Stan pomocny w oczekiwaniu na przygotowanie kolejnej porcji danych przekazywanych do rejestru danych DR.

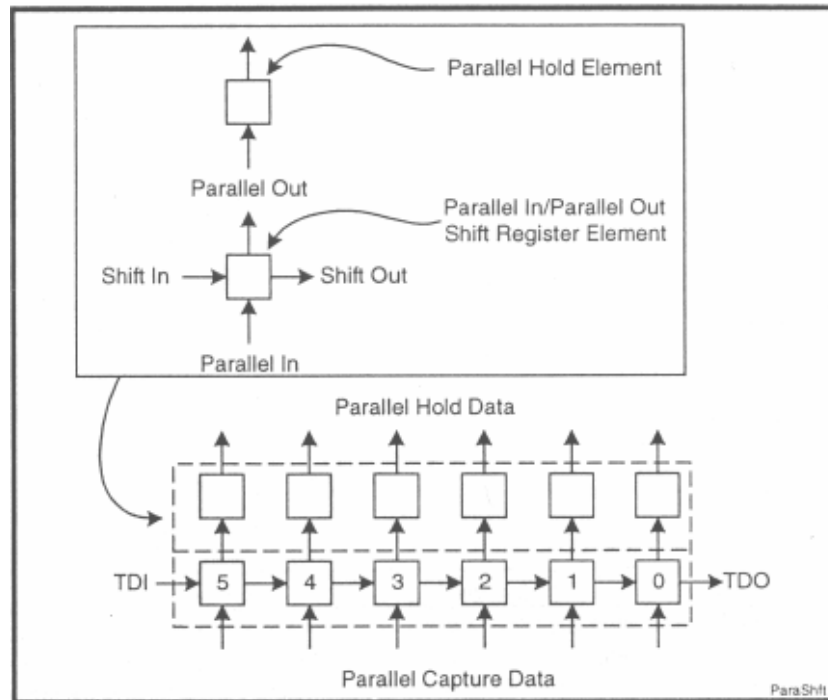
**EXIT2-DR:** Stan tymczasowy w którym podejmowana jest decyzja czy przejść do ponownego skanowania danych czy też do zakończenia skanowania – stan UPDATE-DR.

**UPDTAE-DR:** Niektóre z rejestrów danych mogą zawierać część równoległą – wówczas na zboczu opadającym TCK przepisywana jest zawartość części szeregowej do części równoległej. Dane zapamiętywane w części równoległej są zmieniane tylko w tym stanie. Następnym stanem może być SELECT-DR-SCAN jeśli TMS jest w stanie wysokim lub RUN-TEST/IDLE jeśli TMS jest w stanie niskim.

Dodatkowe wyjaśnienia:

- Dwa stany SHIFT-IR oraz SHIFT-DR w których następuje szeregowo wpisywanie odpowiednio do rejestrów instrukcji oraz danych aktywują wyprowadzenie TDO. To wyprowadzenie pozostaje aktywne aż do opadającego zbocza TCK w stanie EXIT1-IR lub EXIT1-DR. W pozostałym czasie sterownik TDO jest wyłączony co oznacza stan wysokiej impedancji na tym wyprowadzeniu.
- W obu stanach (t.j. UPDATE-IR oraz UPDATE-DR) proces aktualizacji części równoległej rejestru przeprowadzany jest na opadającym zboczu zegara TCK.
- W obu stanach (t.j. CAPTURE-IR oraz CAPTURE-DR) dane są wpisywane do szeregowej części rejestru na opadającym zboczu TCK. Ta operacja nazywana jest operacją odczytu. W połączeniu z operacją zapisu obie te operacje dają możliwość układowi Boundary-Scan do łącznego zapisu i odczytu pojedynczego bitu w czasie 2,5 okresu zegara TCK.

## 27.4. Rejestr instrukcji IR.

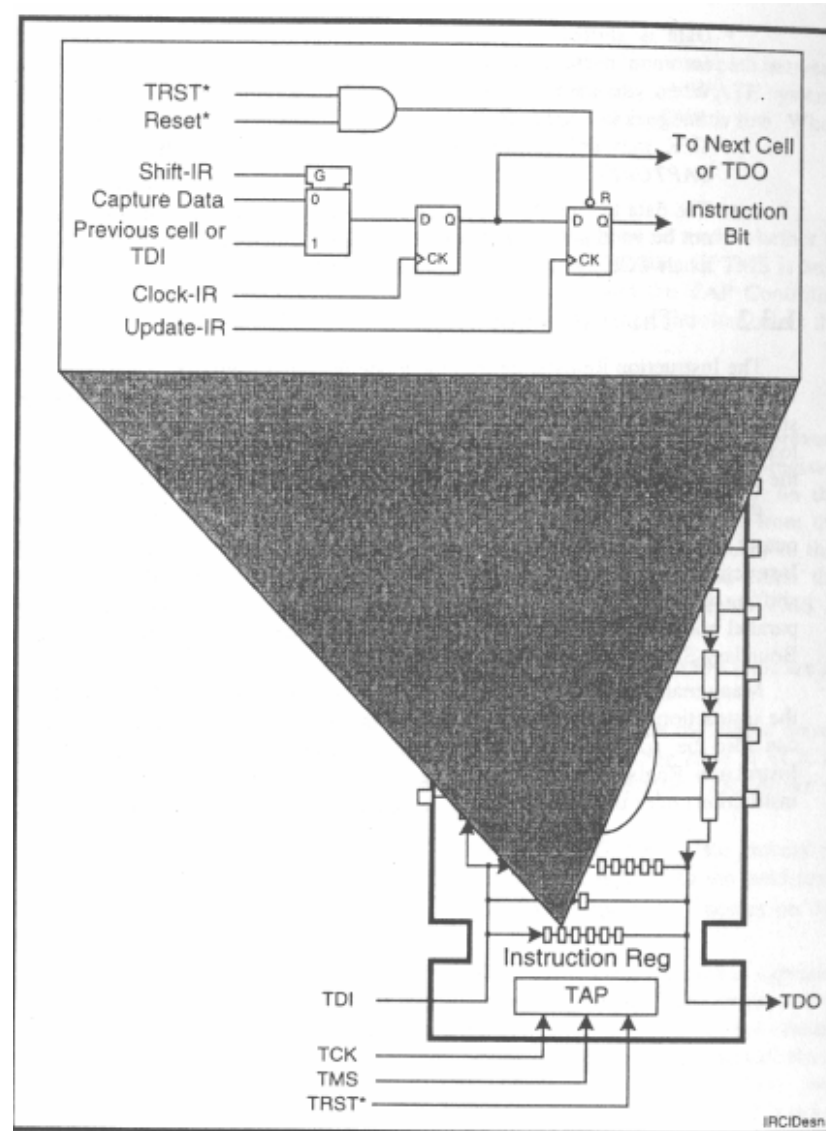


Rys. 27.6. Architektura rejestru instrukcji IR [7].

TAP Controller State	Shift Register Flip-Flops	Parallel Output Latches
TEST-LOGIC-RESET	Undefined	Set to give the IDCODE instruction if a Device Identification Register is present, or BYPASS if no Device ID Register exists
CAPTURE-IR	Load "01" into LSBs and design-specific data into any MSBs	Retain last state
SHIFT-IR	Shifts instruction bits towards the serial output	Retain last state
EXIT1-IR EXIT2-IR PAUSE-IR	Retain last state	Retain last state
UPDATE-IR	Retain last state	Latch data from shift register flip-flops into the parallel hold latches
All other states	Undefined	Retain last state

Tabela 27.1 Działanie rejestru instrukcji IR w poszczególnych stanach kontrolera TAP [7].

## 27.4. Rejestr instrukcji IR.



Rys. 27.7. Przykład realizacji rejestru instrukcji IR. Rozwinięta komórka przedstawia szereg sygnałów generowanych przez kontroler TAP [7].

## 27.5. Rejestry danych DR.

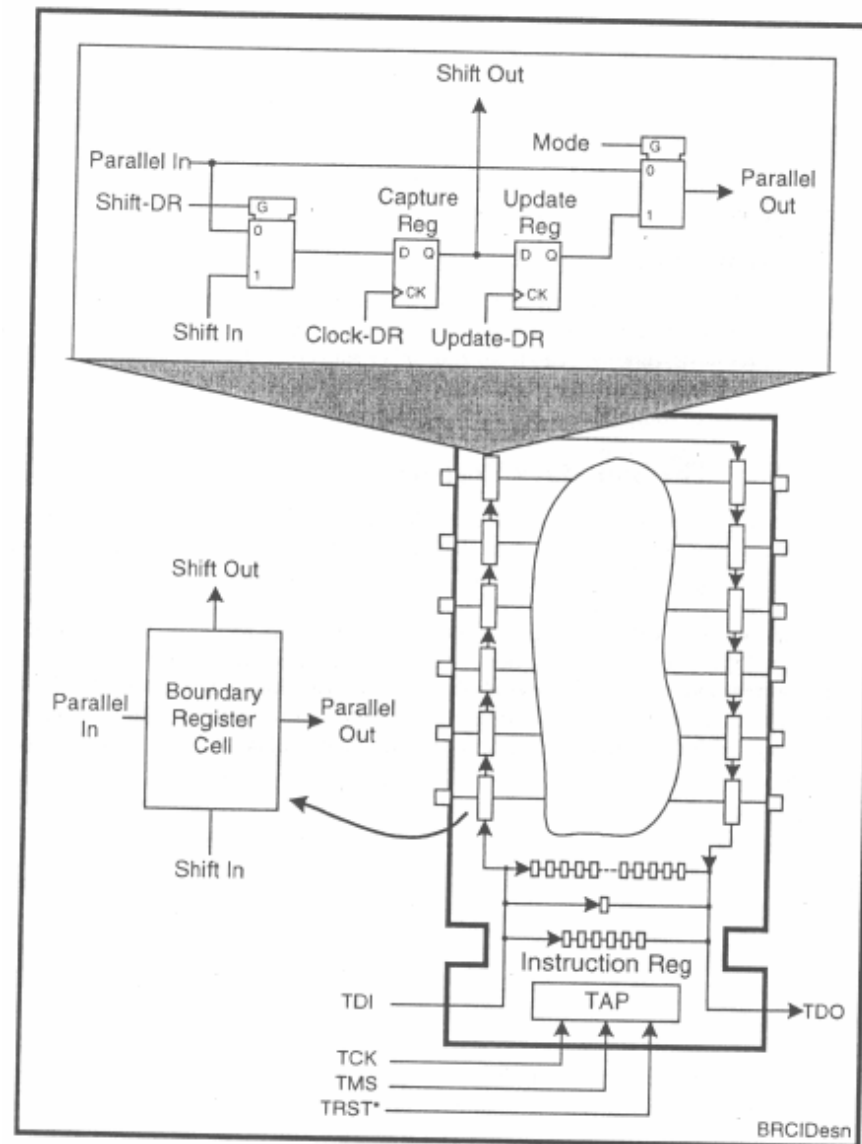
**Rejestr obejścia (BYPASS).** Jest to obowiązkowy rejestr. Składa się z jednej komórki ładowanej logicznym 0 w stanie CAPTURE-DR. Jest to użyteczne w czasie testowania integralności łańcucha JTAG.

**Rejestr identyfikacji (Device\_ID).** Nieobowiązkowy rejestr. Jeśli jest zaimplementowany musi mieć długość 32 bitów. Rejestr zawiera dane identyfikujące element. Instrukcje odnoszące się do tego rejestru to IDCODE oraz USERCODE. Rejestr nie musi zawierać części równoległej. W stanie CAPTURE-DR do rejestru wpisywana jest 32 bitowa stała identyfikująca (jej format będzie omówiony później). Można używać tego rejestru do testowania integralności łańcucha testowego.

**Rejestr Boundary-Scan.** Najważniejszy rejestr układu. Zawiera komórki sąsiadujące z każdym wejściem i wyjściem układu cyfrowego (oprócz kontrolera TAP). Rejestr ten służy do ustawiania i obserwacji sygnałów na wyprowadzeniach zewnętrznych układu. Jest to rejestr obowiązkowy w standardzie IEEE 1149.1 i zostanie omówiony szczegółowo w dalszej części materiału.

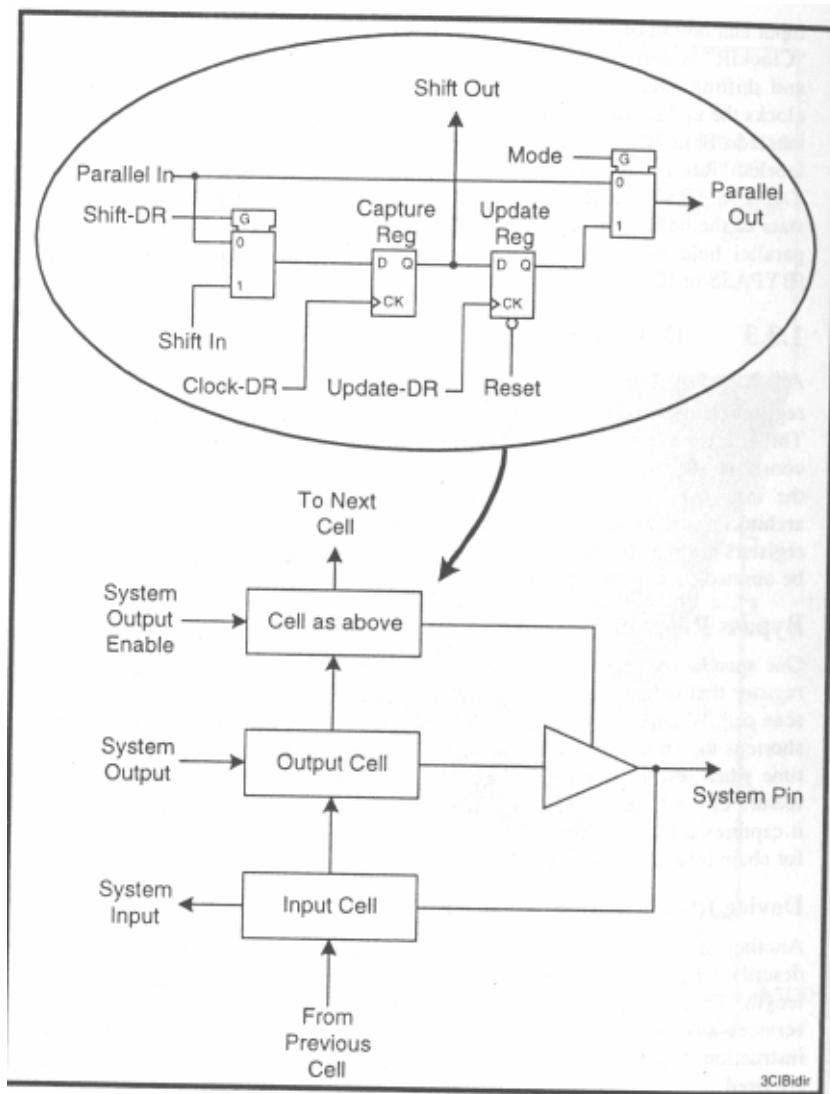
**Rejestry użytkownika.** Standard umożliwia dodawanie dowolnej ilości rejestrów użytkownika. Te rejestry mogą zostać użyte w połączeniu z instrukcjami użytkownika do własnych testów użytkownika lub innych funkcji. Rejestry te muszą tworzyć spójną ścieżkę pomiędzy TDI a TDO w przypadku ich wybrania.

## 27.6. Rejestr Boundary-Scan.

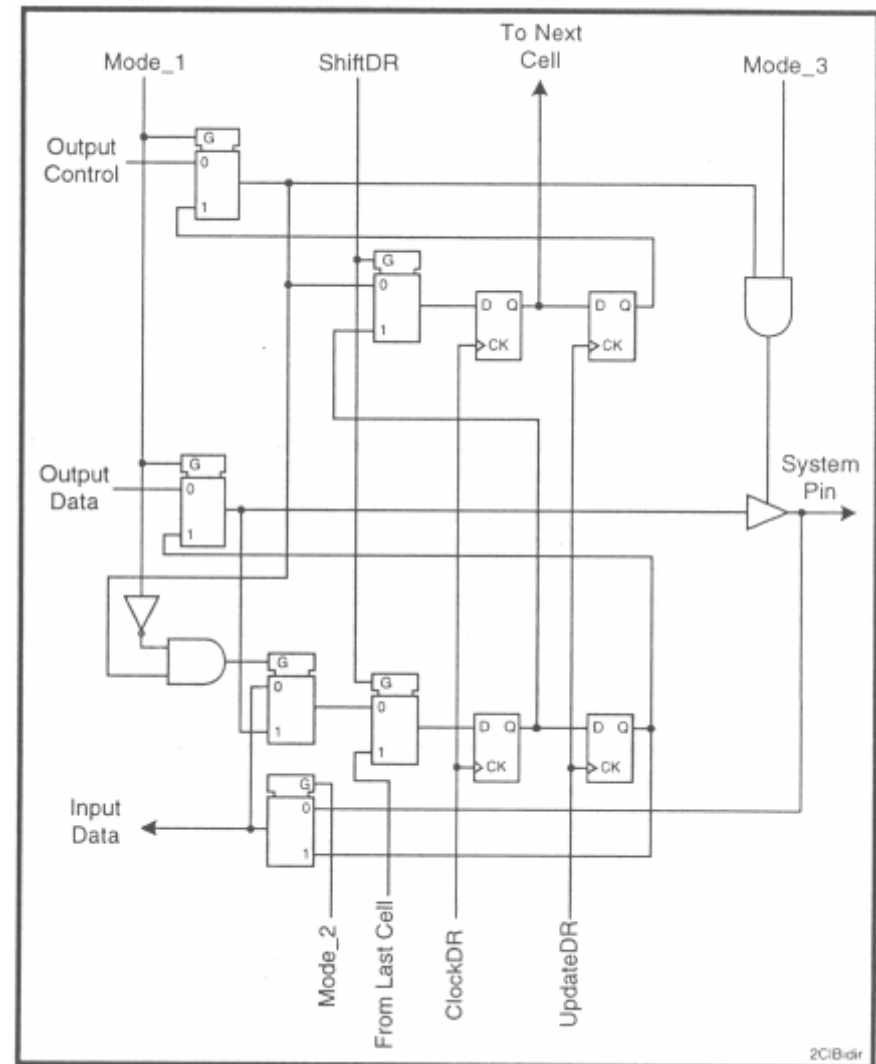


Rys. 27.8. Typowa budowa komórki rejestru Boundary-Scan [7].

## 27.6. Rejestr Boundary-Scan c.d.

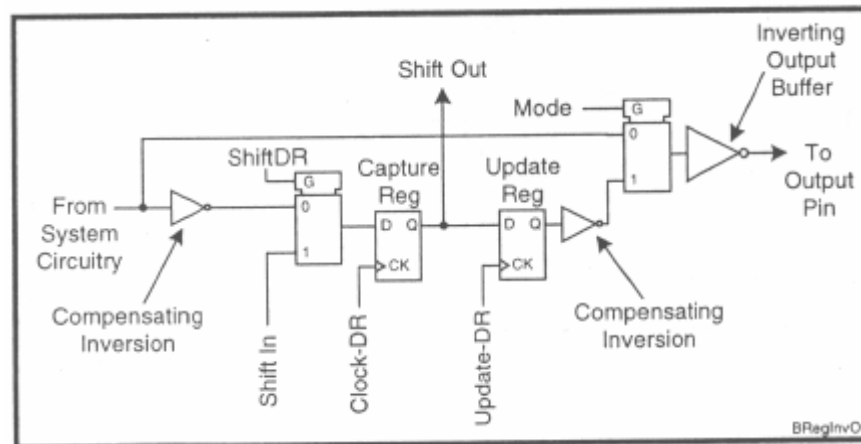
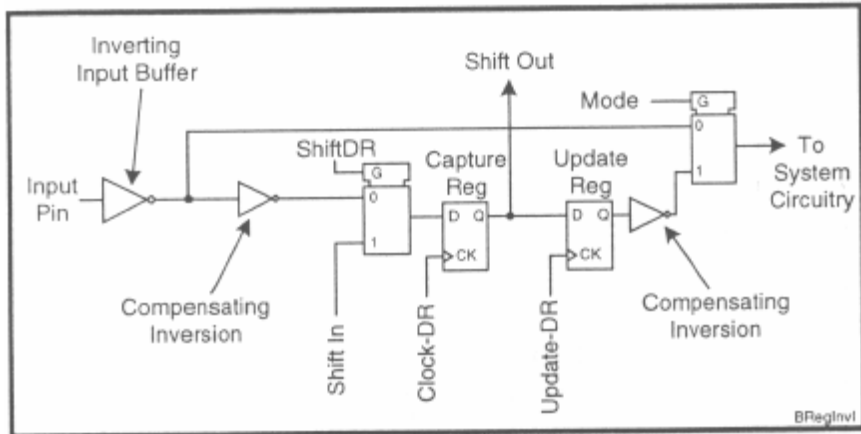


Rys. 27.9. Wyprowadzenie dwukierunkowe w oddzielnymi komórkami Boundary-Scan [7].

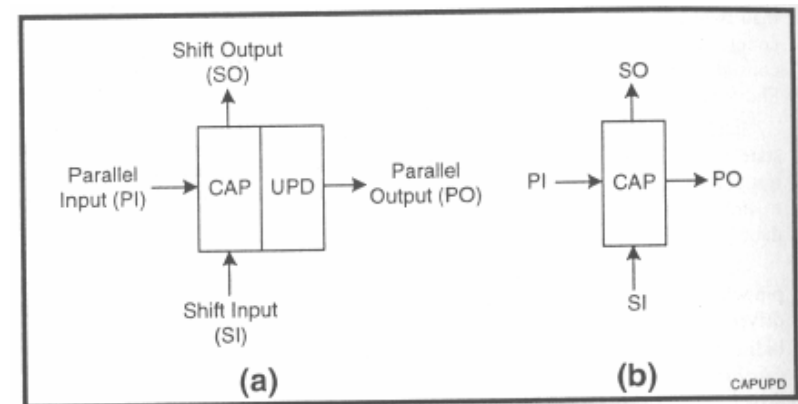


Rys. 27.10. Dwukierunkowa komórka Boundary-Scan [7].

## 27.6. Rejestr Boundary-Scan c.d.



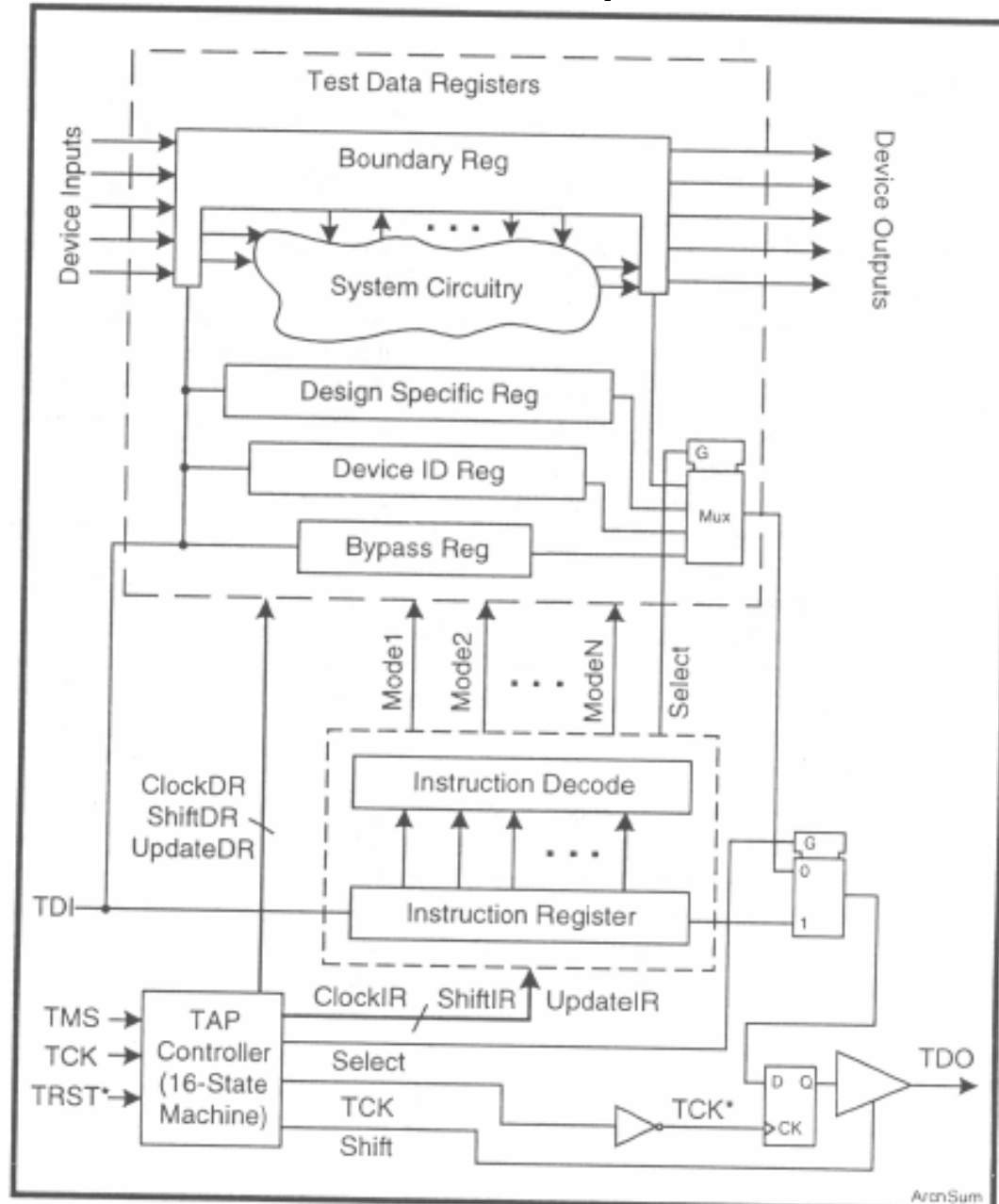
Rys. 27.11. Inwertery kompensujące dla komórki wejściowej (góra) oraz wyjściowej (dół) [7].



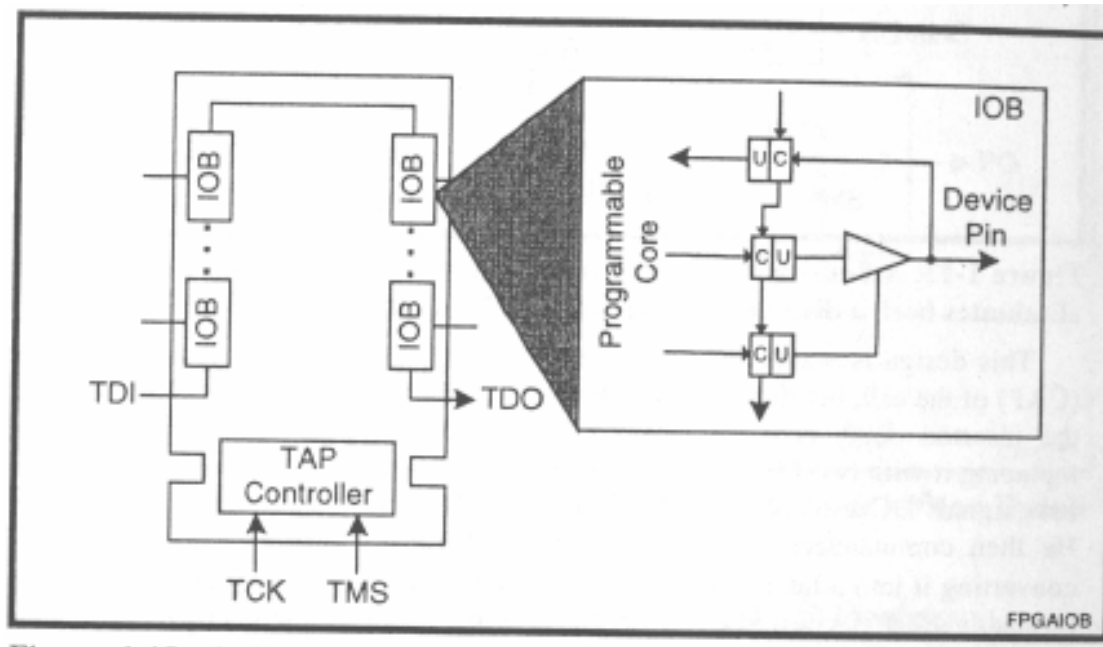
Rys. 27.12. Dwa symbole logiczne pojedynczej komórki rejestru Boundary-Scan.



# 27.7. Podsumowanie architektury IEEE 1149.1.



## 27.8. Układy programowalne.

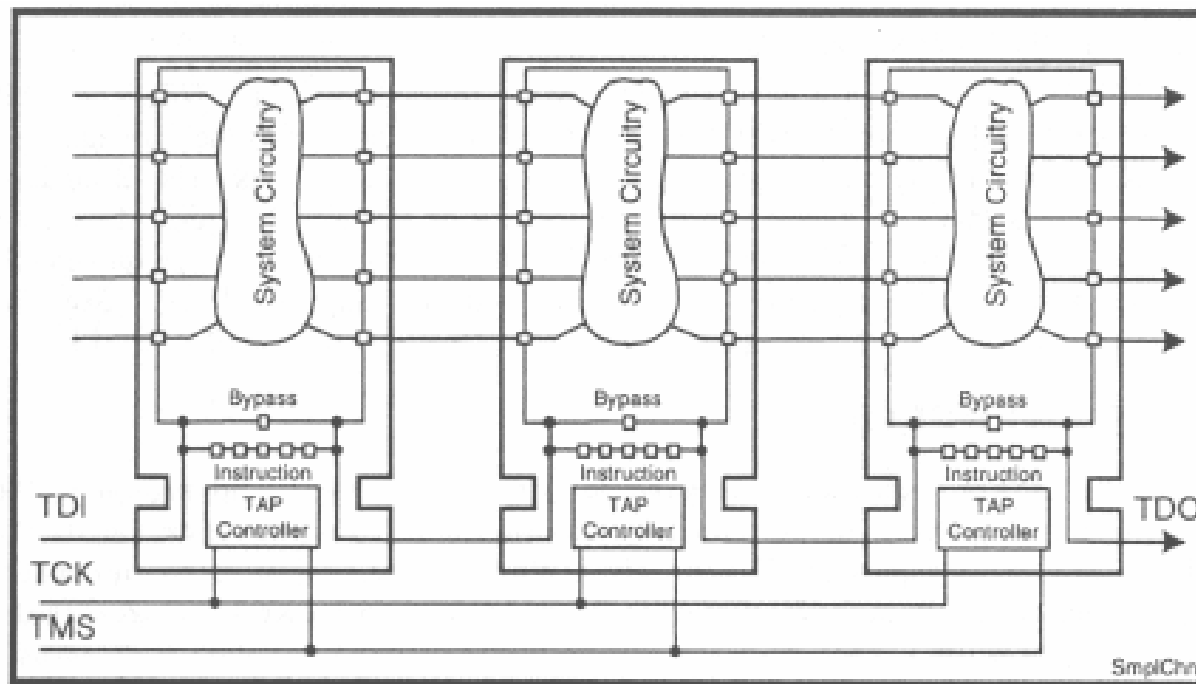


*Rys. 27.14 Układ programowalny z kontrolerem Boundary-Scan wstawionym na stałe[7].*

Boundary-Scan w układzie programowalnym:

1. Na stałe jak na rysunku powyżej.
2. Wprogramowywany na czas testowania.

## 27.9. Łączenie układów Boundary-Scan.



Rys. 27.14. Łącuch układów Boundary-Scan [7].

Modyfikacje łączenia wielu układów Boundary-Scan:

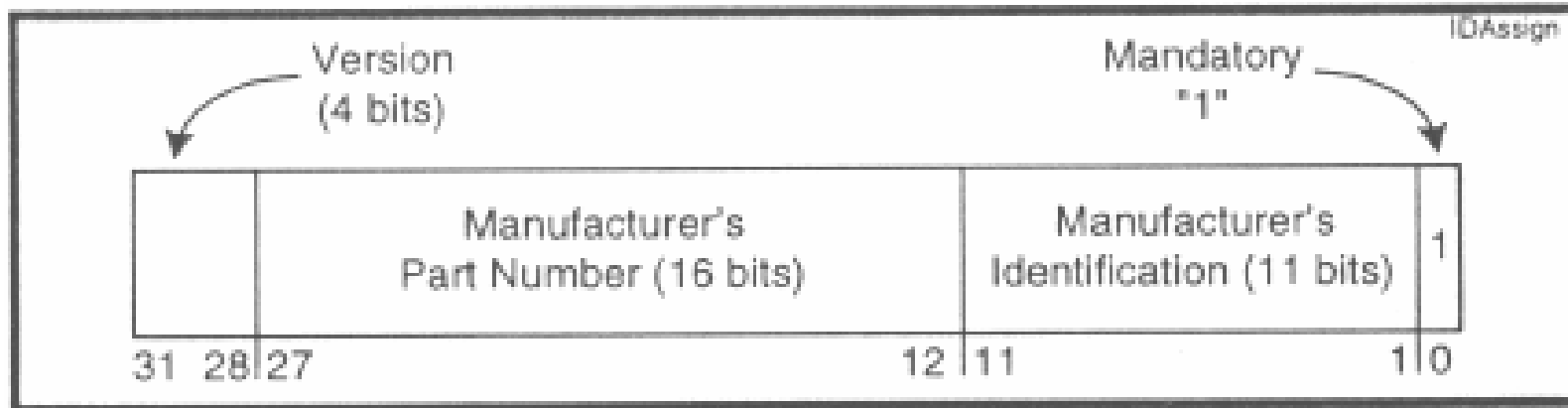
1. Jeden zestaw sygnałów sterujących kilka łańcuchów TDI-TDO.
2. Kilka zestawów pełnych łańcuchów.

## 27.10. Nieinwazyjne tryby pracy.

***BYPASS***: Instrukcja ta umieszcza rejestr obejścia pomiędzy wyprowadzenia TDI a TDO. Celem instrukcji jest skrócenie ścieżki danych. Instrukcja oraz rejestr docelowy są obowiązkowe w std. IEEE 1149.1. Kod rozkazu zawierający same jedyńki musi zostać zdekodowany jako instrukcja ***BYPASS***. Inne, dodatkowe kody instrukcji ***BYPASS*** są również dopuszczalne. W czasie gdy instrukcja ***BYPASS*** jest aktywna, rejestr obejścia ładowany jest zerem podczas każdego przejścia przez stan ***CAPTURE-DR***. Czynność ta powoduje inicjowanie rejestru znaną stałą wartością.

***IDCODE***: Instrukcja ***IDCODE*** umieszcza rejestr identyfikacji pomiędzy wyprowadzenia TDI a TDO. Instrukcja jest opcjonalna. Brak wymagań na kod rozkazu ***IDCODE***. Rejestr identyfikacji jest ładowany równoległe stałą wartością w czasie każdego przejścia przez stan ***CAPTURE-DR*** (jeśli aktywna jest instrukcja ***IDCODE***). Najmniej znaczący bit każdego słowa identyfikacji musi mieć wartość 1. Ten bit jest jako pierwszy wystawiany na wyprowadzenie TDO. Pozostałe bity mają znaczenie jak na rysunku poniżej.

## 27.10. Nieinwazyjne tryby pracy c.d.

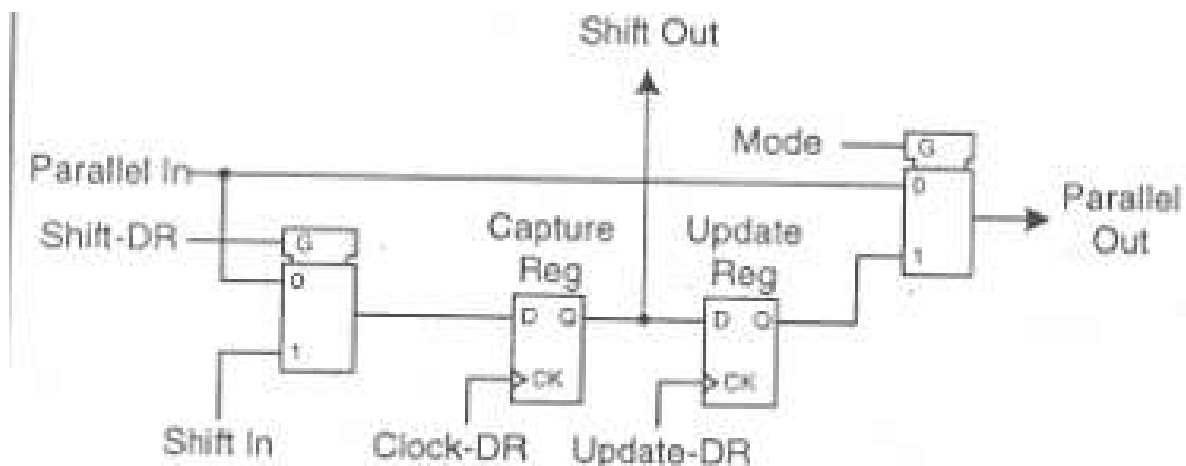


Rys. 27.16. Przypisanie bitów rejestru identyfikacji [7].

**USERCODE:** Instrukcja ta umieszcza ten sam rejestr identyfikacji pomiędzy TDI a TDO ale w stanie CAPTURE-DR jest on w sposób równoległy ładowany słowem definiowanym przez użytkownika. Instrukcja USERCODE jest opcjonalna ale jeśli jest zaimplementowana musi być również zaimplementowana instrukcja IDCODE. Celem tej instrukcji jest rozszerzenie instrukcji IDCODE o dodatkowe 32 bity. Możliwym zastosowaniem są np. układy programowalne gdzie każdy układ ma taki sam kod ID jednakże działanie układu może przez użytkownika zostać zidentyfikowane poprzez instrukcję USERCODE.

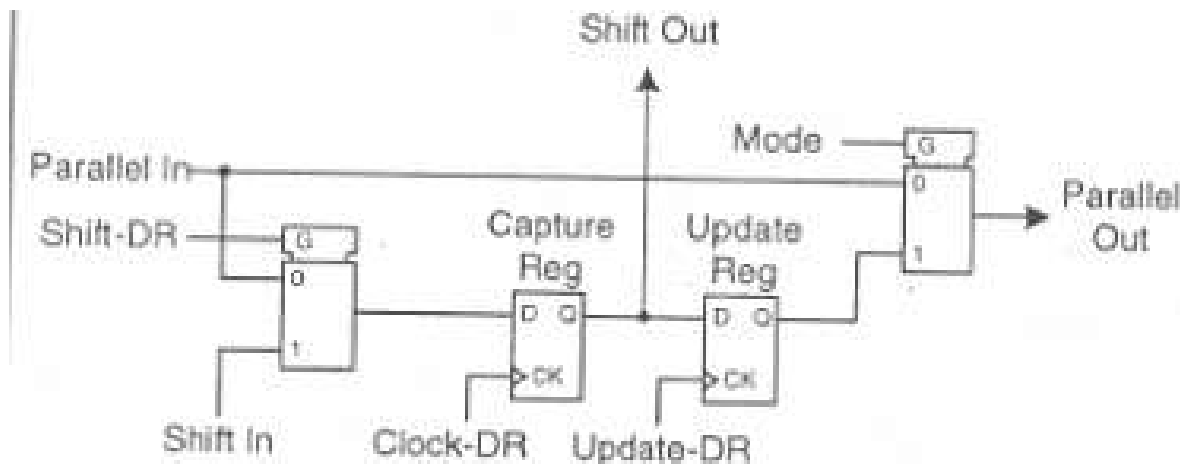
## 27.10. Nieinwazyjne tryby pracy c.d.

**SAMPLE:** Instrukcja obowiązkowa. Kod instrukcji nie jest ustalony w standardzie. Instrukcja włącza rejestr BS pomiędzy TDI a TDO. Nie powoduje to jednak odłączenia logiki układu od jego wyprowadzeń. Odpowiada to podaniu wartości 0 na sygnał Mode w komórce BS z rysunku poniżej. W czasie przejścia przez stan CAPTURE-DR wszystkie przerzutniki Capture zapamiętują stany sygnałów do których są połączone, t.j. wejścia układu scalonego lub wyjścia logiki układu przyłączone jako sygnały wyjściowe. Rejestr BS w stanie CAPTURE-DR zapamiętuje stany sygnałów wszystkich wyprowadzeń I/O układu scalonego. Dane te mogą być później odczytane w celu przeanalizowania. W zasadzie można zrealizować funkcjonalność analizatora logicznego z użyciem instrukcji SAMPLE.



## 27.10. Nieinwazyjne tryby pracy c.d.

**PRELOAD:** Instrukcja obowiązkowa. Kod instrukcji nie jest ustalony przez standard. Instrukcja włącza rejestr BS pomiędzy wyprowadzenia TDI oraz TDO. Nie powoduje odłączenia logiki układu od jego wyprowadzeń I/O. Służy do inicjalizacji przerzutników Capture ustalonym znanym stanem (poprzez szeregowo wprowadzenie w stanie SHIFT-DR) a następnie wprowadzenie tej wartości do części równoległej rejestru BS w stanie UPDATE-DR. Nie powoduje przesłania tych danych do logiki układu (sygnał Mode na rys. poniżej w stanie 0). (Instrukcje SAMPLE oraz PRELOAD w poprzedniej wersji standardu IEEE 1149.1 były jedną instrukcją z takim samym kodem rozkazu i były nazywane SAMPLE/PRELOAD). Instrukcja PRELOAD nie ma wymagań co jest zapamiętywane w szeregowej części rejestru BS w stanie CAPTURE-DR. To umożliwia połączenie funkcjonalności instrukcji SAMPLE z instrukcją PRELOAD.



## 27.11. Tryby pracy z dostępem do I/O.

**EXTEST:** Instrukcja obowiązkowa. Kod instrukcji nie jest ustalony przez standard. Nie zaleca się kodu w formie same zera, chociaż we wstępnej formie standardu było to obowiązkowe (możliwość wykonania takiej instrukcji przy zwarciu montażowym prowadzące w konsekwencji do potencjalnej możliwości uszkodzenia układu). Instrukcja włącza rejestr BS pomiędzy TDI a TDO. W stanie CAPTURE-DR wszystkie wejścia układu (i wyprowadzeń wejściowych w liniach dwukierunkowych) są zapamiętywane w odpowiadających im przerzutnikach szeregowych rejestru BS. Na rysunku 27.8 sygnał Mode jest w stanie 1. Sygnały wyjściowe układu scalonego są ustalone stanami przerzutników wyjściowych rejestru BS. Z tego względu w czasie wykonywania instrukcji EXTEST możemy próbkować wartości sygnałów wejściowych układu scalonego oraz ustalać sygnały wyjściowe zawartością równoległą rejestru BS. Przesuwanie rejestru BS w stanie SHIFT-DR umożliwia jednoczesny zapis nowych wartości jak również odczyt wartości „złapanych” w stanie CAPTURE-DR. Aktualizacja nowych wartości wyjściowych jest wykonywana w stanie UPDATE-DR. Instrukcja EXTEST jest „koniem roboczym” testowania Boundary-Scan.



## 27.11. Tryby pracy z dostępem do I/O c.d.

**INTEST:** Instrukcja INTEST jest nieobowiązkowa. Standard nie ustala kodu instrukcji. INTEST włącza rejestr BS pomiędzy TDI a TDO. INTEST jest instrukcją testującą logikę układu – czyli jego wnętrze. Ustala wartości sygnałów wejściowych logiki układu do wartości równoległej rejestru BS (w stanie UPDATE-DR). W części szeregowej rejestru BS zapamiętywany jest stan sygnałów wyjściowych oraz zezwalających linii dwukierunkowych (stan CAPTURE-DR). W czasie przesuwania (SHIFT-DR) można równocześnie odczytywać wartości wyjść jak i wprowadzać nowe pobudzenia na wejścia logiki badanego układu. Należy równocześnie zapewnić odpowiednie sterowanie wyjściami układu scalonego. Możliwe są dwie opcje: pierwsza-BS steruje wartościami wyjść oraz druga-wyjścia I/O są w bezpiecznym stanie zablokowanym. Niezależnie która opcja jest wybrana musi być zastosowana jednolicie do wszystkich wyprowadzeń.

INTEST można użyć od testowania układów scalonych w czasie gdy są one zamontowane na płycie drukowanej. Głównym problemem z tym związanym jest wydłużenie czasu testowania ze względu na szeregowe wprowadzanie/wyprowadzanie danych. Wydłużenie czasu testowania jest wprost proporcjonalne do długości łańcucha rejestru BS. Jeśli badany system jest dynamiczny jego testowanie może okazać się nie możliwe gdyż czas wprowadzenia pobudzeń może okazać się zbyt długi.

## 27.11. Tryby pracy z dostępem do I/O c.d.

**RUNBIST:** Instrukcja opcjonalna. Kod instrukcji nie ustalony przez Standard. RUNBIST wykorzystuje rejestr wskazany przez użytkownika. Celem instrukcji jest dostęp do wbudowanych samotestów układu poprzez kontroler TAP. W czasie wykonywania RUNBIST sterowanie wyjściowymi wyprowadzeniami IC jest jak dla instrukcji INTEST t.j. po pierwsze mogą one pozostawać pod kontrolą rejestru BS lub po drugie: być wprowadzone w stan wysokiej impedancji. W pierwszym przypadku stany są dostarczone poprzez wcześniejsze wykonanie instrukcji PRELOAD. Obie metody umożliwiają nam eliminację potencjalnych konfliktów sygnałów z innymi elementami na płycie drukowanej. RUNBIST jest instrukcją samoinicjującą i nie potrzebuje żadnych wstępnych ustawień ani inicjalizacji stanów początkowych. Instrukcja włącza rejestr wskazany przez użytkownika pomiędzy TDI a TDO. Może to być specjalny dedykowany rejestr albo inny dostępny rejestr jak np. obojczyca czy BS. Celem rejestru jest zebranie danych odnośnie wyniki samotestu. Wynik testu musi być:

- deterministyczny, wszystkie bity muszą być zdefiniowane,
- niezmienny dla wszystkich wersji układu scalonego,
- niezależny od wszelkiej aktywności na wyprowadzeniach I/O (czasami oprócz wyprowadzenia zegara).

## 27.11. Tryby pracy z dostępem do I/O c.d.

W rzeczywistości test jest wykonywany w stanie RUN-TEST/IDLE. Zegarowanie może zostać dostarczone poprzez TCK, zegar systemowy lub poprzez oba wyprowadzenia. Czas wykonania samotestu może być długi i trwać wiele cykli zegarowych jednak pozostanie w stanie wykonywania testu przez czas dłuższy niż niezbędny do jego wykonania nie powinno powodować zmiany wyniku testów. To „zamrożenie” wyników testu umożliwia jego wykonanie dla wszystkich układów równocześnie poprzez pozostanie w stanie RUN-TEST/IDLE przez najdłuższy wymagany czas. Wynik testu jest zapamiętywany w docelowym rejestrze w stanie CAPTURE-DR. Następnie wynik ten może zostać wyprowadzony w celu analizy.

**HIGHZ:** Instrukcja wprowadzona do standardu w roku 1993 jako dodatek. Jest opcjonalna, kod instrukcji nie ustalony przez standard. Celem instrukcji jest poszerzenie możliwości stosowania sprzętu ATE (ang. Automatic Test Equipmemnt) złożonych systemów poprzez redukcję uszkodzeń przez przesterowanie. Poprzez załadowanie instrukcji HIGHZ powodujemy ustawienie wyprowadzeń wyjściowych i dwukierunkowych w stan wysokiej impedancji. Pomiędzy TDI a TDO włączany jest rejestr obejścia. Przejście do odłączenia następuje w stanie UPDATE-IR.

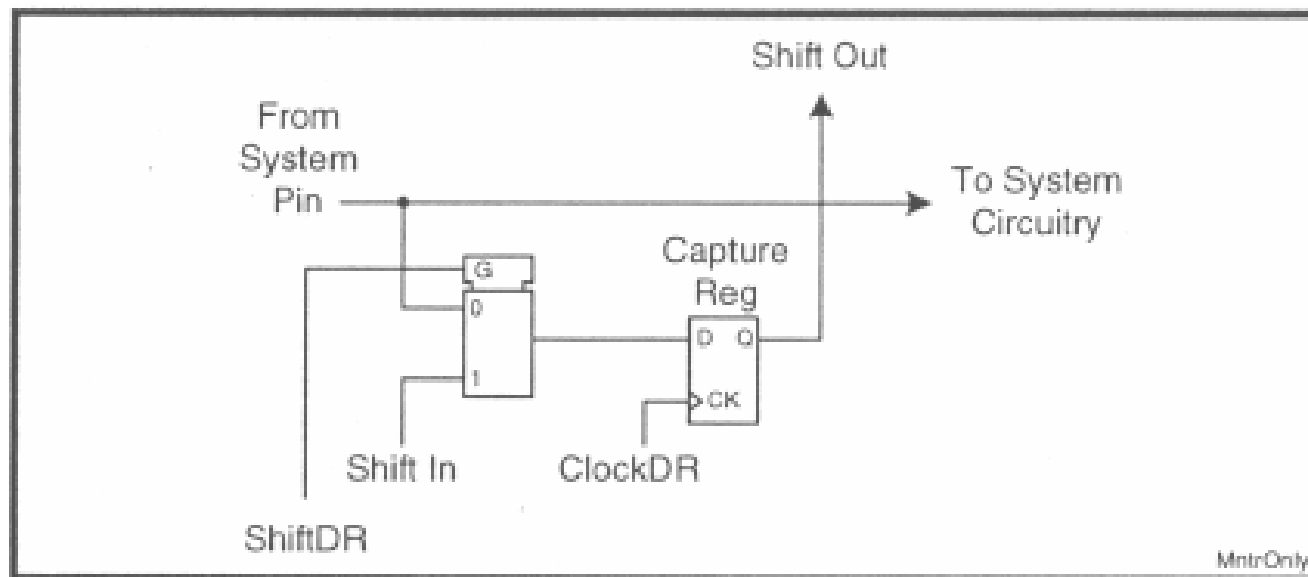
## 27.11. Tryby pracy z dostępem do I/O c.d.

**CLAMP:** Instrukcja wprowadzona do standardu w roku 1993 jako dodatek. Jest opcjonalna, kod instrukcji nie ustalony przez standard. CLAMP włącza rejestr obejścia pomiędzy wyprowadzenie TDI a TDO. Wyprowadzenia wyjściowe i dwukierunkowe są sterowane przez rejestr BS, który powinien być wcześniej zainicjowany instrukcją PRELOAD. Stany wyprowadzeń I/O stają się ważne po przejściu stanu UPDATE-IR. To umożliwia ustanowienie odpowiednich wartości sygnałów na wyjściach oraz skrócenie długości rejestru w celu szybszego ładowania danych do pozostałych układów w łańcuchu JTAG.

Wprowadzenie instrukcji CLAMP ma na celu cyfrową ochronę. Podczas testów PCB często zachodzi konieczność zapewnienia wartości „0” lub „1” na pewnych wyprowadzeniach w celu ustanowienia warunków testu.

## 27.11. Tryby pracy z dostępem do I/O c.d.

**Wyjątki ze względu na podawanie zegara:** Dla wyprowadzeń które są szczególnie czułe na pogorszenie parametrów czasowych standard IEEE 1149.1 przewiduje możliwość użycia komórek z funkcjonalnością zapewniającą wyłącznie jej obserwowanie. Na rysunku 27. 17 przedstawiono przykładowy schemat takiej komórki. Nie zawiera ona rejestru równoległego. Taka komórka nie umożliwia wykonania instrukcji INTEST oraz RUNBIST bo nie izoluje układu od sygnałów zewnętrznych. Standard dopuszcza jednak wyjątek, dla sygnałów zegarowych można zastosować komórkę jak na rysunku 27.17 a w dalszym ciągu możliwe będzie wykonanie samotestów oraz INTEST. Niestety to komplikuje nieco wykonanie tych testów gdyż muszą być skoordynowane z zewnętrznym zegarem systemowym.



Rys. 27.17. Komórka realizująca wyłącznie funkcję obserwacyjną [7].

## 27.12. Rozszerzalność standardu.

Architektura może być rozszerzona na dwa sposoby:

- poprzez dodanie rejestrów oraz
- dodanie instrukcji użytkownika.

Instrukcje publiczne muszą być dokładnie udokumentowane w danych układu scalonego. Instrukcje prywatne mogą być nieudokumentowane z wyjątkiem kodu instrukcji.

Instrukcje użytkownika mogą odnosić się do rejestrów standardowych, części rejestrów standardowych ich dowolnych kombinacji oraz rejestrów własnych.

**W ogólności standard IEEE1149.1 można uważać jako standard komunikacyjny niezbędny do implementacji nowych funkcji w układzie scalonym. Tymi funkcjami mogą być: testy na poziomie płytki, specjalne testy układu scalonego, testy hybrydowe układów analogowych i cyfrowych, wspieranie emulacji i wiele innych.**

## 27.13. Cena oraz korzyści.

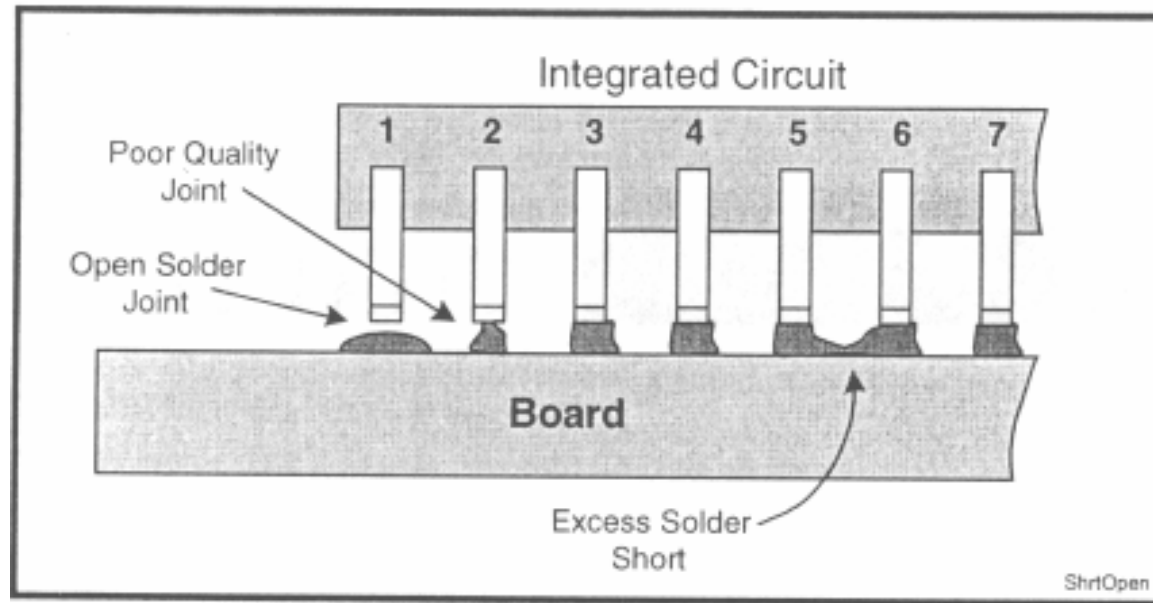
Cena:

- dodatkowe wyprowadzenia (4 lub 5),
- narzut PAD lub narzut die (PAD or die limited),
- zmniejszenie uzysku produkcyjnego,
- zwiększenie opóźnień sygnałowych,
- zwiększony czas projektowania,
- brak dyscypliny projektantów i niecałkowita zgodność układów z IEEE 1149.1.

Korzyści:

- automatyczna generacja testów,
- ponowne wykorzystywanie testów,
- standaryzacja testów,
- możliwość testowania układów których testowanie w sposób tradycyjny jest utrudnione (mały rozstaw wyprowadzeń, obudowa BGA)
- możliwość wykorzystania interfejsu do innych celów np. programowanie.

## 28. Wykorzystanie interfejsu JTAG do testowania systemów.



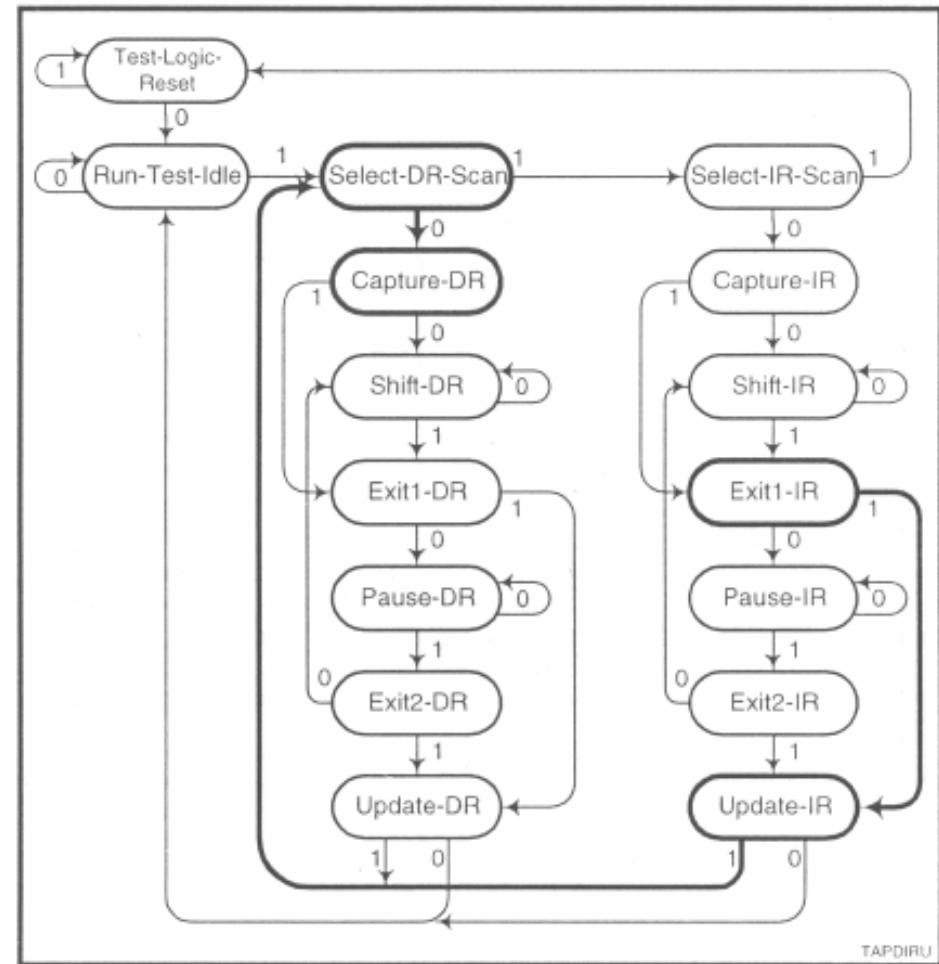
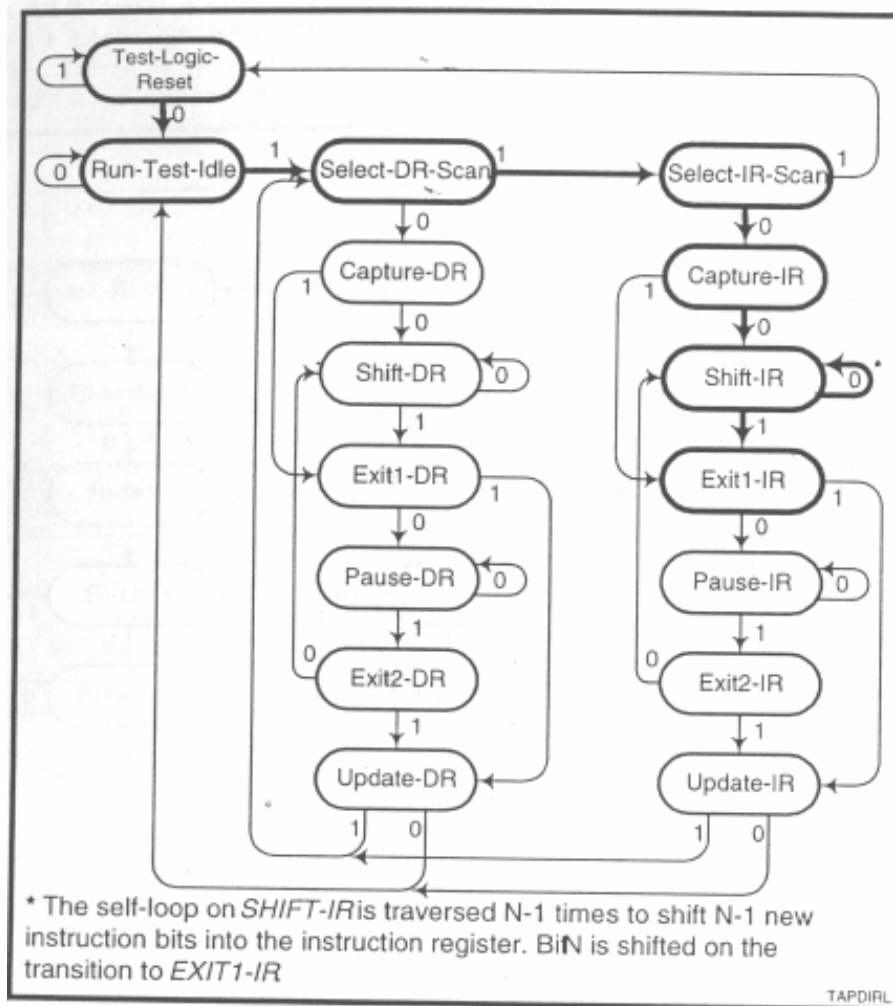
Rys. 28.1. Widok elementu SMD przylutowanego do płytki drukowanej. Widoczne są defekty polegające na przerwie oraz zwarciu połączenia.

Głównymi zadaniami Boudary-Scan są testy: zwać i przerw montażowych, złych elementów, obróconych elementów, defektów stopni wyjściowych.

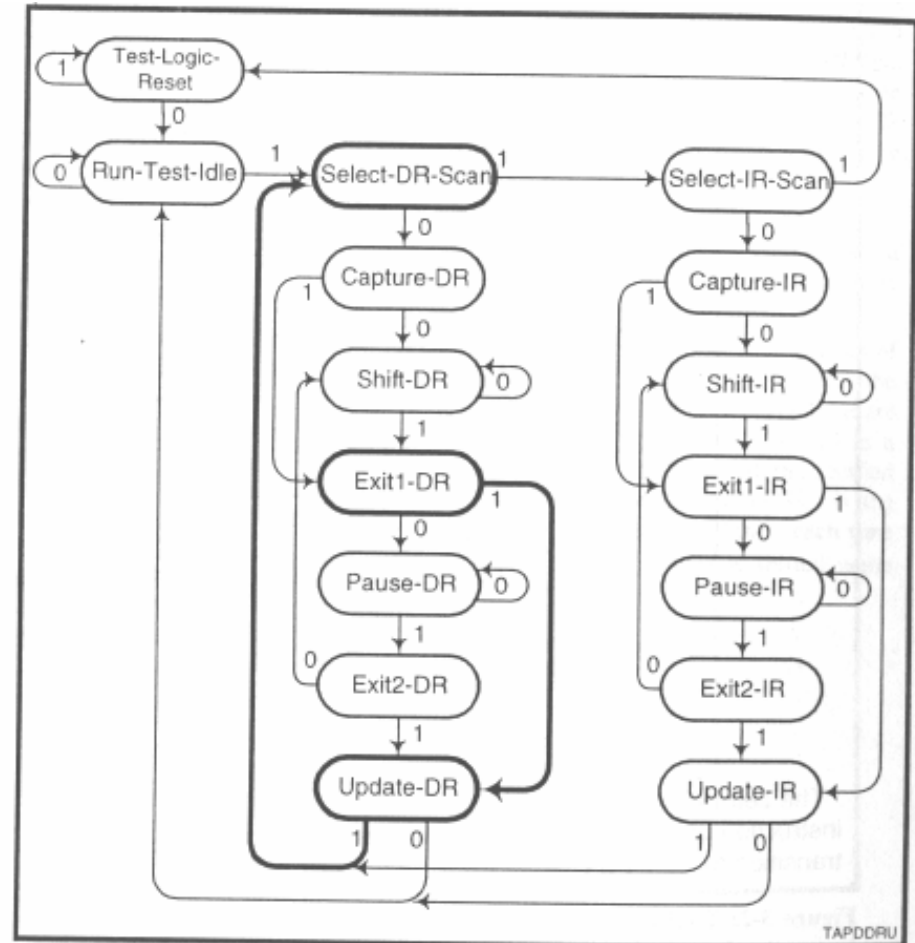
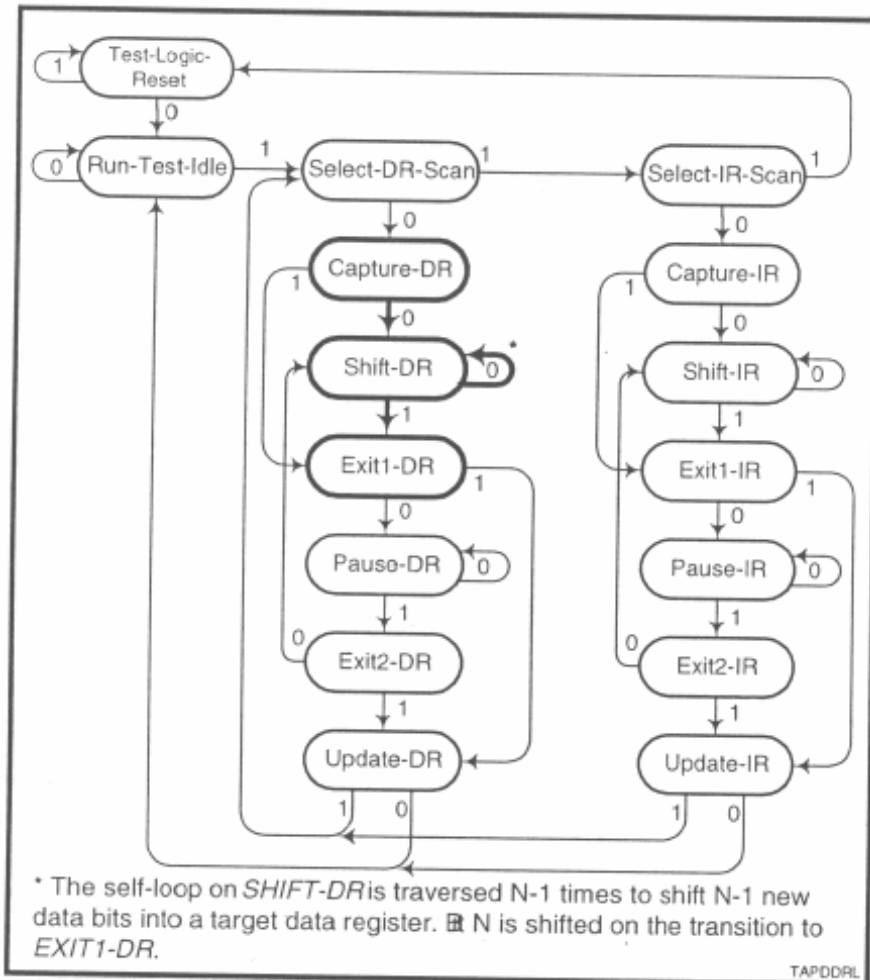
Dodatkowymi zadaniami są: testowanie układów scalonych, programowanie i inne funkcje pomocnicze.



# 28.1. Podstawy testowania Boundary-Scan.



# 28.1. Podstawy testowania Boundary-Scan c.d.



## 28.2. Prosty algorytm testowania.

Prosty algorytm testowania składa się z następujących kroków:

1. Inicjalizacja TAP do stanu TEST-LOGIC-RESET.
2. Załadowanie rejestru instrukcji instrukcją PRELOAD. To umieszcza rejestr BS pomiędzy TDI a TDO ale nie powoduje wejścia w tryb z dostępem do I/O.
3. Wprowadzenie pierwszych pobudzeń do rejestru BS. Jest to faza wstępnego załadowania pobudzeń.
4. Załadowanie rejestru instrukcji poleceniem EXTEST. To powoduje uaktywnienie rejestru BS i daje dostęp do wyprowadzeń I/O układu. Pierwsze pobudzenia są wprowadzone na płytkę drukowaną PTV (ang. Parallel Test Vector).
5. Odczyt odpowiedzi do części szeregowej rejestru BS.
6. Wprowadzenie nowego PTV/wyprowadzenie odpowiedzi.
7. Zapis nowych wektorów testowych do części równoległej BS.

## 28.2. Prosty algorytm testowania.

Algorytm testowania c.d.:

8. Czy został wpisany ostatni wektor testowy? Jeśli tak przejdź do kroku 9 jeśli nie wróć do kroku 5.
9. Odczytaj ostatnią odpowiedź.
10. Wprowadź „bezpieczny” wektor testowy podczas odczytu ostatniej odpowiedzi.
11. Zapisz „bezpieczny” wektor.
12. Przejdź do stanu TEST-LOGIC-RESET i zakończ testowanie.

Kroki 1-4 stanowią inicjalizację testów, kroki 5-8 dokonują testowania właściwego a w krokach 9-12 testowanie jest kończone.

Dane otrzymane po procesie testowania muszą być przeanalizowane w całości w celu interpretacji wyników i przygotowania diagnozy. Technika testowania typu „zatrzymanie na pierwszym defekcie” stosowana w testerach układowych jest nieodpowiednia dla testowania Boundary-Scan.

## 28.3. Testowanie logiki układu scalonego.

Należy zastosować rozkaz INTEST w połączeniu z poprzednim prostym algorytmem testowania z następującymi zmianami:

- Wektory testowe są wpisywane do wejść logiki układu a nie do wyjść I/O.
- Wyjścia I/O układu mogą pozostawać w stanie bezpiecznym lub dezaktywowane poprzez dodawanie tych wartości do wektorów testowych.
- Odczyt wartości następuje na liniach wyjściowych logiki układu (i wyjściach enable).
- Stosowana jest instrukcja INTEST zamiast EXTEST.
- Wszystkie wektory testowe są przygotowane z uwzględnieniem funkcji układu a nie wyprowadzeń I/O.

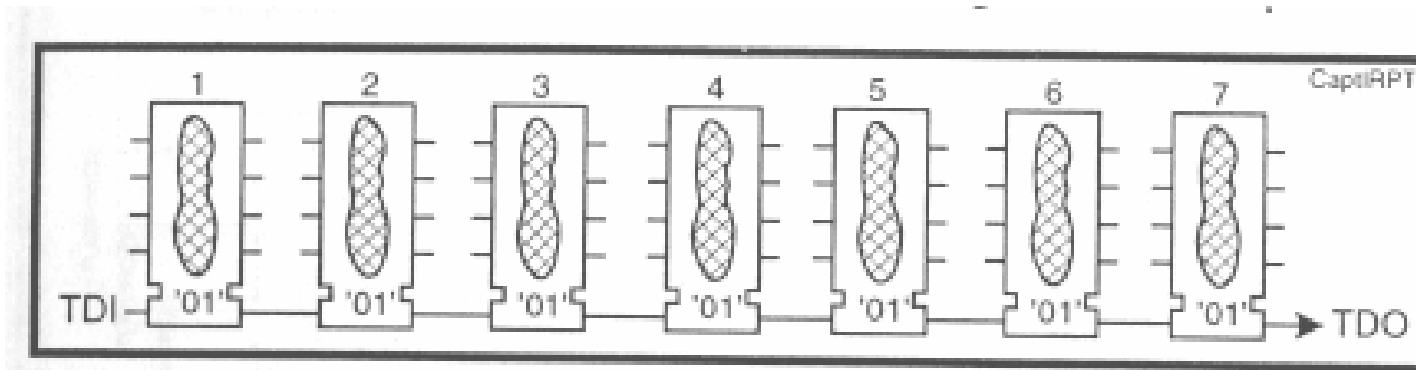
W zasadzie, teoretycznie jest możliwe całkowite przebadanie układu scalonego nawet po jego przylutowaniu na płytce scalonej. Praktyka jest jednak nieco gorsza, występują problemy z: bardzo długim czasem wykonania testów ze względu na ich serializację, testowaniem układów czułych na timingi.

## 28.4. Samotest układu scalonego.

Podstawowy algorytm wykonania samotestu:

1. Inicjalizacja TAP do stanu TEST-LOGIC-RESET.
2. Załadowanie rejestru instrukcji instrukcją PRELOAD. To umieszcza rejestr BS pomiędzy TDI a TDO ale nie powoduje wejścia w tryb z dostępem do I/O.
3. Wprowadzenie bezpiecznego wektora do rejestru BS. Punkty 2 i 3 mogą zostać pominięte jeśli w czasie wykonywania instrukcji RUNBIST wyjścia są automatycznie w stanie wysokiej impedancji.
4. Załadowanie rejestru instrukcji poleceniem RUNBIST. To powoduje uaktywnienie rejestru wyniku BIST.
5. Przejście do stanu RUN-TEST/IDLE na czas niezbędny do wykonania testów.
6. Przejście przez stan CAPTURE-DR i w ten sposób wpisanie wyniku do rejestru BIST.
7. Odczytanie zawartości wyniku Zapis nowych wektorów testowych do części równoległej BS.
8. Przejście do stanu TEST-LOGIC-RESET.

## 28.5. Testowanie integralności łańcucha IEEE 1149.1.

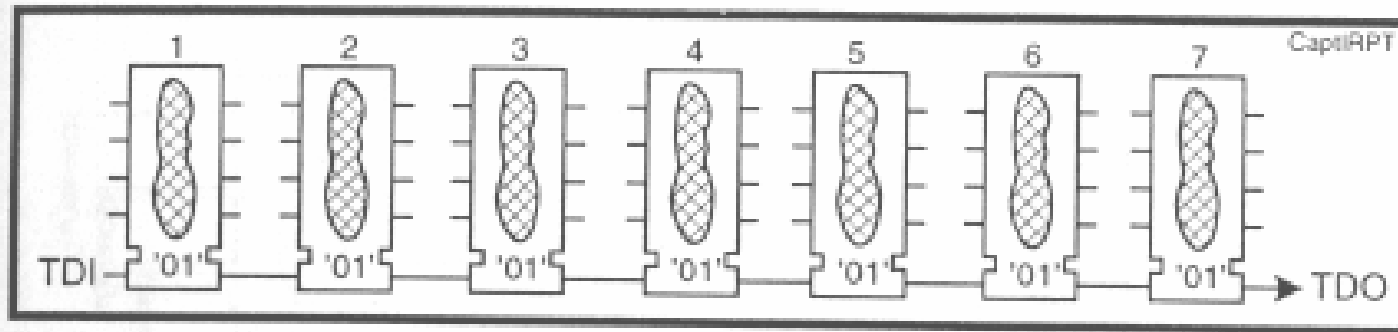


Rys. 28.6 Łańcuch elementów Boundary-Scan. Wszystkie układy przeszły stan CAPTURE-IR i w każdym rejestrze instrukcji znajduje się ciąg „01” [7].

	Integrated Circuit						
	1 (TDI)	2	3	4	5	6	7 (TDO)
Good Data Stream	01	01	01	01	01	01	01
Bad Data Stream	11	11	11	11	01	01	01

Tabela 28.1 Przykłady danych pojawiających się na wyjściu TDO układu IC7 [7].

## 28.5. Testowanie integralności łańcucha IEEE 1149.1 c.d.

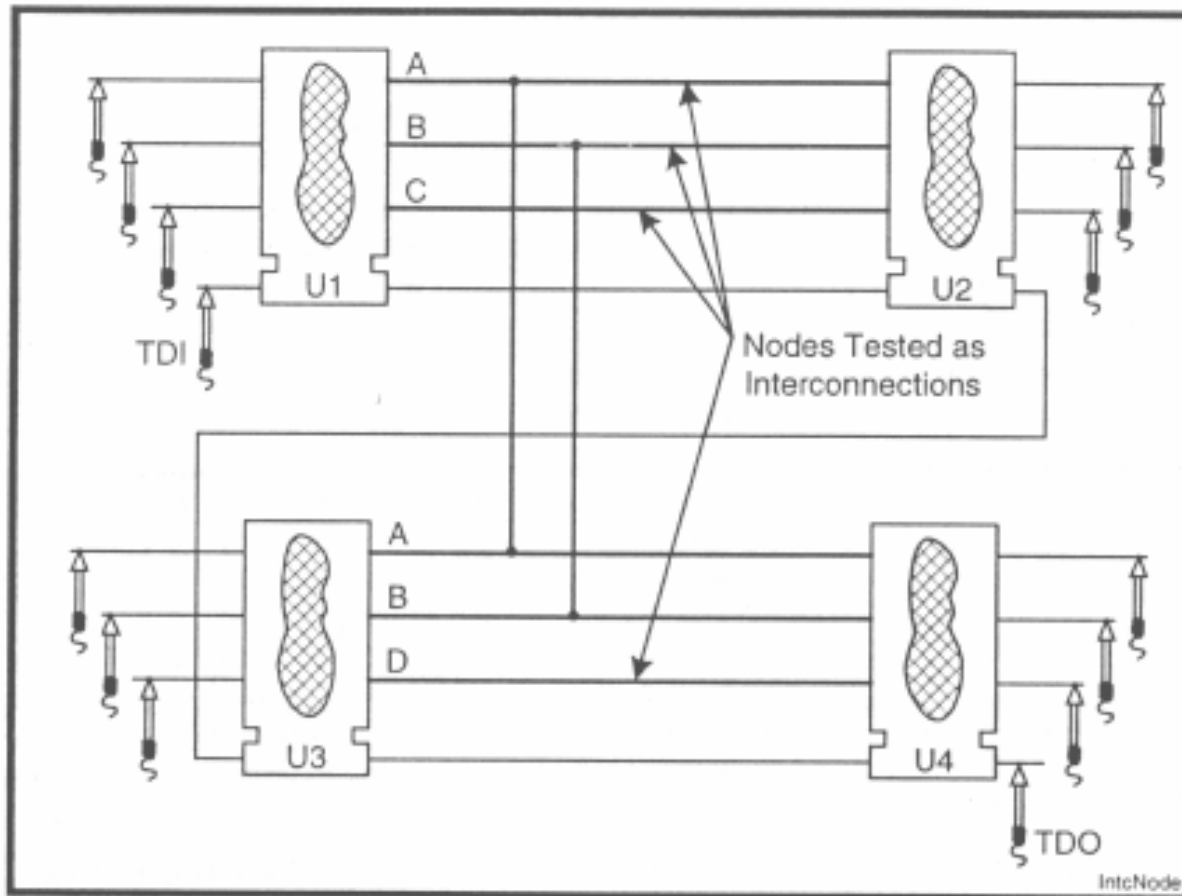


	Sentinel Bits	Integrated Circuit						
		1 (TDI)	2	3	4	5	6	7 (TDO)
Good Data Stream	10	01	01	01	01	01	01	01
Bad Data Stream	00	00	01	01	01	01	01	01

Tabela 28.2. Dane otrzymane z wyjścia TDO układu IC7 dla przypadku zwarcia TDI z TDO układu IC4 i uformowaniu AND na drucie.[7].



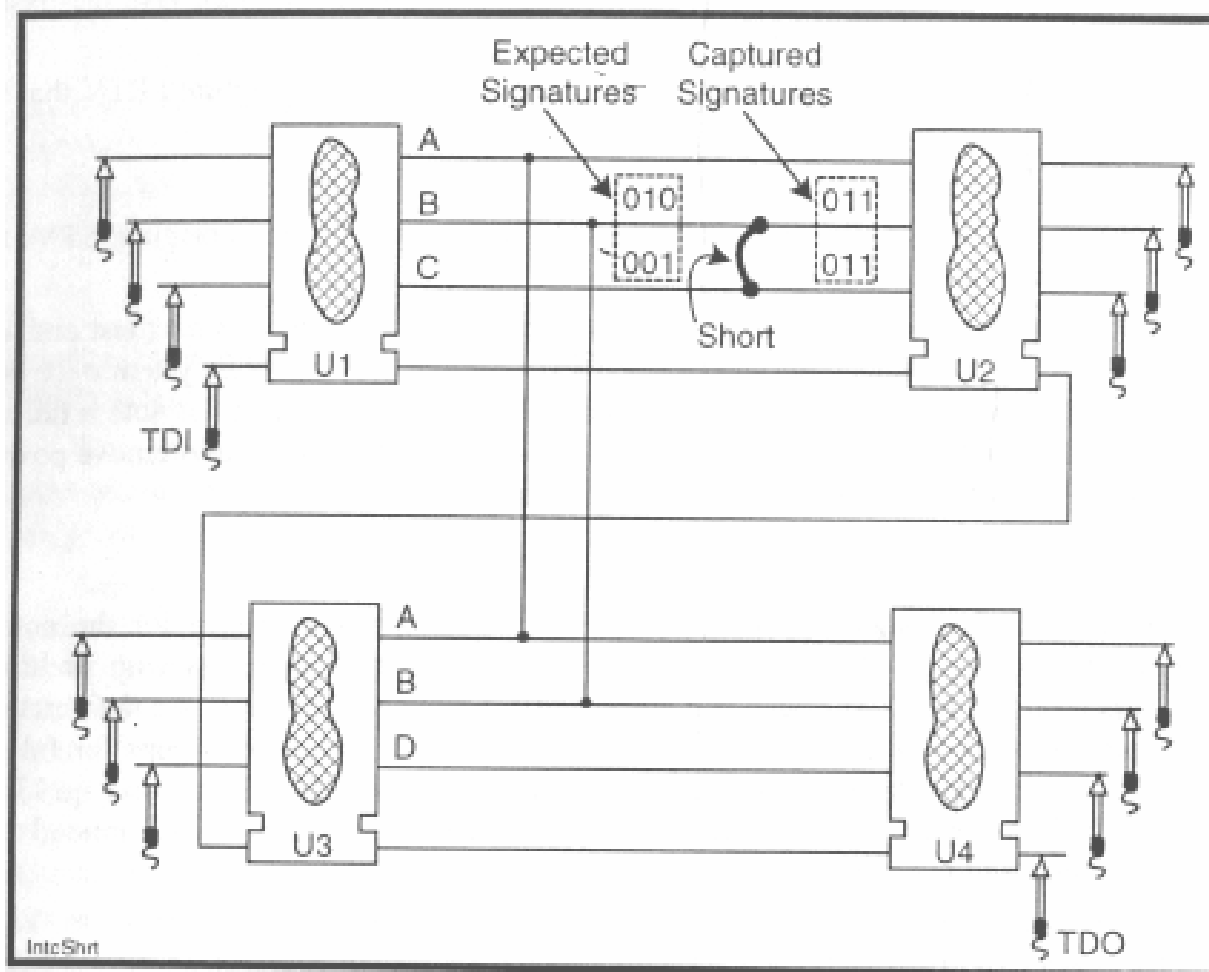
## 28.6. Testowanie połączeń wewnętrznych.



Rys. 28.7. Łańcuch układów z 4 wewnętrznymi węzłami połączeniowymi. Wszystkie prawe krawędzie symboli układów traktowane są jako wyjścia natomiast lewe jako wejścia [7].

**Założenia:** Wszystkie węzły pomiędzy układami Boundary-Scan nazywane są wewnętrznymi a te przyłączone do sond pomiarowych węzłami zewnętrznymi. Najpierw testujemy występowanie zwarć a później przerw.

## 28.6. Testowanie połączeń wewnętrznych c.d.



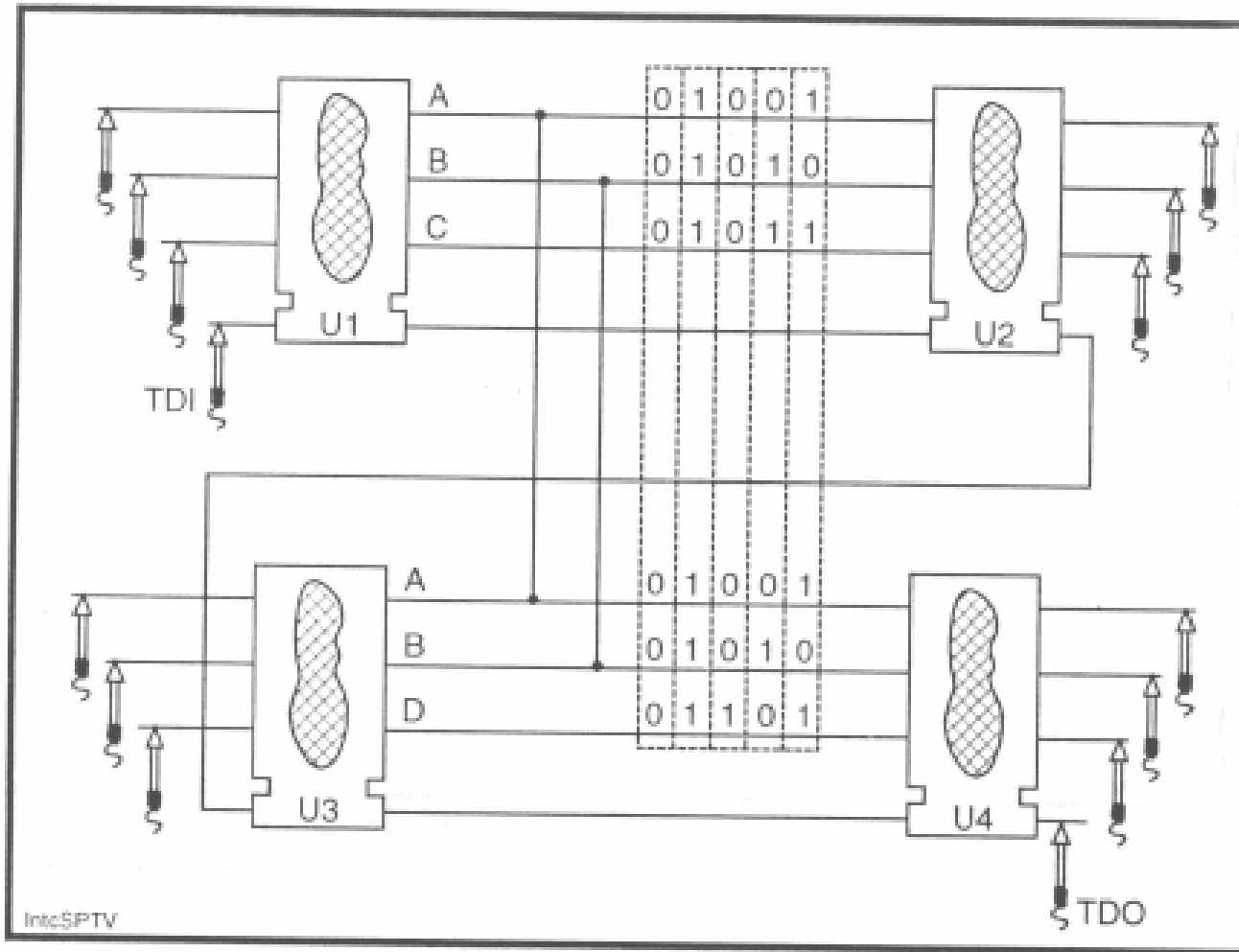
Rys. 28.8. Test połączeń wewnętrznych polegający na podaniu unikalnych wektorów testowych do każdego z węzłów. Zwarcie na rysunku łącznie z funkcją OR na drucie powoduje generację odpowiednich sygnałów zapamiętanych w rejestrze BS[7].

## 28.6. Testowanie połączeń wewnętrznych c.d.

Algorytm testowania zwarć:

1. Należy przebadać listę połączeń układów oraz opis BSDL układów scalonych. Należy ponumerować połączenia Boundary-Scan oraz wszystkie dołączone wyprowadzenia układów scalonych.
2. Dla każdego węzła należy zidentyfikować wszystkie dołączone do niego wyprowadzenia sterujące (wyjścia i dwukierunkowe wyprowadzenia IC). Należy wybrać jedno z nich i oznaczyć jako węzeł desygnowany węzła.
3. Przypisz unikalny wektor STV do każdego z węzłów wyjściowych.
4. Przetrasponuj STV na wektory równoległe PTV.
5. Wykonaj test na płytce. Zapisz każdy PTV odczytany z płytki.
6. Przetrasponuj odczytane PRV na SRV.
7. Przeanalizuj wektory SRV i STV. Znajdź różnice pomiędzy wektorami wpisanymi i odczytanymi.

## 28.6. Testowanie połączeń wewnętrznych c.d.



Rys. 28.10. Prosty test połączeń wewnętrznych. Kolumny stanowią testowe wektory równoległe PTV a wiersze są testowymi wektorami szeregowymi STV[7].

## 28.6. Testowanie połączeń wewnętrznych c.d.

**Krok 3** - przypisywane są unikalne wektory STV do każdego z węzłów. Najkrótszy test używa binarnych cyfr przypisywanych sekwencyjnie jako wektory STV. Po przetransponowaniu takiego wektora na PTV daje to liczbę wektorów PTV równą  $\log_2 N$ , gdzie  $N$  jest liczbą węzłów poddawanych testowaniu. Oznaczmy jako  $A$  średnią liczbę wyprowadzeń przypadającą na jeden węzeł. Wówczas liczba bitów wprowadzanych szeregowo w czasie testowania wyniesie około:

$$AN \log_2 N \quad (28.1)$$

cykli. Dla 4000 węzłów i  $A=4$  daje to w przybliżeniu 192.000 cykli.

Sekwencja testująca w postaci wędrującej jedynki - liczba wpisywanych szeregowo wartości jest proporcjonalna do

$$AN^2 \quad (28.2)$$

Dla tej samej liczby 4000 węzłów oraz  $A=4$ , otrzymujemy 64.000.000 cykli zegara. Sekwencja zliczająca oraz sekwencja wędrującej jedynki są dwoma ekstremalnymi przypadkami.

## 28.6. Testowanie połączeń wewnętrznych – nakładanie.

A	0	0	0	1
B	0	0	1	1
C	0	1	0	1
D	1	0	1	1
E	0	1	0	1

Tabela 28.3. Wektory testowe. Wiersze stanowią STV a kolumny PTV [7].

**Nakładanie** występuje kiedy zwarcie dwóch lub większej ilości węzłów daje taki sam wynik SRV jak dla węzła który nie ma uszkodzeń. Na przykład, jeśli węzły B i C przedstawione w tabeli 28.3 są zwarte (z funkcją AND na drucie) wówczas wynikowy SRV (0001) tych węzłów będzie identyczny jak STV (0001) węzła A. Czy to oznacza także zwarcie do węzła A? Nakładanie daje następującą właściwość: wiemy iż dwa lub więcej węzłów jest zwartych ze sobą ale prawidłowo połączony węzeł jest także podejrzan.

## 28.6. Testowanie połączeń wewnętrznych – zaskakiwanie.

A	0	0	0	1
B	0	0	1	1
C	0	1	0	1
D	1	0	1	1
E	0	1	0	1

Tabela 28.3. Wektory testowe. Wiersze stanowią STV a kolumny PTV [7].

Jeśli węzły D oraz E są ze sobą zwarte wynikowy SRV (0001) będzie wskazywał na zwarcie z węzłem A. To zjawisko nazywane jest **zaskakiwaniem** - nie możemy określić czy w układzie występuje jedno czy dwa zwarcia oraz czy węzeł A jest zwarty w każdym z przypadków.

Nakładanie i zaskakiwanie nie blokuje możliwości wykrycia zwarcia a jedynie ogranicza możliwości diagnostyczne. Taka komplikacja może powodować utrudnienia w czasie napraw płytek.

Unikanie nakładania i zaskakiwania – stosowanie dłuższych testów.

## 28.6. Testowanie połączeń wewnętrznych c.d.

Inne problemy związane z testami zwarć:

- zabezpieczenie przed uszkodzeniami zwartych wyjść (krótki test),
- brak w rzeczywistym układzie występowania AND na drucie lub OR na drucie,
- zwarcie więcej niż dwóch wyjść daje różne kombinacje wartości sygnału w zależności od sił wyjść i aktualnego ich stanu,
- możliwość różnej interpretacji stanu logicznego sygnału o wartości pośredniej przez różne wejścia (z bramką Shmitta lub zwykle, różne wykonania układu itp.),
- możliwość wystąpienia różnych odpowiedzi testowanego układu na dwa identycznie wykonywane testy.



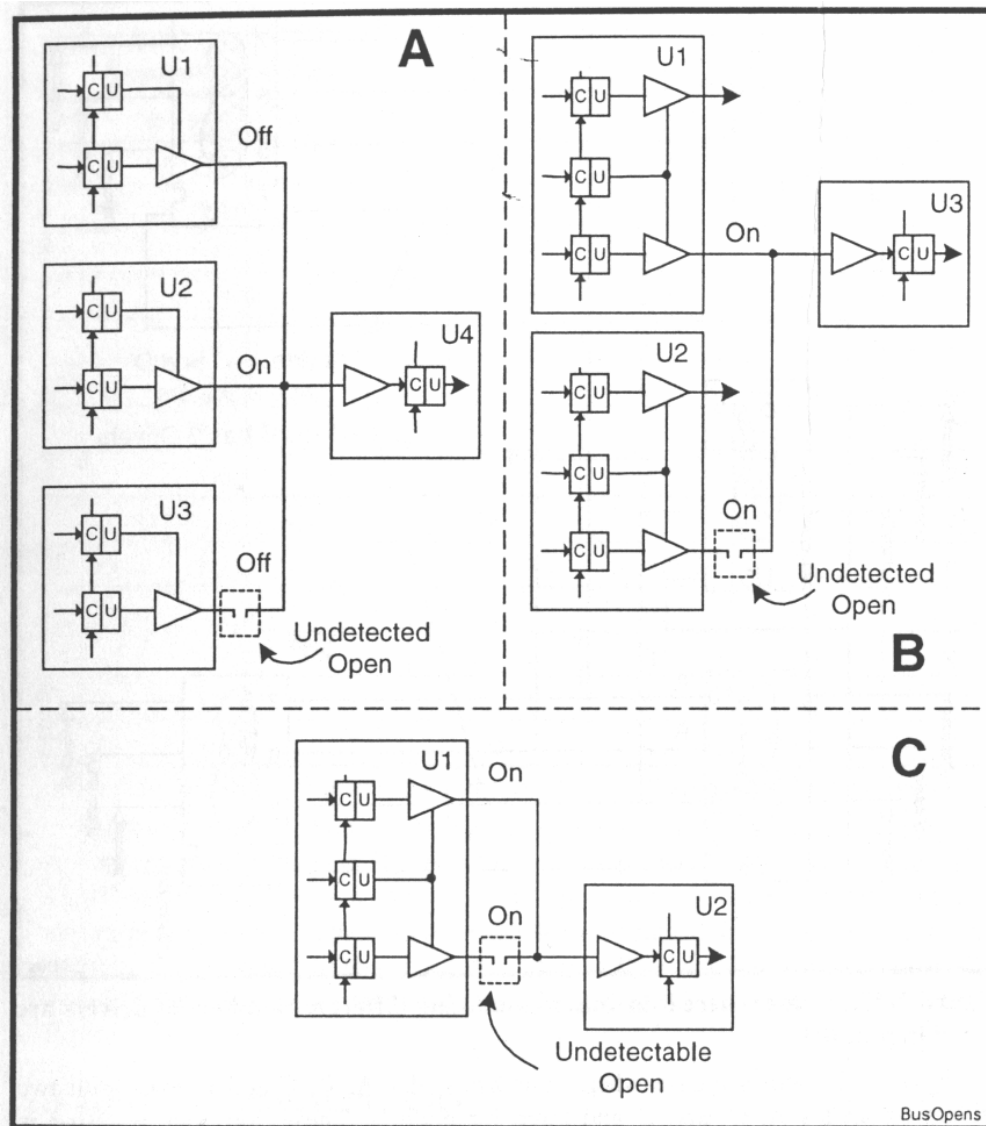
## 28.6. Testowanie połączeń wewnętrznych c.d.

Node	Note1	Note2	Note 3		Note 4		
A	0	1	1	1	0	0	0
B	0	1	1	0	0	0	1
C	0	1	0	1	0	1	0
D	0	1	0	0	0	1	1
.	.	.	.	.	.	.	.
N	0	1	1	1	1	0	1

*Tabela 28.4. Zestaw wektorów testowych testu poszerzonego, opis w tekście poniżej [7].*

W praktyce często stosuje się powiększone, mieszane testy jak w tabeli 28.4. Kolumny stanowią wektory pobudzeń PTV. Wektory NOTE1 oraz NOTE2 testują zwarcie do masy i zasilania przy braku konfliktów wyjść nawet jeśli występują zwarcia międzywęzłowe. Wektory NOTE4 są typem binarne zliczanie. Wektory NOTE3 są komplementarne w stosunku do prawych kolumn NOTE4. Stanowią one wektory zapewniające zmniejszenie zjawiska nakładania się.

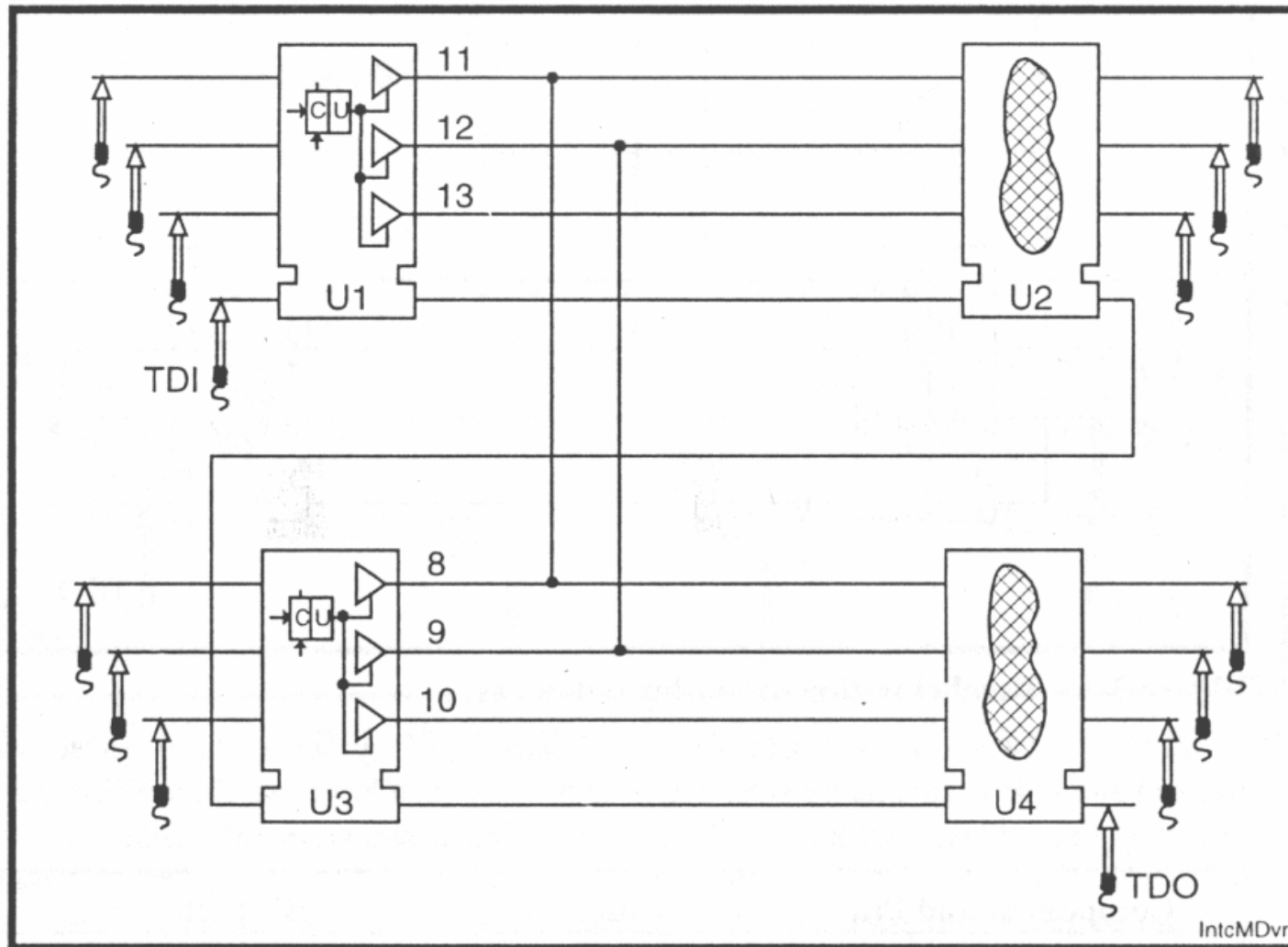
## 28.6. Testowanie połączeń wewnętrznych - przerwy.



A-sytuacja typowa, B - oba wyjścia są aktywowane do tych samych stanów w czasie testowania aby nie powodować konfliktów, C - dwie bramki połączone równolegle w celu zwiększenia siły sterowania.

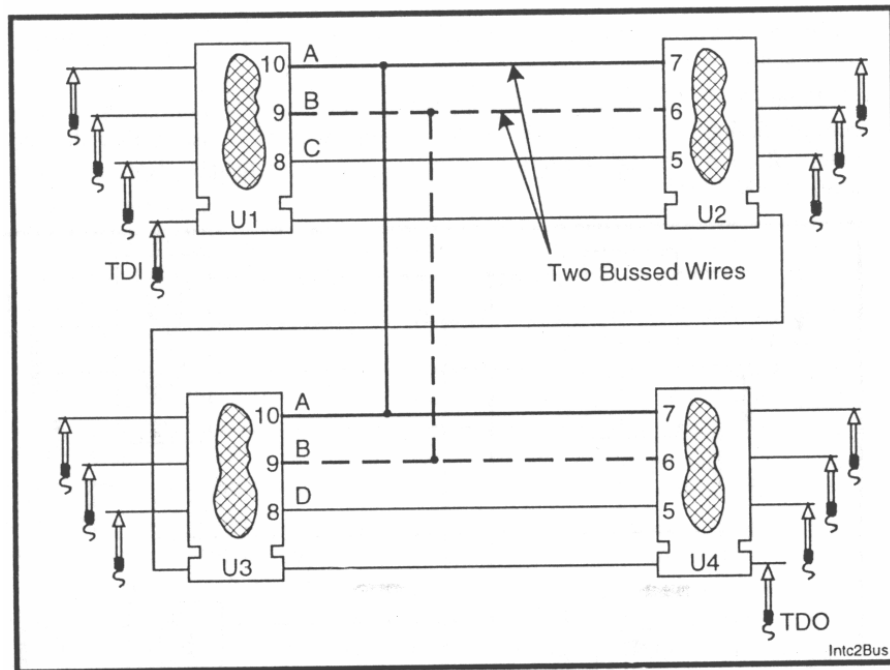
Rys. 28.11. Trzy przypadki nie wykrycia przerwy w czasie testu zwarć [7].

## 28.6. Testowanie połączeń wewnętrznych – przerwy c.d.



Rys. 28.12. Szczegóły przypadku z rys.28.11b, pojedyncza komórka BS steruje równocześnie kilkoma wyjściami układu scalonego co powoduje, że w celu uniknięcia konfliktów wszystkie sygnały muszą mieć tą samą wartość a więc testowanie ew. przerw jest utrudnione [7].

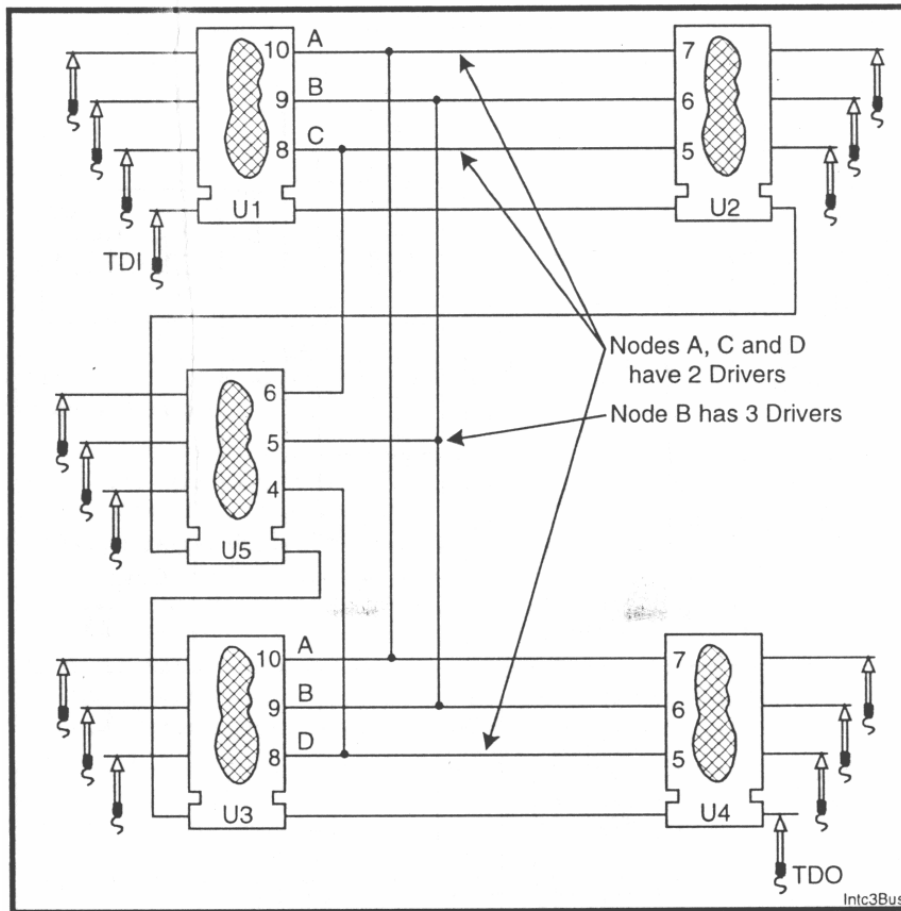
## 28.6. Testowanie połączeń wewnętrznych – przerwy c.d.



Component and Pin	Node	Bit Pattern	
U1.10 (driver)	A	01	ZZ
U3.10	A	ZZ	01
U1.9	B	01	ZZ
U3.9	B	ZZ	01
U2.6 (receiver)	B	01	01
U2.7	A	01	01
U4.6	B	01	01
U4.7	A	01	01

Jeśli mamy szynę danych z liczbą  $N$  wyjść sterujących wówczas można ją łatwo przetestować używając  $2*N$  wektorów STV ( $N$  par sygnałów „01” które włączają tylko jedno z wyjść szyny). Na rysunku powyżej przedstawiono przykład z dwoma węzłami (nazwanymi A oraz B), każdy z nich ma dwa wyjścia sterujące. Można testować oba węzły równocześnie, przykłady pobudzeń podane są w tabeli. Na wyjściu odbiornik powinien otrzymać ciąg „0101”. Węzły C i D nie są testowane bo zostały wcześniej przetestowane podczas sprawdzania zwarć.

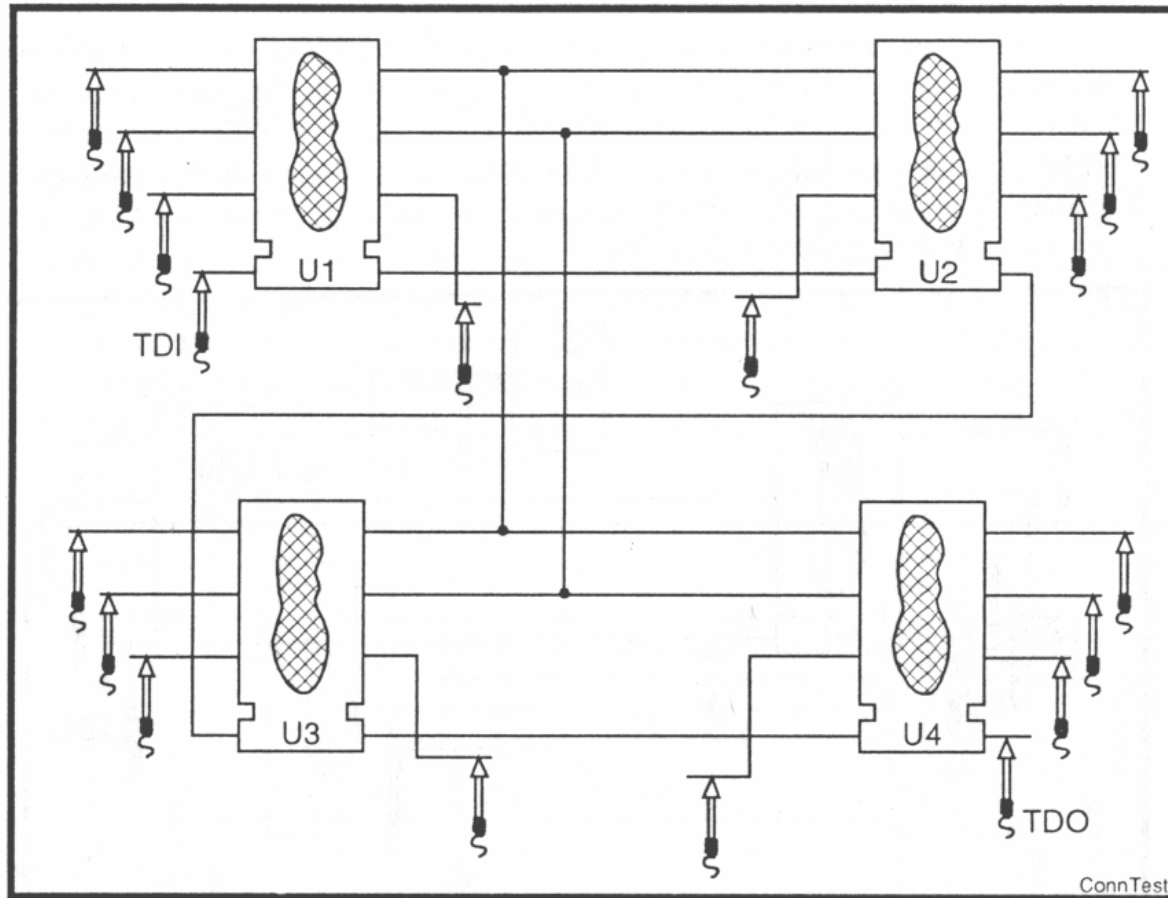
## 28.6. Testowanie połączeń wewnętrznych – przerwy c.d.



Component and Pin	Node	Bit Pattern		
U1.10 (driver)	A	01	ZZ	ZZ
U3.10	A	ZZ	01	ZZ
U1.9	B	01	ZZ	ZZ
U5.5	B	ZZ	01	ZZ
U3.9	B	ZZ	ZZ	01
U1.8	C	01	ZZ	ZZ
U5.6	C	ZZ	01	ZZ
U5.4	D	01	ZZ	ZZ
U3.8	D	ZZ	01	ZZ
U2.7 (receiver)	A	01	01	XX
U2.6	B	01	01	01
U2.5	C	01	01	XX
U4.7	A	01	01	XX
U4.6	B	01	01	01
U4.5	D	01	01	XX

Węzły A, C oraz D mają po 2 wyjścia sterujące, węzeł B ma 3 takie wyjścia. Wszystkie węzły mogą być testowane równocześnie ale jako liczbę  $N$  musimy przyjąć największą liczbę bramek wyjściowych występujących w jednym węźle czyli w naszym przypadku liczbę 3. Kiedy węzeł nie jest sterowany w danym momencie (co ma miejsce dla węzłów A, C i D) wówczas odpowiadający SRV oznaczony jest symbolem „xx” co oznacza wartość bez znaczenia.

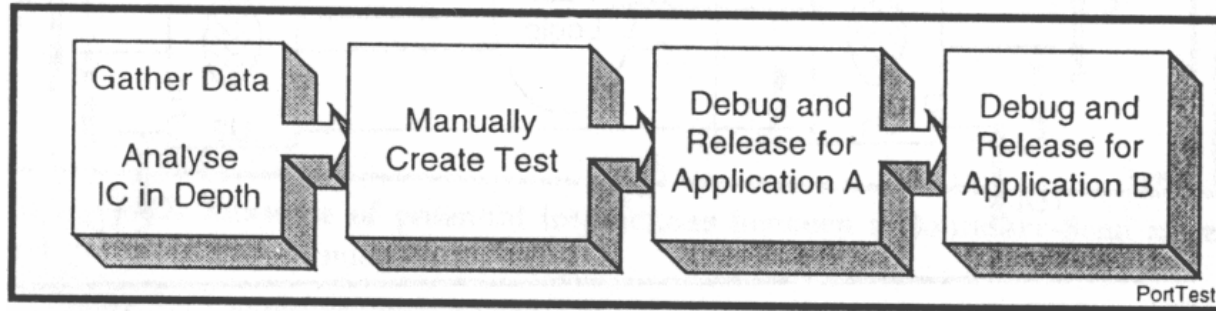
## 28.7. Testowanie połączeń zewnętrznych.



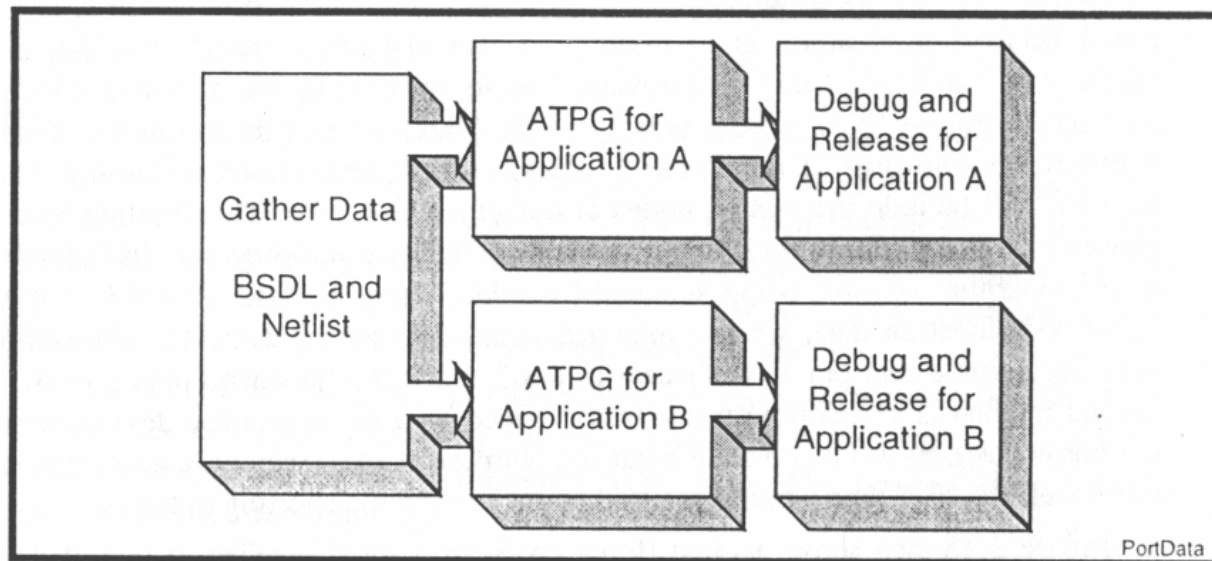
Testowanie połączeń jest wykonywane identycznie jak przy użyciu techniki Boundary-Scan z tym wyjątkiem, że niektóre z sygnałów pochodzą z sond pomiarowych a niektóre z rejestrów BS.

Rys. 28.15. Układ z testowaniem węzłów bez dostępu do Boundary-Scan przy użyciu sond.[7].

## 28.8. Przenoszenie testów.



*Rys. 28.16. Ręczne tworzenie testów dla dwóch podobnych aplikacji [7].*



*Rys. 28.16. Tworzenie testów Boundary-Scan dla podobnych aplikacji [7].*

Zaletami stosowania programów ATPG w stosunku do ręcznego tworzenia testów jest:

- przenoszenie testów w postaci informacji o systemie zamiast informacji o testach,
- szybkie generowanie testów (sekundy zamiast miesięcy),
- równoczesna głęboka analiza ewentualnych uszkodzeń zamiast testów typu sprawne/niesprawne.

## 28.9. BSDL.

BSDL (ang. Boundary-Scan Description Language) jest językiem opisującym cechy zaimplementowanego w układzie interfejsu Boundary-Scan. Podstawową właściwością języka jest całkowita zgodność oraz scalenie ze standardem IEEE1149.1. W jej wyniku elementy które są w standardzie obowiązkowe nie są zawarte w języku a ich istnienie jest domyślnie przyjęte. Przykładami takich elementów mogą być: rejestr obejścia, maszyna stanów TAP. Język BSDL można zastosować w celu:

- testowania układu,
- sprawdzenia zgodności z IEEE1149.1,
- syntezy Boundary-Scan.

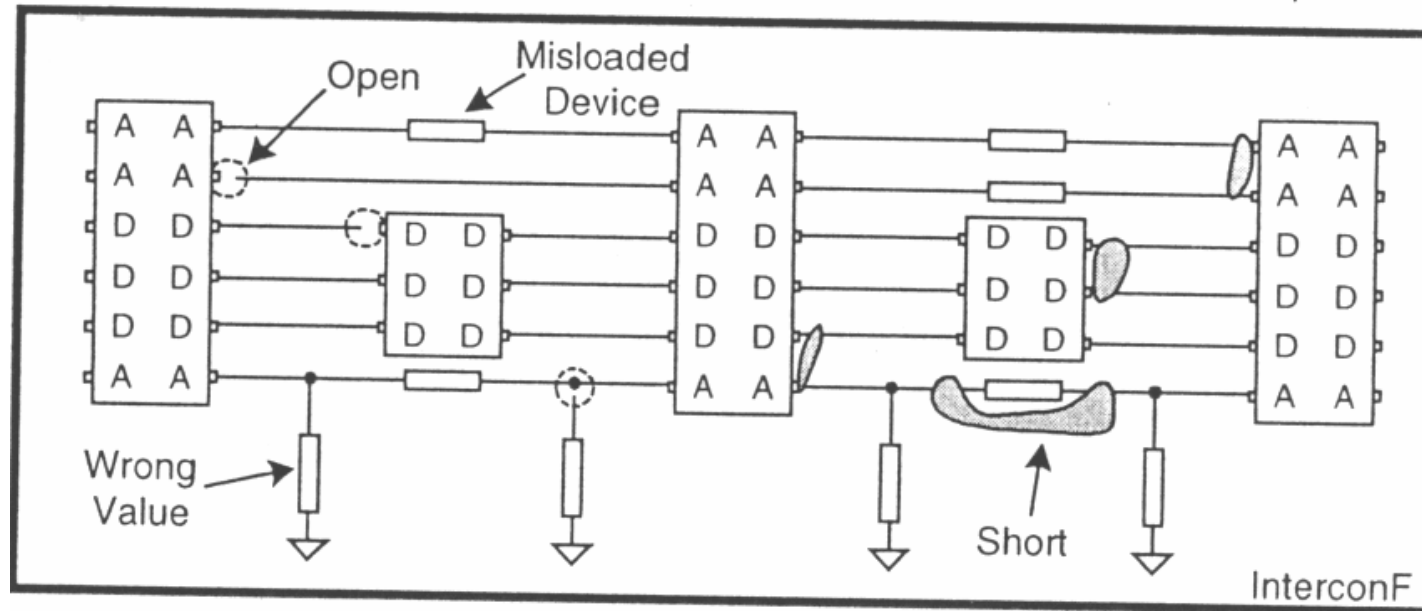


## 28.9. BSDL c.d.

Składnia języka BSDL oparta jest na składni języka VHDL. Głównymi elementami opisu BSDL są:

- deklaracja ENTITY,
- parametr generic – zazwyczaj wykorzystywany jako wybór obudowy,
- opis wyprowadzeń – port (jak w VHDL),
- wyrażenie use – aktywowanie pakietów bibliotek BSDL,
- wyrażenie zgodności układu ze standardem 1990 lub 1994,
- przypisanie nr wyprowadzeń do nazw logicznych,
- grupowane wyprowadzenia (np. różnicowe),
- identyfikacja wyprowadzeń TAP,
- opis rejestru instrukcji: kody instrukcji, instrukcje nieobowiązkowe,
- opis zawartości rejestrów IDCODE oraz USERCODE,
- opis dostępnych rejestrów,
- opis komórek rejestru BS,
- opis wykonania instrukcji RUNBIST,
- opis wykonania instrukcji INTEST,
- rozszerzenia użytkownika,
- ostrzeżenia.

## 28.10. Standard analogowy IEEE1149.4.

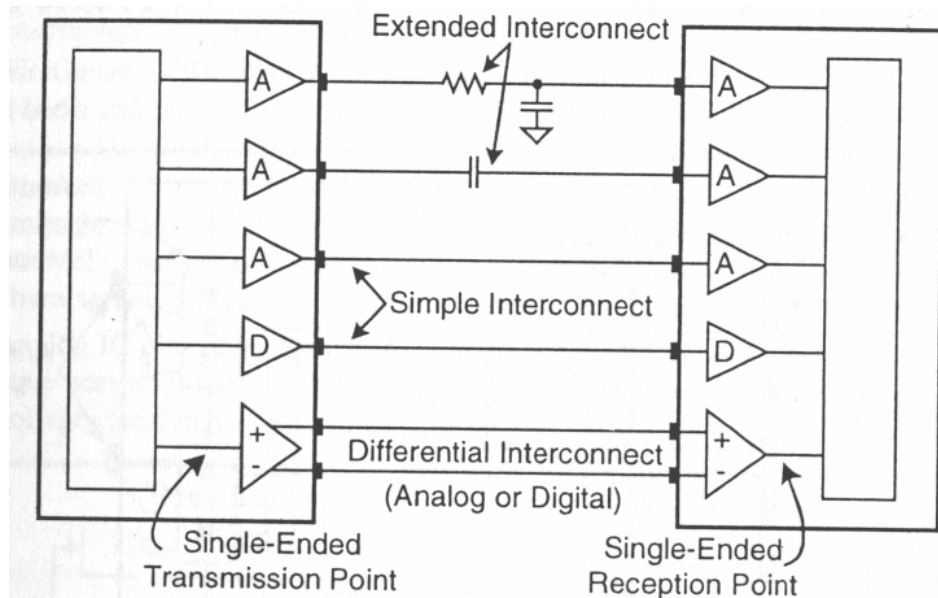


Rys. 28.17. Układ analogowo-cyfrowy z pewnymi uszkodzeniami [7].

Celem standardu IEEE1149.4 jest możliwość wykrywania następujących uszkodzeń:

- zwarcia,
- przerwy,
- braki elementów analogowych i cyfrowych,
- błędny montaż (zamiana elementu prawidłowego na inny nieprzewidziany),
- pomiary niektórych parametrów z użyciem sygnałów stałych i o niskiej częstotliwości.

## 28.10. Standard analogowy IEEE1149.4 c.d.



Rys. 28.18. Przykłady połączeń w układzie mieszanym [7].

Elementów zewnętrznych nie można wyeliminować całkowicie w przypadkach:

- dopasowanie impedancji linii (kompromis pole zastosowań – prostota montażu)
- duża rozpraszana moc,
- duże wartości realizowanych pojemności i indukcyjności,
- dokładność wykonania.

W standardzie 1149.4 rozróżnia się dwa rodzaje połączeń pomiędzy układami scalonymi:

- połączenia proste, są to połączenia bezpośrednie pomiędzy wyprowadzeniami dwóch lub więcej różnych układów scalonych,
- połączenia rozszerzone, są to połączenia nie typu prostego czyli wykonywane za pośrednictwem elementów dyskretnych.

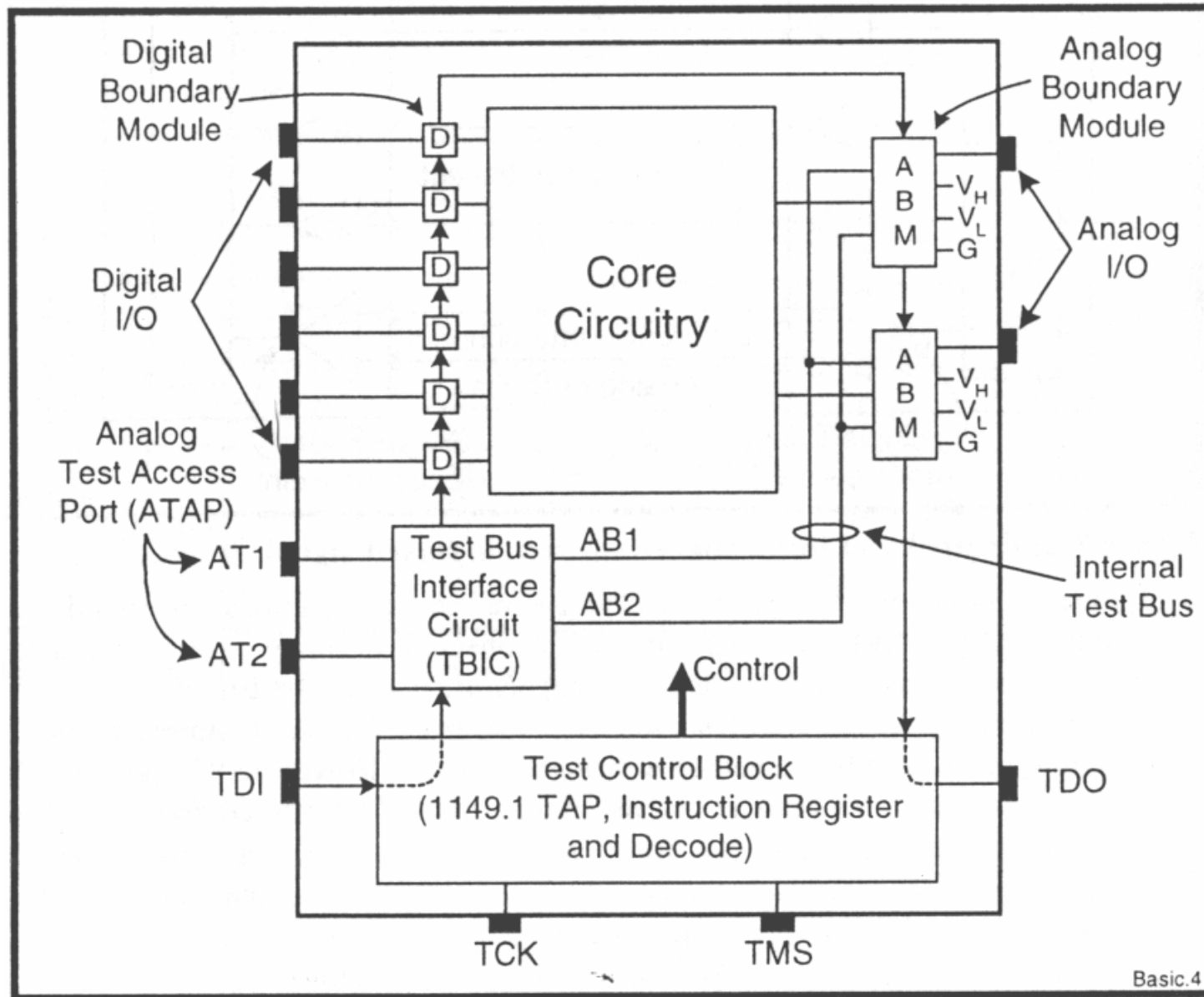
## 28.10. Standard analogowy IEEE1149.4 c.d.

**Wyprowadzenia cyfrowe układu scalonego:** Wyprowadzenia cyfrowe układu scalonego są traktowane identycznie jak w standardzie IEEE1149.1. Jediną różnicą jest nazwa komórki dołączonej do takiego wyprowadzenia. Teraz dołączone są one do komórki DBM (ang. Digital Boundary Module) a jego budowa jest identyczna jak wcześniej przedstawianej komórki rejestru Boundary-Scan.

**Wyprowadzenia analogowe:** Wyprowadzenia analogowe układu scalonego są połączone przez bloki nazwane w skrócie ABM (ang. Analog Boundary Module). Komórka ABM zawiera rejestr oraz zestaw innych elementów niezbędnych do wspomagania wykonywania testów analogowych. Komórka ABM może pracować w dwóch głównych trybach:

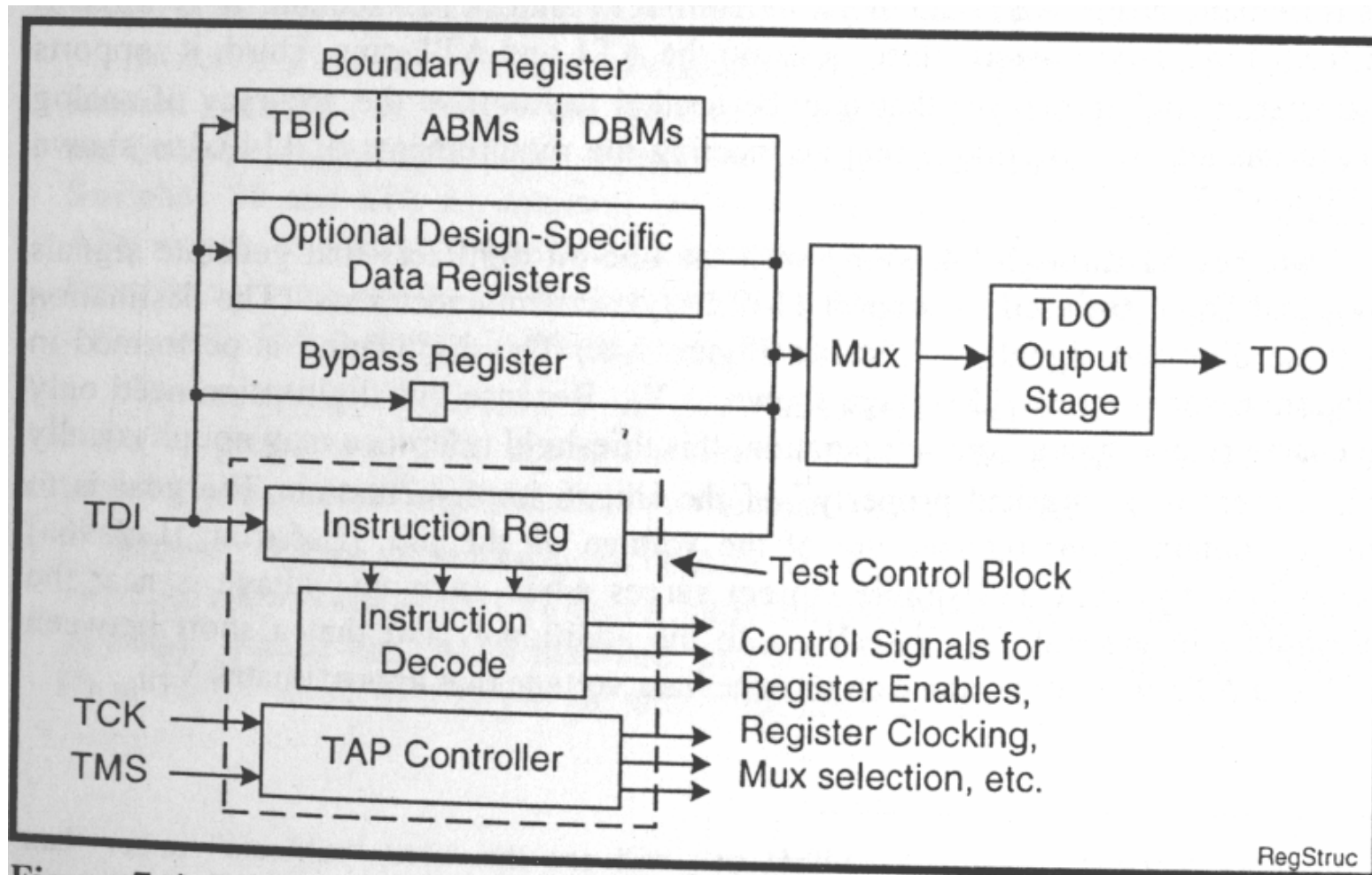
- emulacja stylu jak dla IEEE1149.1 w celu testowania połączeń międzyukładowych,
- wspomaganie podawania sygnału analogowego oraz jego pomiaru.

## 28.10.4. Ogólna struktura układu zgodnego z 1149.4.



Rys. 28.19. Ogólna architektura układu scalonego wyposażonego w interfejs zgodny z IEEE1149.4 [7].

## 28.10.4 Standard analogowy IEEE1149.4 - rejestry.



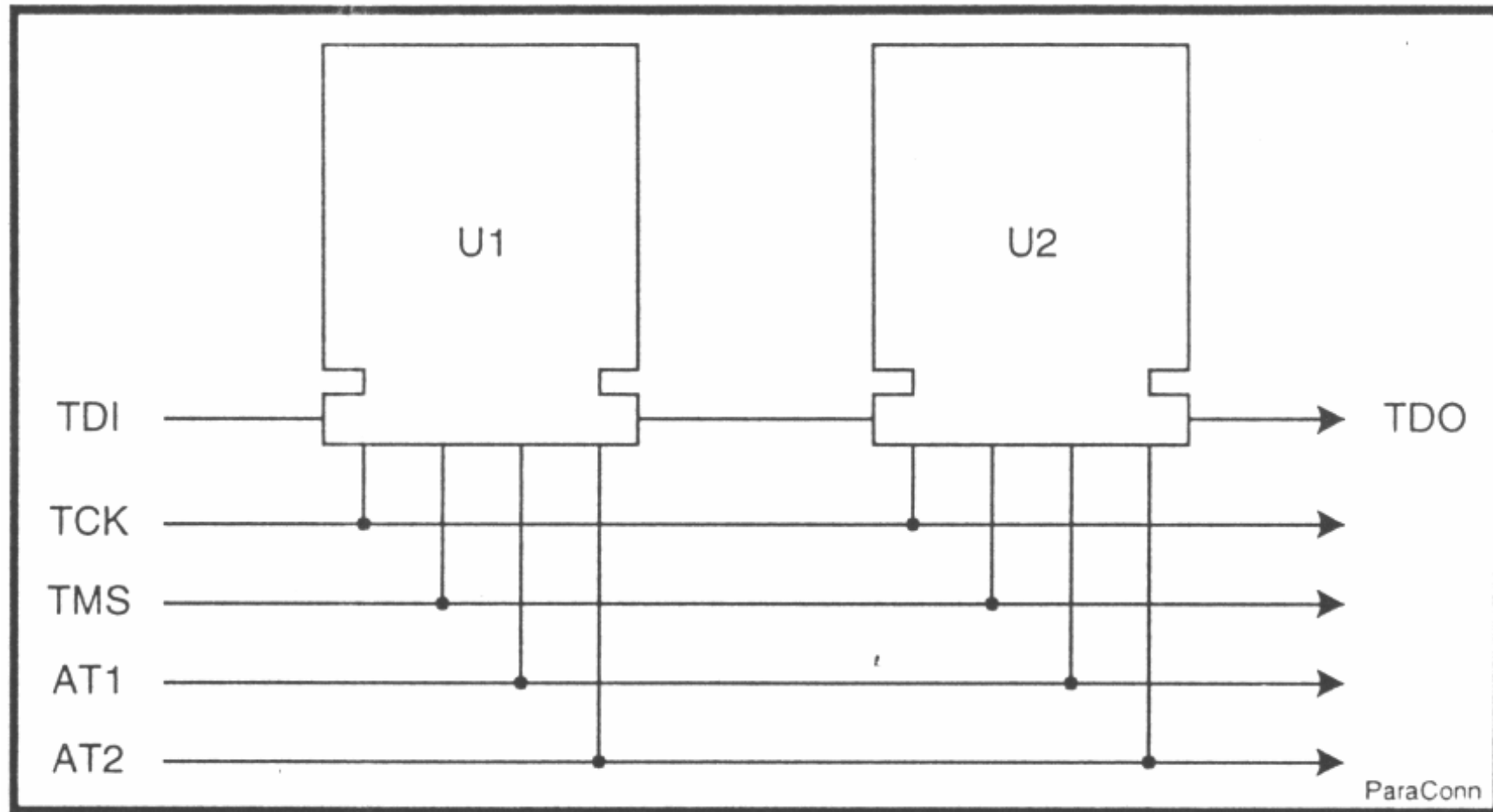
Rys. 28.20. Szczegóły budowy rejestrów w układzie 1149.4 [7]

## 28.10.5. Klucze półprzewodnikowe.

Parameter	Mechanical Relay (SMT)	CMOS Switch (0.35 $\mu$ )	Bipolar Switch (0.35 $\mu$ )
On-Resistance	$10^{-2}$ ohms	$10^2$ to $10^3$ ohms	(see discussion)
Off-Resistance	$10^{12}$ ohms	$10^{12}$ ohms	$10^{10}$ ohms
Bidirectional?	Yes	Yes (see discussion)	No
Switching time	$\geq 500$ $\mu$ seconds	$< 1$ $\mu$ second	$< 1$ $\mu$ second
Area (approx.)	200 x 750 mils = $96.7 \times 10^6 \mu^2$	$20 \mu^2$	100 to 5000 $\mu^2$

*Tabela 28.7. Porównanie parametrów kluczy sygnałowych [7].*

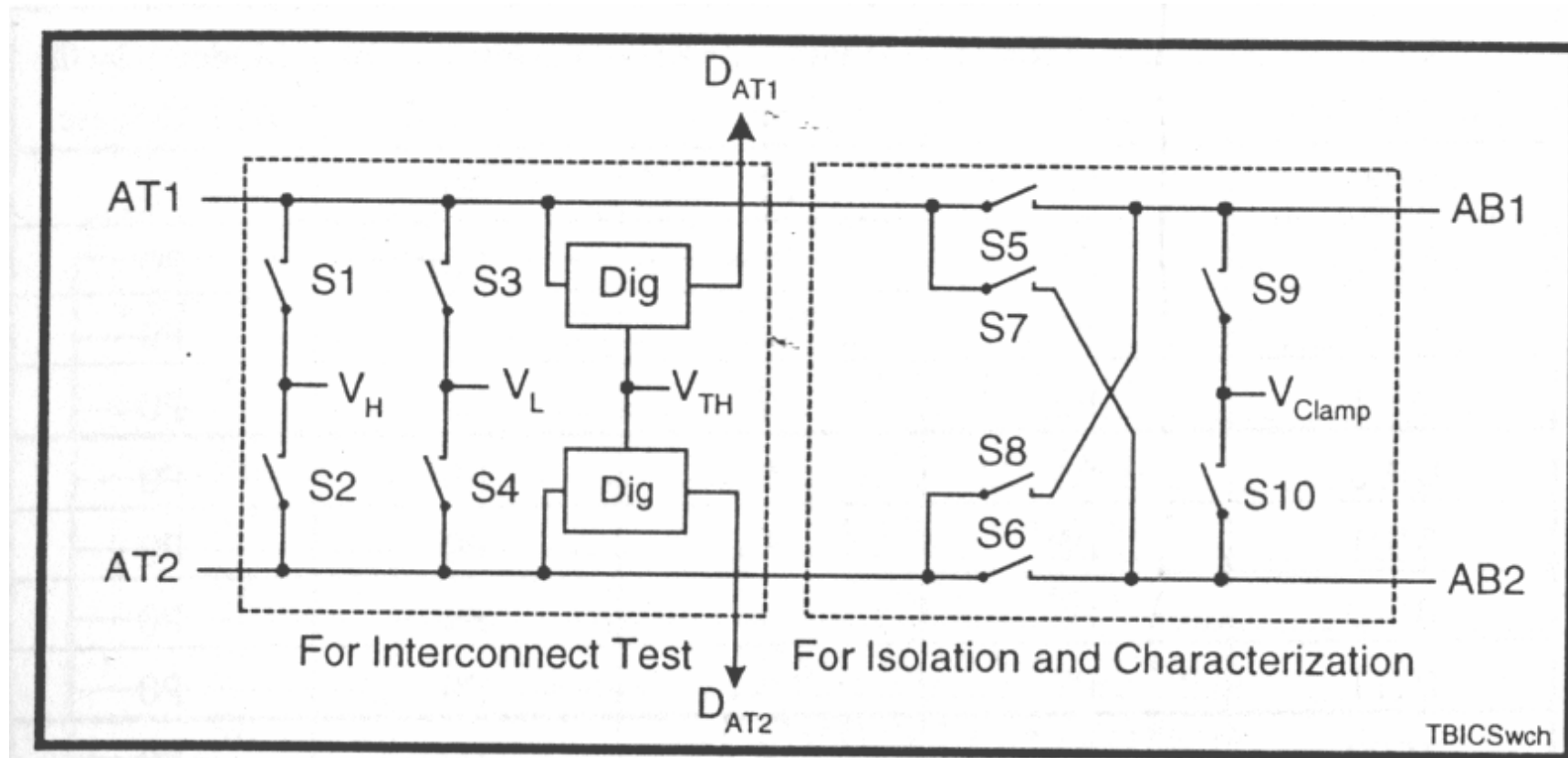
## 28.10.6. ATAP (ang. Analog Test Access Port).



Rys. 28. 21. Połączenia wyprowadzeń kontrolera ATAP dwóch układów zgodnych z IEEE1149.4. Wspólne połączenie wyprowadzeń AT1 oraz AT2 obu układów nie jest obowiązkowe [7].



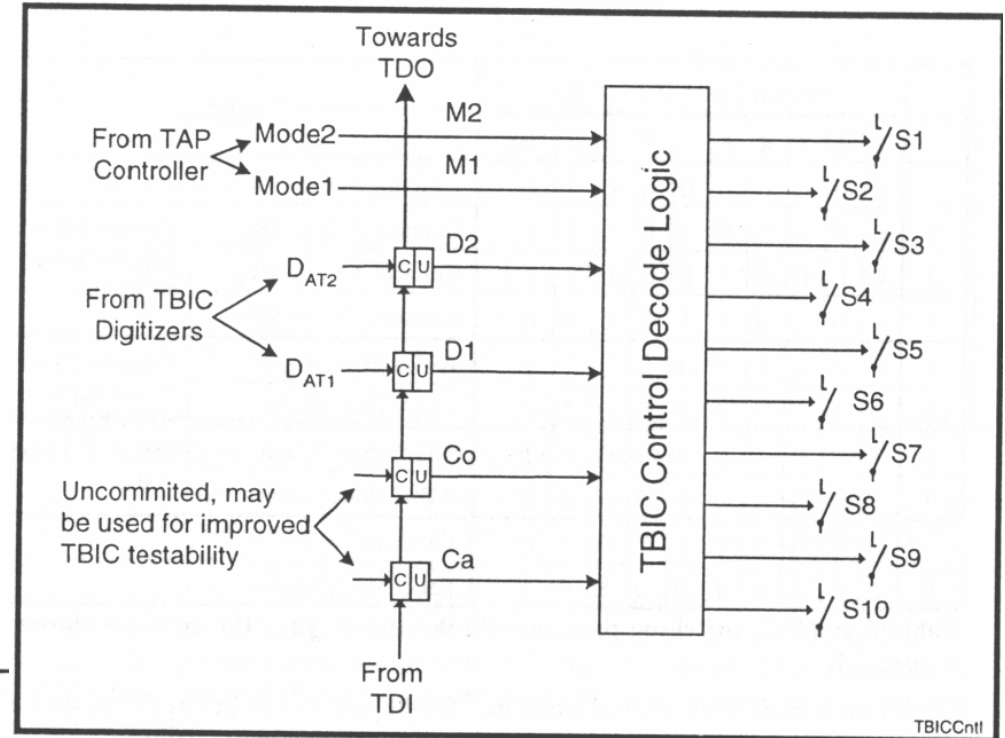
## 28.10.7. Układ TBIC (ang. Test Bus Interface Circuit).



Rys. 28.22. Struktura układu TBIC. Bloki DIG są komparatorami (digitizerami) wartości sygnału AT1 i AT2 z wartością progową  $V_{TH}$  [7].

## 28.10.7. Układ TBIC (ang. Test Bus Interface Circuit).

Rys. 28.23. Układ sterujący kluczami bloku TBIC[7].



P#	Switch State (S1 – S10)										Function	
	1	2	3	4	5	6	7	8	9	10		
0	0	0	0	0	0	0	0	0	1	1	ATn disconnect (Hi-Z), clamp ABn	
1	0	0	0	0	0	1	0	0	1	0	Patterns P1-P3 support analog metrology.	
2	0	0	0	0	1	0	0	0	0	1		Connect AT1 to AB1
3	0	0	0	0	1	1	0	0	0	0		Connect ATn to ABn
4	0	0	1	1	0	0	0	0	1	1	AT1/2 drive 00 out	Patterns P0 and P4-P7 support 1149.1-style interconnection tests.
5	0	1	1	0	0	0	0	0	1	1	AT1/2 drive 01 out	
6	1	0	0	1	0	0	0	0	1	1	AT1/2 drive 10 out	
7	1	1	0	0	0	0	0	0	1	1	AT1/2 drive 11 out	
8	0	0	0	0	0	1	1	0	1	0	For characterization	
9	0	0	0	0	1	0	0	1	0	1	For characterization	



Tabela 28.8. Przełączanie kluczy bloku TBIC z rys. 28.22[7].

## 28.10.7. Układ TBIC (ang. Test Bus Interface Circuit) c.d.

Cells Ca/Co/D1/D2	Modes 1/2 =11 EXTEST, etc.	Modes 1/2= 01 PROBE, etc.	Modes 1/2 =10 HIGHZ	Modes 1/2= 00 BYPASS, etc.
0000	P0	P0	P0	P0
0001	P1	P1	P0	P0
0010	P2	P2	P0	P0
0011	P3	P3	P0	P0
0100	P4	*	P0	P0
0101	P5	*	P0	P0
0110	P6	*	P0	P0
0111	P7	*	P0	P0
1000	P0	*	P0	P0
1001	P8	*	P0	P0
1010	P9	*	P0	P0
1011	*	*	P0	P0
1100	*	*	P0	P0
1101	*	*	P0	P0
1110	*	*	P0	P0
1111	*	*	P0	P0

*Tabela 28.9. Wybór trybu pracy bloku TBIC w zależności od zawartości komórek rejestru brzegowego [7].*

TAP Instruction	Mode1 (M1)	Mode2 (M2)
EXTEST, CLAMP, RUNBIST	1	1
PROBE, INTEST	0	1
HIGHZ	1	0
BYPASS, SAMPLE, PRELOAD, IDCODE, USERCODE	0	0

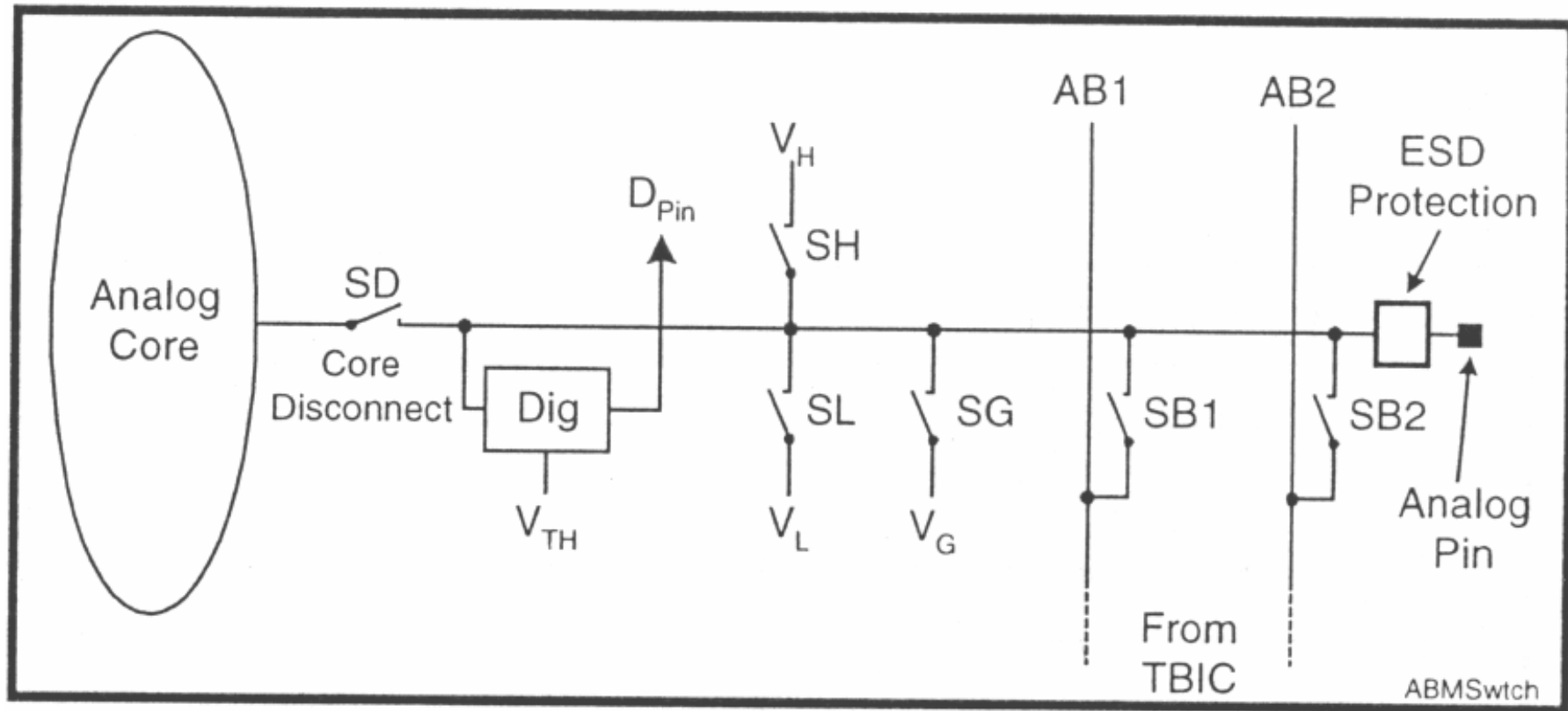
*Tabela 28.8. Przypisanie wartości sygnałom Mode1 oraz Mode2 w zależności od bieżącej instrukcji [7].*

TBIC Switch	Logic Equation (a trailing "*" indicates inversion)
S1	Ca*CoD1M1M2
S2	Ca*CoD2M1M2
S3	Ca*CoD1*M1M2
S4	Ca*CoD2*M1M2
S5	Co*D1M2(Ca* + D2*M1)
S6	Co*D2M2(Ca* + D1*M1)
S7	CaCo*D1*D2M1M2
S8	CaCo*D1D2*M1M2
S9	S5*
S10	S6*

*Tabela 28.10. Równania logiczne sterujące*

*Tabela. 28.10. Równania logiczne sterujące kluczami S1-S10 bloku TBIC [7].*

## 28.10.8. Komórka ABM (ang. Analog Boundary Module).



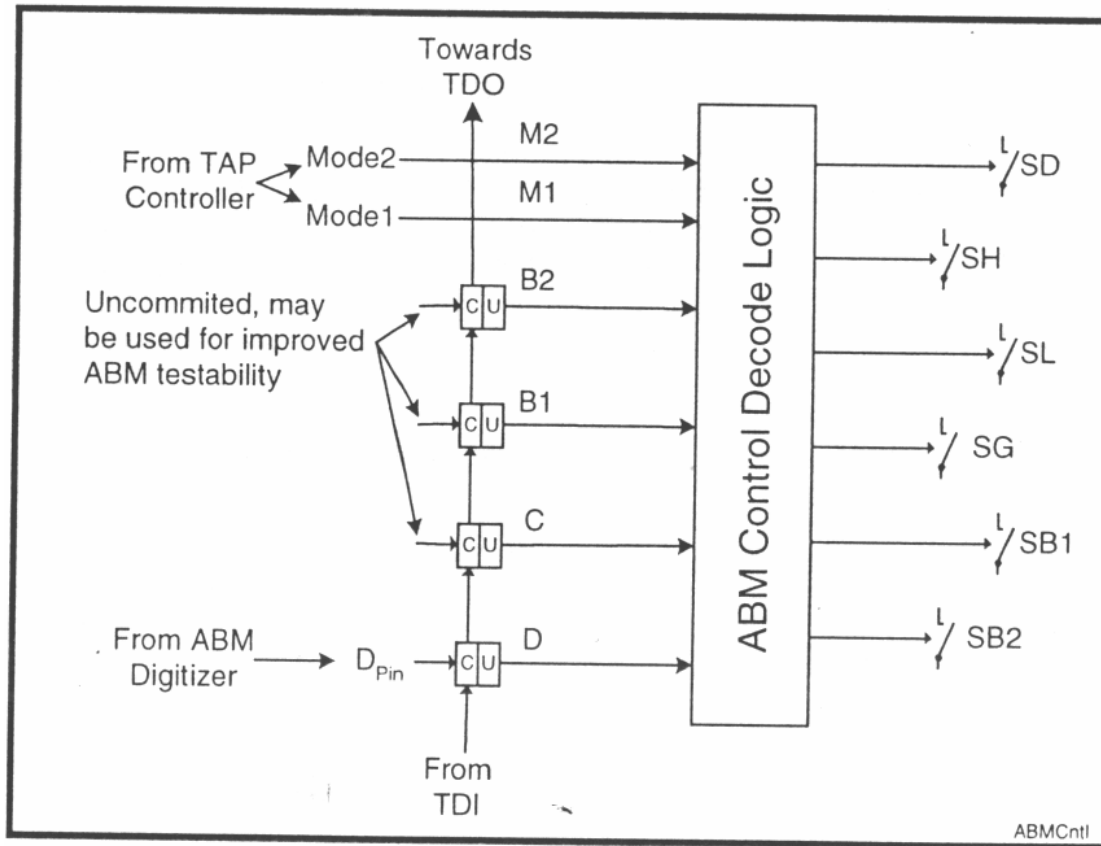
Rys. 28.24. Komórka ABM dla wyprowadzenia analogowego układu scalonego [7].

## 28.10.8. Komórka ABM (ang. Analog Boundary Module) c.d.

P#	Switch State (0/1=open/closed)						Pin State
	SD	SH	SL	SG	SB1	SB2	
0	0	0	0	0	0	0	Completely isolated
1	0	0	0	0	0	1	Monitored by AB2
2	0	0	0	0	1	0	Connected to AB1
3	0	0	0	0	1	1	Connected to AB1, monitored by AB2
4	0	0	0	1	0	0	Connected to $V_G$
5	0	0	0	1	0	1	Connected to $V_G$ , monitored by AB2
6	0	0	0	1	1	0	Connected to $V_G$ and AB1
7	0	0	0	1	1	1	Connected to $V_G$ & AB1, monitored by AB2
8	0	0	1	0	0	0	Connected to VL
9	0	0	1	0	0	1	Connected to VL, monitored by AB2
10	0	0	1	0	1	0	Connected to VL and AB1
11	0	0	1	0	1	1	Connected to VL & AB1, monitored by AB2
12	0	1	0	0	0	0	Connected to VH
13	0	1	0	0	0	1	Connected to VH, monitored by AB2
14	0	1	0	0	1	0	Connected to VH and AB1
15	0	1	0	0	1	1	Connected to VH & AB1, monitored by AB2
16	1	0	0	0	0	0	Connected to core, isolated from test
17	1	0	0	0	0	1	Connected to core, monitored by AB2
18	1	0	0	0	1	0	Connected to core and AB1
19	1	0	0	0	1	1	Connected to core & AB1 monitored by AB2

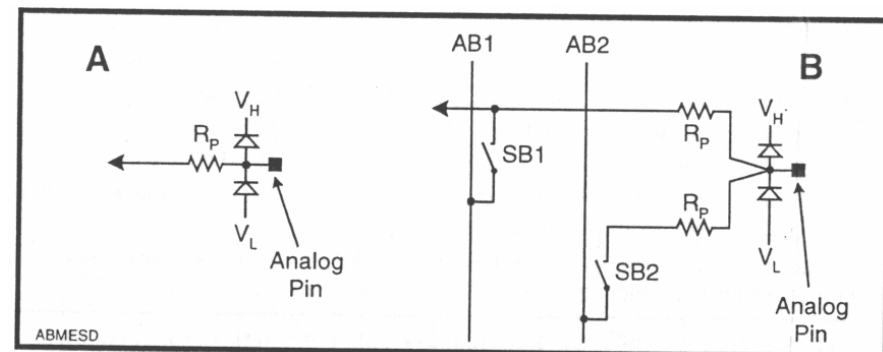
*Tabela 28.11. Możliwe ustawienia kluczy bloku ABM i realizowane funkcje [7].*

## 28.10.8. Komórka ABM (ang. Analog Boundary Module) c.d.



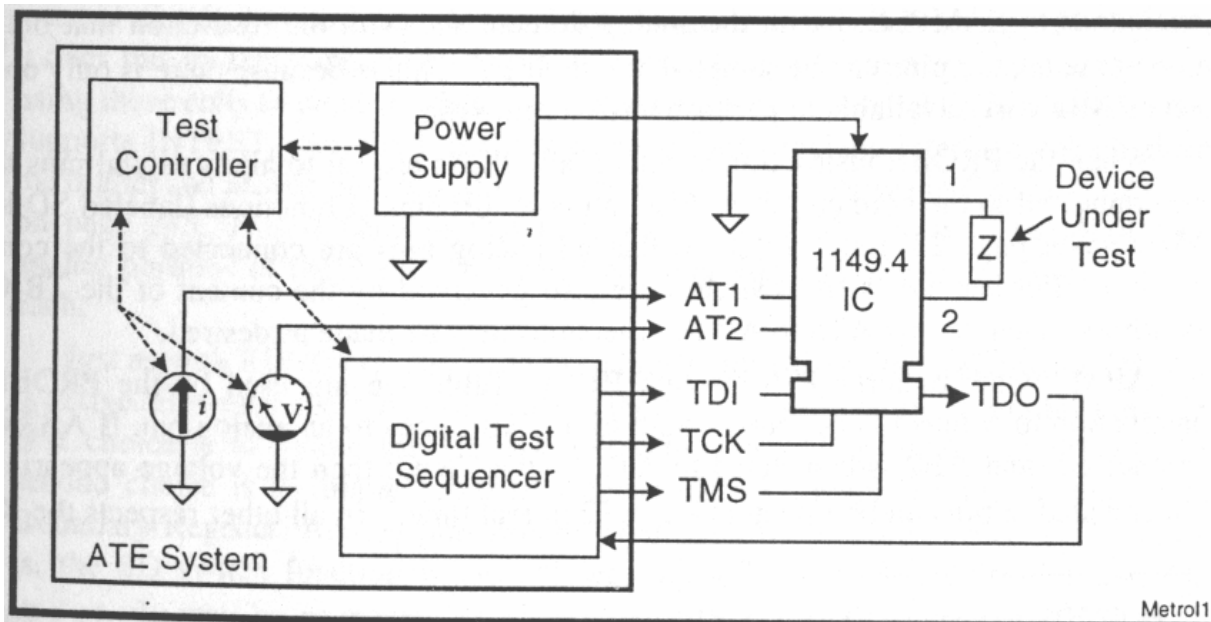
←  
Rys. 28.25. Układ sterujący kluczami z rys. 28.24 [7].

→  
Rys. 28.26. Modyfikacja układu zabezpieczającego przed ESD. Dzięki modyfikacjom spadek napięcia na  $R_p$  nie przechodzi do linii pomiarowej AB2 [7].



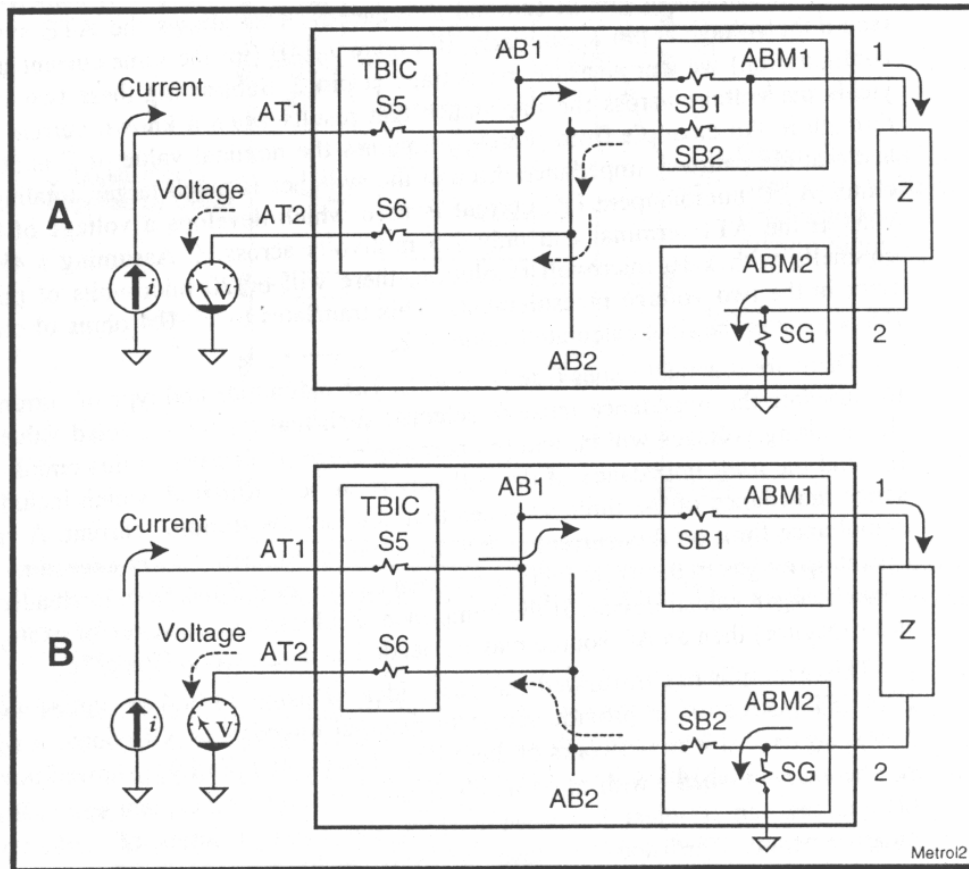
## 28.10.9. Zestaw instrukcji 1149.4.

**EXTEST:** Instrukcja obowiązkowa. Na wyprowadzeniach cyfrowych układu scalonego zachowuje się identycznie jak w standardzie 1149.1. Wyprowadzenia analogowe mogą emulować wyprowadzenia cyfrowe poprzez zablokowanie wyprowadzenia bądź też podłączenie do  $V_H$  lub  $V_L$ . To umożliwia włączenie wyprowadzeń analogowych w testy połączeń. Niestety, niektóre wyprowadzenia analogowe mogą mieć połączenia rozszerzone i to może spowodować, że nie będą mogły emulować wyprowadzeń cyfrowych - np. terminacja 50omów do masy. Takie wyprowadzenie należy traktować jako uziemione. Później, podczas pomiarów analogowych impedancji zewnętrznych można wykryć zwarcie lub przerwę, aczkolwiek sekwencyjnie z mniejszą szybkością.



←  
Rys. 28.27. Środowisko testowe 1149.4 [7].

## 28.10.9. Zestaw instrukcji 1149.4. c.d.



Rys. 28.28. Dwa pomiary (A) oraz (B) używane do ustalenia napięcia występującego na impedancji Z [7].

### W celu pomiaru impedancji Z należy:

- wprowadzić mały prąd na wyprowadzenie AT1, prąd ten płynie poprzez AT1 do TBIC dalej poprzez linię AB1 do ABM1, dalej poprzez impedancję Z do ABM2 i poprzez klucz  $S_G$  do napięcia odniesienia  $V_G$ ,
- połączyć woltomierz ATE do ABM1 i poprzez AB2 do wyprowadzenia pomiarowego AT2,
- połączyć woltomierz do ABM2 poprzez AB2/AT2,
- obliczyć impedancję jako różnicę napięć podzieloną przez wartość prądu AT1.

**Przykład:** Załóżmy, że mierzymy wartość w zakresie  $50\Omega$  natomiast rezystancja ścieżki pomiarowej wynosi  $5k\Omega$ . Załóżmy, że prąd wprowadzony do AT1 wynosi  $50\mu A$  co daje spadek napięcia na impedancji Z o wartości  $2.5mV$ . Zakładając, że używamy woltomierza z 4,5 cyframi i rozdzielczością równą  $10\mu V$  otrzymujemy  $20\mu V$  ewentualnego błędu pomiarowego. To przekłada się na  $\pm 0,4\Omega$  co daje  $0,8\%$  wartości mierzonej równej  $50\Omega$ .



## 28.10.9. Zestaw instrukcji 1149.4. c.d.

**CLAMP:** Instrukcja nieobowiązkowa. Na wyjścia cyfrowe i wyprowadzenia analogowe ustawia wartość wpisaną do rejestru brzegowego a jako rejestr docelowy wybiera rejestr obejścia. Służy do ustawienia warunków pomiarowych przy jednoczesnym skróceniu długości łańcucha TDI – TDO.

**HIGHZ:** Instrukcja nieobowiązkowa. Odłącza wszystkie wyjścia cyfrowe oraz wyprowadzenia analogowe a jako rejestr docelowy wybiera rejestr obejścia.

**PROBE:** Instrukcja obowiązkowa w 1149.4. Kod instrukcji nie jest ustalony przez standard. Jako rejestr docelowy wybiera rejestr brzegowy. Instrukcja jak SAMPLE dla 1149.1 z tą różnicą, że w danym momencie monitorowane jest tylko jedno wyprowadzenie analogowe gdyż jest dostępne tylko jedno wyprowadzenie obserwacyjne AT2. W czasie wykonywania instrukcji bloki DBM podłączają wyprowadzenia cyfrowe do logiki układu, komórki ABM włączają wyprowadzenia analogowe do rdzenia układu. Połączenia kluczy TBIC są kontrolowane przez rejestr TBIC i mogą zostać ustawione do obserwacji określonych wyprowadzeń. W czasie wykonywania instrukcji mogą być wykorzystywane polecenia P16-P19 wg tabeli 28.11.

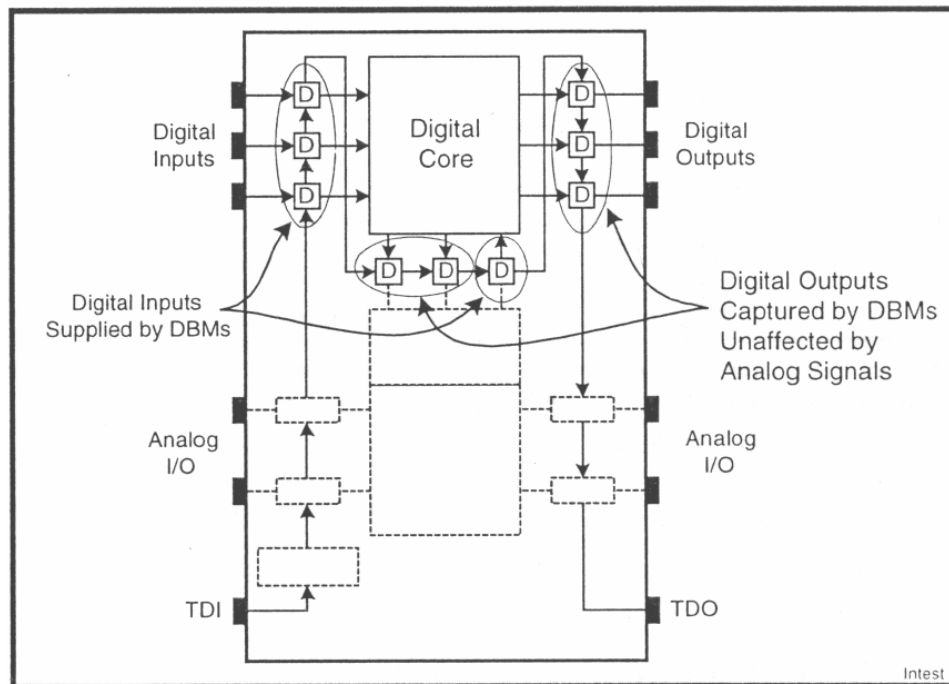
## 28.10.9. Zestaw instrukcji 1149.4. c.d.

***RUNBIST:*** Instrukcja nieobowiązkowa, kod instrukcji nie jest narzucony przez standard. Jako rejestr docelowy wybierany jest taki rejestr, który zostanie uzupełniony wynikiem samotestu po jego zakończeniu (może to być również rejestr brzegowy). Podobnie jak w 1149.1 w czasie wykonywania samotestu należy zadbać o odpowiednie wartości sygnałów na wyprowadzeniach wyjściowych i analogowych. Są dwie możliwe opcje: odłączenie lub stan bezpieczny. Wynik testu nie powinien zależeć od jakichkolwiek warunków, sygnałów czy połączeń zewnętrznych.

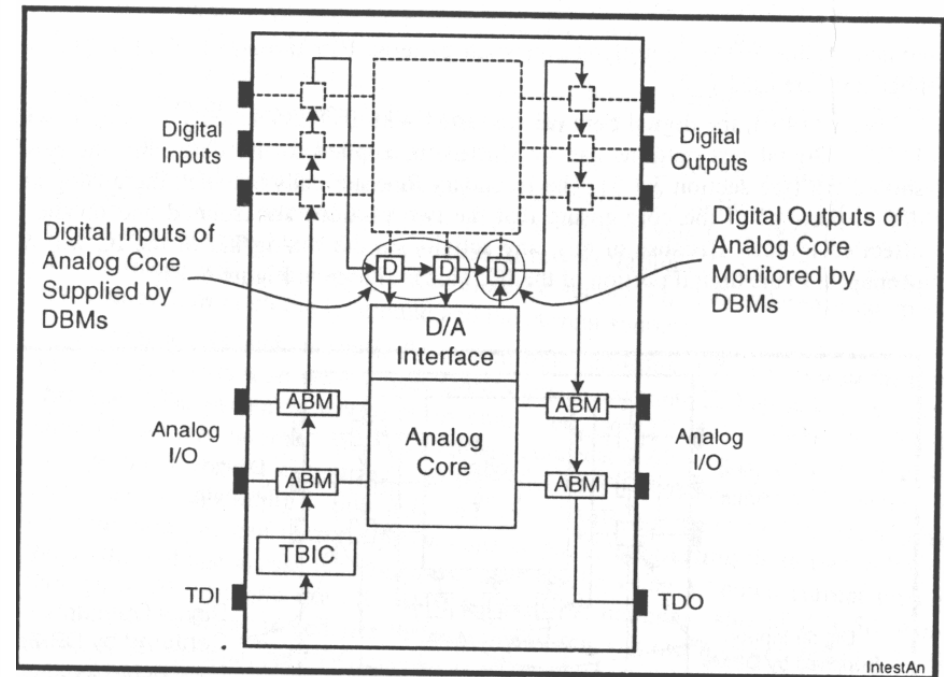
***INTEST:*** Instrukcja nieobowiązkowa, kod instrukcji nie jest narzucony przez standard. Instrukcja przeznaczona do testowania struktury wewnętrznej układu scalonego w czasie gdy jest on już zamontowany na płycie drukowanej. W przypadku implementacji instrukcji, rejestr brzegowy musi zawierać komórki w interfejsie pomiędzy analogową i cyfrową częścią układu scalonego jak to pokazano na rysunku 28.29. Cyfrowe wyprowadzenia wyjściowe należy ustawić w stan wysokiej impedancji albo w stan bezpieczny. Wyprowadzenia analogowe powinny pozostać połączone do rdzenia układu scalonego. W czasie wykonywania instrukcji INTEST można dokonać sprawdzenia działania części analogowej układu scalonego, jak to pokazano na rysunku 28.30.

## 28.10.9. Zestaw instrukcji 1149.4. c.d.

Instrukcje INTEST oraz PROBE są do siebie podobne. Różnica polega na tym, że podczas instrukcji PROBE połączenia wewnętrzne pomiędzy analogową i cyfrową częścią układu scalonego są zachowane natomiast podczas INTEST części te mogą być rozdzielone a układ analogowy jest sterowany również z komórek DBM włączonych do interfejsu analogowo-cyfrowego.



Rys. 28.29. Testowanie części cyfrowej układu mieszanego poprzez wykonanie instrukcji INTEST [7].



Rys. 28.30. Testowanie rdzenia analogowego można przeprowadzić poprzez wektory testowe na interfejsie D/A i poprzez sygnały dostarczone/odczytywane przez komórki ABM.

## 28.10.10. Inne cechy standardu 1149.4.

Dotychczas opisana implementacja standardu 1149.4 jest wersją minimalną. Elementami dodatkowymi mogą być:

- dodatkowy blok TBIC i wejścia AT1N, AT2N służące do obsługi sygnałów różnicowych,
- tworzenie podziału szyn AB w celu izolacji grup wyprowadzeń sygnałów analogowych.

Standard opisuje również parametry elektryczne, które muszą być spełnione w odniesieniu do części analogowej interfejsu. Niektóre z tych parametrów przedstawione są poniżej:

- impedancja ścieżki od AT1 poprzez TBIC, AB1, ABM do wyprowadzenia układu musi być mniejsza niż  $10\text{k}\Omega$ ,
- impedancja AT2 – PIN mniejsza niż  $10\text{k}\Omega$ ,
- impedancja klucza włączającego napięcie  $V_L, V_H$  lub  $V_G$  powinna być mniejsza niż  $10\text{k}\Omega$  i inne ...

# 29. Tendencje rozwojowe układów ASIC.

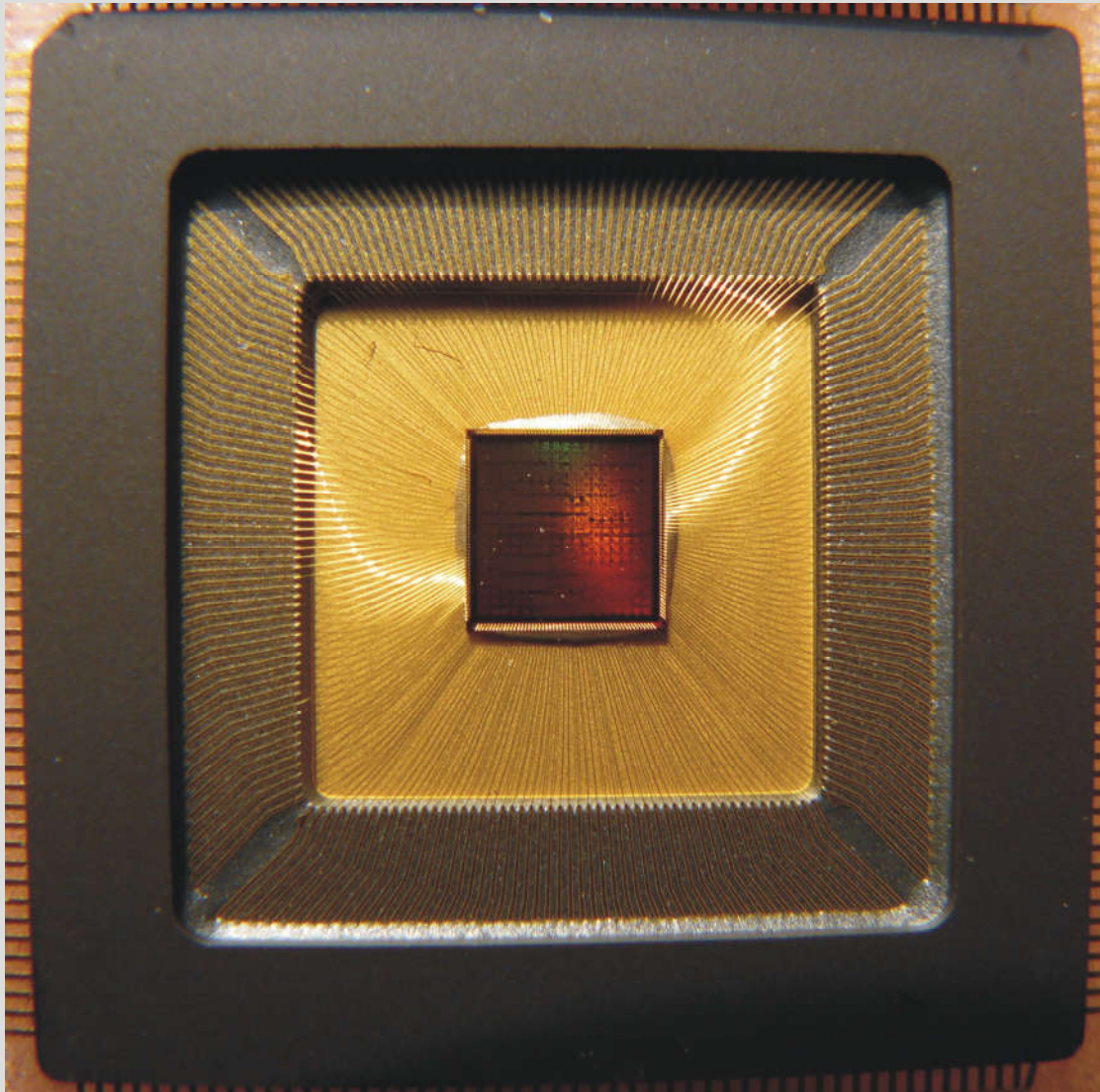
## Układy ASIC - tendencje rozwojowe:

- zmniejszanie minimalnych wymiarów geometrycznych realizowanych elementów,
- zmniejszanie grubości tlenku bramkowego a więc konieczność zmniejszania napięcia zasilającego,
- zwiększenie liczby elementów aktywnych i częstotliwości pracy więc zwiększenie zużywanej mocy w układzie scalonym,
- coraz większy udział mocy stałej w stosunku do dynamicznej (układy cyfrowe CMOS),
- stosowanie nowych materiałów jako przewodników (np. miedź) i aktywnych,
- zmiana właściwości modeli tranzystorów (np. tranzystor MOS nie ma już charakterystyki kwadratowej),
- zwiększanie znaczenia programów CAD,
- wzrost znaczenia własności intelektualnej (ang. Intellectual Property),
- coraz szersze stosowanie układów typu system on chip (SoC),
- większa integracja układów analogowych i cyfrowych,
- koszt układów programowalnych zaczyna być porównywalny do układów tradycyjnych więc ich stosowanie zaczyna być również uzasadnione ekonomicznie.

## 29. Tendencje rozwojowe układów ASIC c.d.

Dla częstotliwości zegara równego 10GHz okres wynosi 100ps, w tym czasie światło w próżni przebywa odległość równą 30mm. W materiałach typowych dla technologii produkcji układów CMOS światło przebywa odległość 15.2mm co jest w przybliżeniu równe szerokości dzisiejszych układów scalonych!





### *Układ w technologii UMC 130nm:*

- rozmiar 5 x 5mm,
  - liczba bramek ok. 3mln,
  - liczba tranzystorów ok. 12mln,
  - przetwarzanie obrazów niskiej rozdzielczości,
  - zegar 100MHz,
  - 208 wyprowadzeń,
  - zasilanie 1,2V / 3,3V,
  - pobór mocy ok. 0,4W,
  - projekt typu standard cells,
- 
- wewnątrz m.in. 32-bitowy mikrokontroler BA12, zestaw procesorów obrazowych, kontroler JTAG, komórki DFT, szereg modułów pamięci obrazowych i konfiguracyjnych ...

## *Układ zamontowany na płytce drukowanej*

