

Pytania do przedmiotu „Projektowanie układów ASIC”
semestr zimowy, studia dwustopniowe inżynierskie.

- 1) Co to jest dopasowanie elementów w obrębie układu scalonego i od czego jest zależne?
- 2) Podaj metody uzyskania lepszego dopasowania elementów w strukturze układu scalonego.
- 3) Podaj schemat inwertera CMOS. W jakich zakresach pracują jego tranzystory w zależności od wartości napięcia wejściowego?
- 4) Narysuj schemat inwertera kluczowanego.
- 5) Narysuj schemat bramki transmisyjnej. Podaj wykres rezystancji bramki w zależności od wartości napięcia wejściowego. Czy jest możliwe uzyskanie bramki transmisyjnej o stałej i niezależnej od napięcia wejściowego wartości rezystancji? Co to jest stała czasowa procesu?
- 6) Narysuj schemat bramki NAND i NOR w technologii CMOS. W jaki sposób można zwiększyć liczbę wejść bramki i czy są jakieś ograniczenia dotyczące maksymalnej liczby wejść?
- 7) Podaj schemat blokowy przerzutnika typu D.
- 8) Podaj definicję stałe czasowej procesu CMOS.
- 9) Od czego zależy czas propagacji bramki CMOS?
- 10) Która bramka NAND czy NOR jest lepsza pod względem średniego czasu propagacji? Uzasadnij odpowiedź.
- 11) Jaki wpływ na czasy przełączeń bramek CMOS mają pojemności połączeń?
- 12) Jaki wpływ na czasy przełączeń bramek CMOS ma stosowanie wielokrotnego obciążania?
- 13) Jakie skutki czasowe daje stosowanie bramek o nie minimalnych wymiarach?
- 14) Jaką technikę stosuje się w celu zmniejszenia opóźnienia bramek sterujących dużymi pojemnościami (np. bramek wyjściowych)?
- 15) Podaj współczynnik powiększenia wymiarów buforów wyjściowych zapewniający minimalne opóźnienie takiego łańcucha bramek.
- 16) Jakie niekorzystne efekty są związane z zastosowaniem kaskady buforów wyjściowych jako bufor wyjściowy układu cyfrowego?
- 17) Co to jest przesunięcie czasowe zegara i jaki ma wpływ na pracę układów sekwencyjnych?
- 18) Podaj stosowane architektury ścieżki zegarowej.
- 19) Podaj dowolny algorytm trasowania drzewa zegarowego.
- 20) Czy możliwe jest uzyskanie drzewa zegarowego z zerowym przesunięciem czasowym zegara?
- 21) Jakie modele są stosowane do szacowania opóźnień ścieżek zegarowych?
- 22) Podaj ogólny uproszczony przebieg procesu projektowania układu cyfrowego.
- 23) W jakim etapie procesu produkcji wykonuje się testowanie układów scalonych?
- 24) Co to jest sprzęt ATE i jakie jego rodzaje się wyróżnia?
- 25) Z jakich głównych bloków funkcjonalnych składa się sprzęt ATE?
- 26) Na czym polega projektowanie układów z uwzględnieniem testowania?
- 27) Jakie są techniki projektowania z uwzględnieniem testowania układów analogowych i mieszanych?
- 28) Jakie techniki projektowania z uwzględnieniem testowania stosuje się dla układów cyfrowych?
- 29) Co to jest wbudowany układ testujący, z jakich elementów jest złożony?
- 30) Na czym polega testowanie z użyciem wiązki elektronów? Jakie ma zalety i wady?
- 31) Narysuj architekturę układu scalonego wyposażonego w interfejs IEEE 1149.1.
- 32) Podaj obowiązkowe rejestry występujące u układzie zgodnym z IEEE1149.1.
- 33) Podaj opcjonalne rejestry występujące u układzie zgodnym z IEEE1149.1.
- 34) Narysuj schemat blokowy rejestru brzegowego.
- 35) Narysuj schemat przykładowej komórki rejestru brzegowego.

- 36) Do czego służą instrukcje: EXTEST, INTEST, BYPASS, IDCODE, USERCODE, RUNBIST, CLAMP, HIGHZ, SAMPLE, PRELOAD?
- 37) Jakie instrukcje są nieinwazyjne a jakie inwazyjne (z dostępem do wyprowadzeń I/O)?
- 38) Podaj korzyści i wady wynikające ze stosowania standardu IEEE1149.1.
- 39) Co to są wektory testowe równoległe PTV i szeregowo STV?
- 40) Czym różnią się wektory STV i SRV oraz PTV i PRV między sobą?
- 41) Na czym polega testowanie integralności łańcucha IEEE1149.1?
- 42) Jaka jest kolejność wykonywanych testów połączeń w 1149.1?
- 43) Co to są zjawiska nakładania i zaskakiwania przy testowaniu 1149.1?
- 44) Podaj przykłady stosowanych wektorów testowych.
- 45) Na czym polega test poszerzony z użyciem 1149.1?
- 46) Jaki zakres wykonywanych testów umożliwia standard IEEE1149.1?
- 47) Podaj architekturę układu wyposażonego w interfejs zgodny z IEEE1149.4.
- 48) Jaki zakres uszkodzeń można wykryć przy użyciu standardu 1149.4?
- 49) Jakie rodzaje kluczy sygnałowych są wykorzystywane w blokach układu zgodnego z 1149.4?
- 50) Co to jest komórka ABM, DBM oraz TBIC oraz do czego służy w układzie zawierającym interfejs 1149.4?
- 51) Jak zbudowany jest rejestr rozkazów kontrolera ATAP?
- 52) Dlaczego stosuje się modyfikację zabezpieczeń ESD w układach wyposażonych w interfejs iee1149.4?
- 53) Jakie dodatkowe instrukcje są obowiązkowe w 1149.4 s stosunku do 1149.1?
- 54) Podaj schemat blokowy przetwornika CA.
- 55) Co to jest układ pamiętający – próbkujący? Podaj przykładowe realizacje i przebiegi czasowe.
- 56) Przedstaw przykładową charakterystykę idealnego przetwornika CA.
- 57) Co to jest i ile wynosi zakres dynamiki przetwornika CA?
- 58) Co to jest i ile wynosi stosunek sygnał szum (SNR) dla idealnego przetwornika CA?
- 59) Co to są błędy wzmocnienia, przesunięcia i liniowości dla przetwornika CA?
- 60) Co to jest błąd różnicowy a co to jest błąd całkowity liniowości przetwornika CA?
- 61) Na jakie dwie grupy można podzielić parametry opisujące przetworniki CA? Podaj ich przykłady.
- 62) Podaj znane Ci typy przetworników CA.
- 63) Przedstaw zasadę działania przetwornika ze skalowaniem prądu.
- 64) Przedstaw zasadę działania przetwornika ze skalowaniem napięcia.
- 65) Przedstaw zasadę działania przetwornika z podziałem ładunków.
- 66) Przedstaw zasadę działania przetwornika CA z użyciem mieszanych technik skalowania.
- 67) Przedstaw zasadę działania szeregowego przetwornika CA z redystrybucją ładunków.
- 68) Przedstaw zasadę działania szeregowego algorytmicznego przetwornika CA.
- 69) Podaj możliwe błędy statyczne przetwornika AC.
- 70) Co to jest równoważna rozdzielczość rzeczywistego przetwornika AC?
- 71) Co to jest współczynnik SFDR?
- 72) Podaj schemat blokowy i zasadę działania przetwornika AC z przetwarzaniem szeregowym.
- 73) Podaj schemat blokowy i zasadę działania przetwornika AC z sukcesywnym przybliżaniem.
- 74) Podaj schemat blokowy i zasadę działania szeregowego algorytmicznego przetwornika AC.
- 75) Podaj schemat blokowy i zasadę działania równoległego przetwornika AC.
- 76) Podaj schemat blokowy i zasadę działania potokowego przetwornika AC.
- 77) Podaj schemat blokowy i zasadę działania przetwornika AC z nadpróbkowaniem. Ile wynosi teoretyczny wzrost dynamiki takiego przetwornika?