

DMA w układach rodziny PSoC 5LP firmy Cypress

inż. Tomasz Kusy

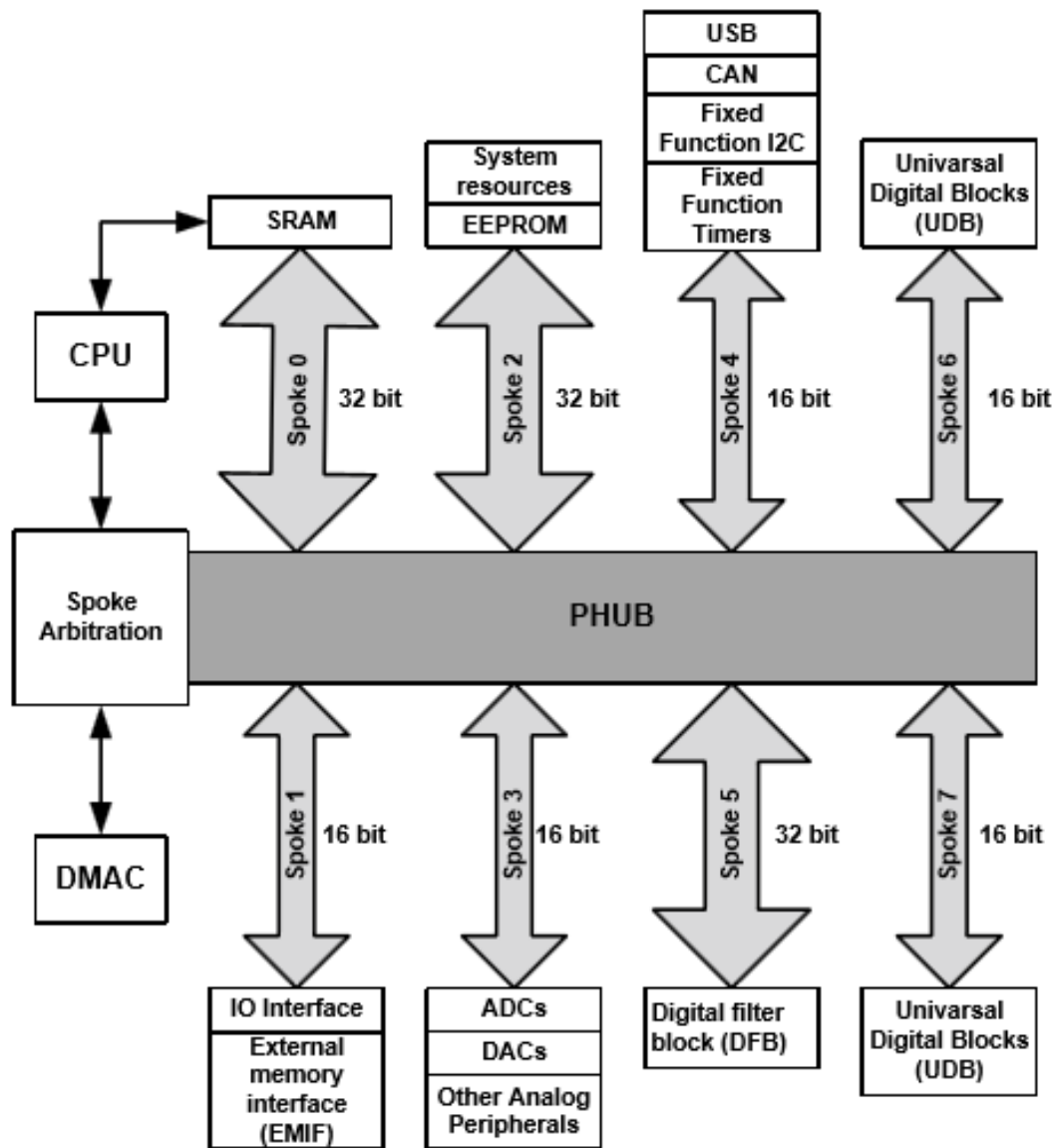
13-04-2015



Czym jest DMA?

DMA – Direct Memory Access

Technika pozwalająca wykonywać operacje na pamięci bez wykorzystania czasu procesora. Procesor musi jedynie wcześniej zaprogramować kontroler DMA oraz udostępnić mu szynę danych na czas transferu danych. Procesor w tym czasie może zająć się wykonywaniem innych operacji.



DMA w PSoC 5LP

- Jest częścią bloku PHUB
- PHUB – Peripheral HUB
- CPU i DMA – Układy Master
- Arbiter decyduje o dostępie
- Spoke – rozdzielne szyny umożliwiają jednoczesny dostęp do różnych peryferiów
- Adresowanie 8, 16, 32 bit
- SRAM – dostęp CPU poprzez osobny interfejs
- Priorytet CPU > DMA

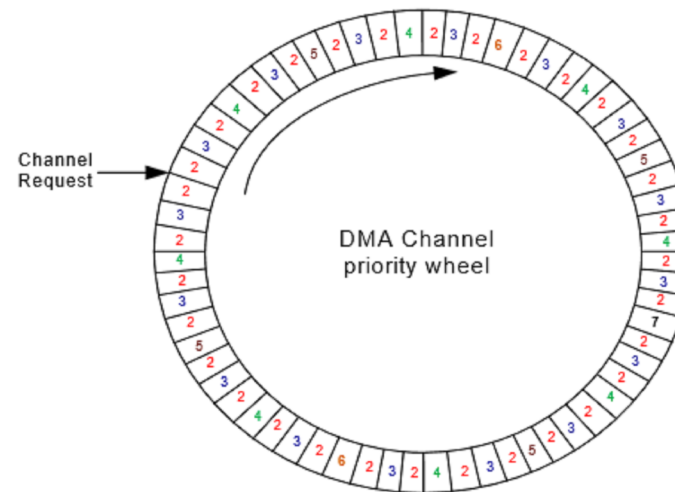
DMAC – Kontroler DMA

- 24 niezależne kanały DMA
- Każdy kanał może mieć wiele deskryptorów transakcji (TD)
- TD mogą być zmieniane dynamicznie
- 8 poziomów priorytetów dla kanałów DMA
- Wyzwalanie DMA poprzez sygnał cyfrowy, CPU, lub inny kanał DMA
- Kanały mogą generować przerwanie
- Można przerwać, bądź wstrzymać transakcje
- Możliwość zmiany Little Endian <-> Big Endian (dla PSoC 3)

Priorytety kanałów DMA

- 8 priorytetów na 24 kanały
- 0 do 7 – 0 najwyższy priorytet
- 2 tryby pracy: simple priority oraz Grant allocation Fairness
- Simple priority: kanał o najwyższym priorytecie przejmuję kontrolę niższe priorytety mogą nie uzyskać dostępu wcale
- Grant: poziomy 0 oraz 1 mają pełen dostęp. 2-7 mogą korzystać, gdy szyna jest wolna zgodnie z podziałem wg. Algorytmu
- W ramach jednego priorytetu korzysta się z metody Round Robin

Priority Level	% Bus Bandwidth
0	100.0
1	100.0
2	50.0
3	25.0
4	12.5
5	6.2
6	3.1
7	1.5



Transfery DMA

Rodzaje transferów:

- Pamięć -> Pamięć
- Pamięć -> Peryferia
- Peryferia -> Pamięć
- Peryferia -> Peryferia

Figure 6-23. Simple DMA Transfer



Figure 6-24. Auto Repeat DMA

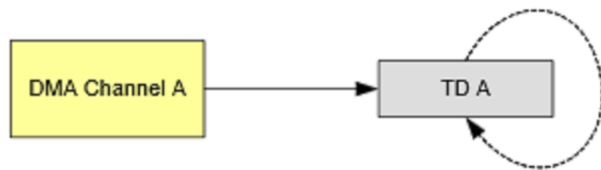


Figure 6-25. Ping Pong DMA

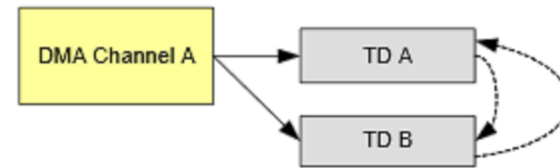
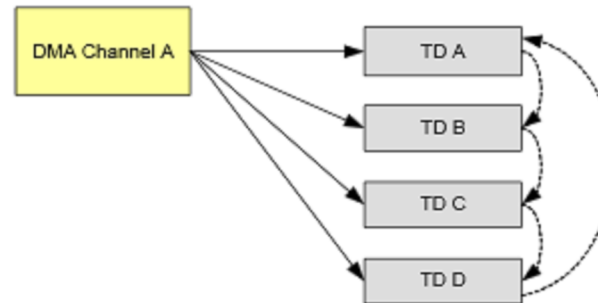
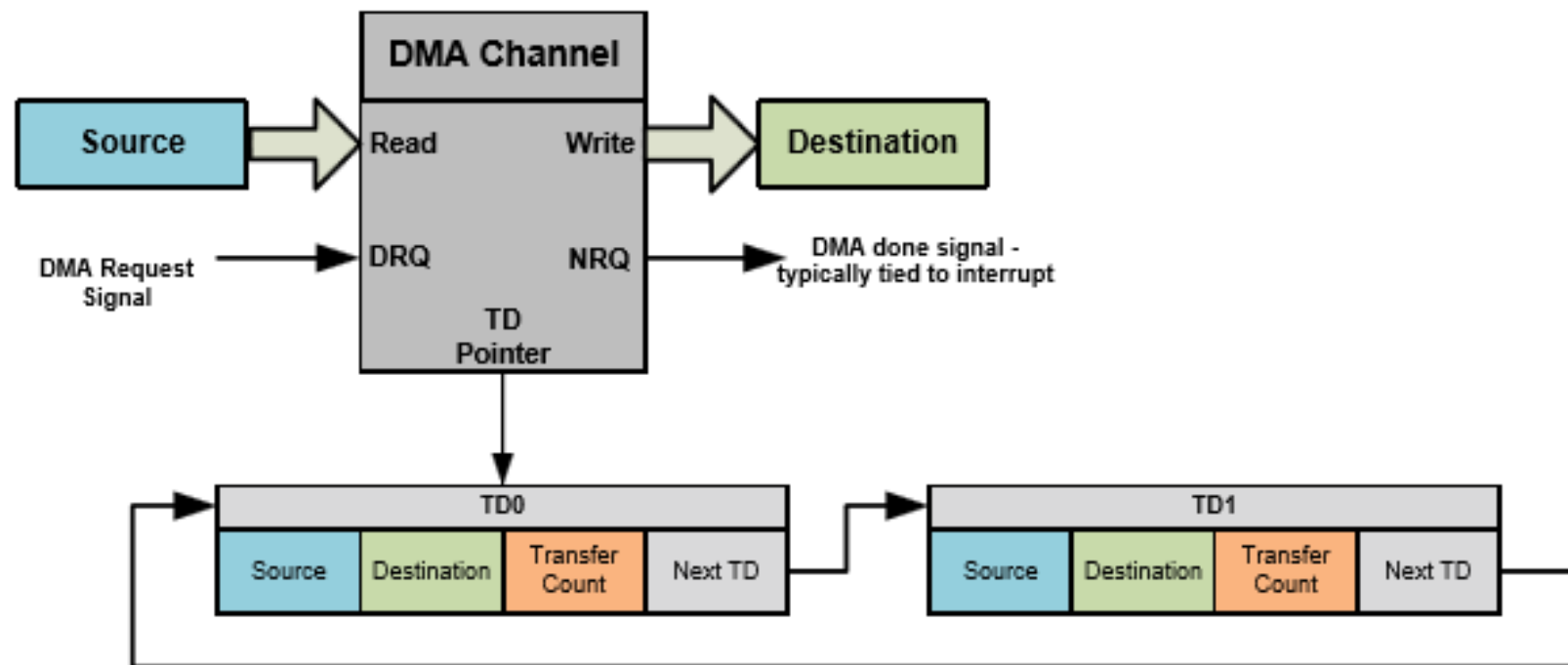


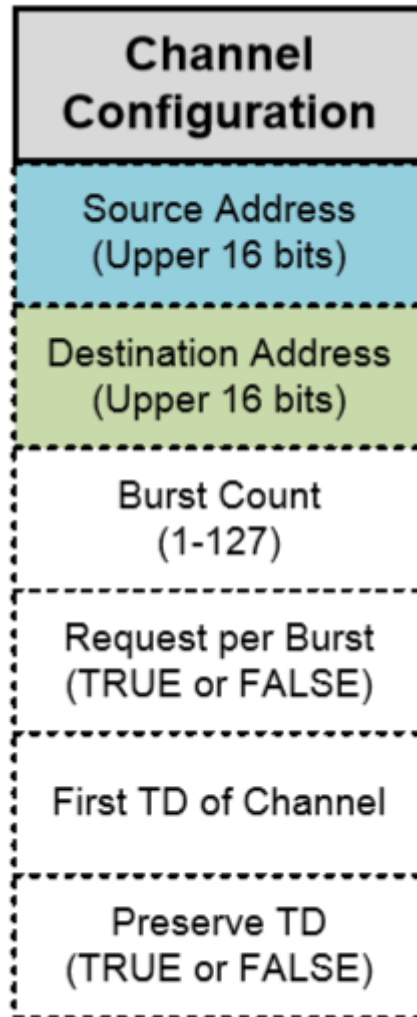
Figure 6-26. Circular DMA



Kanał DMA

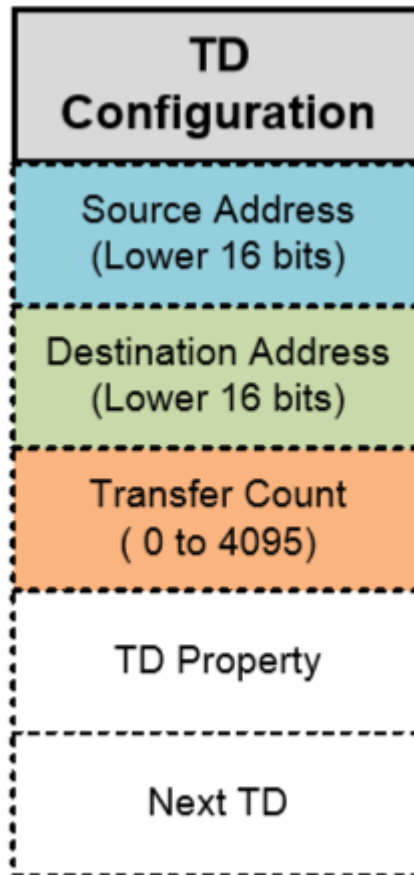


Konfiguracja Kanału DMA



- Source Address – Górna część adresu Źródłowego
- Dest. Address – Górna część adresu docelowego
- Burst Count – Maksymalna liczba bajtów jaką można przesłać bez zwalniania szyny
- Request per Burst – Czy każdy burst musi mieć osobny request
- First TD of Channel – Wskaźnik na pierwszy deskryptor transakcji (TD), pozostałe TD wskazują na siebie podobnie do listy.
- Preserve TD – Czy TD ma być zachowane po wykonaniu.

Konfiguracja TD

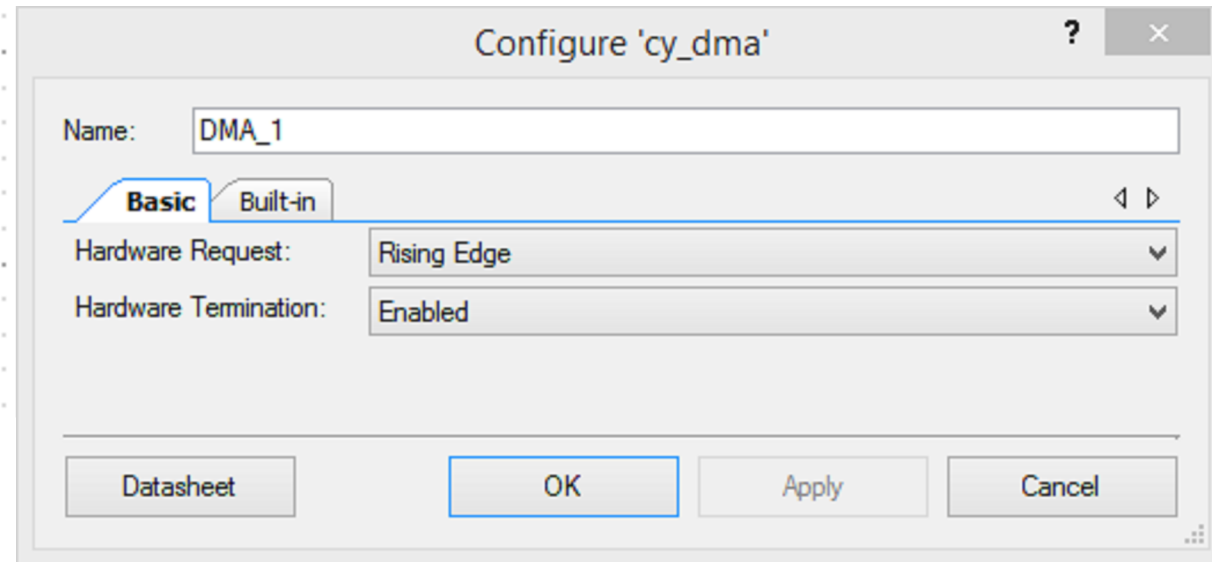
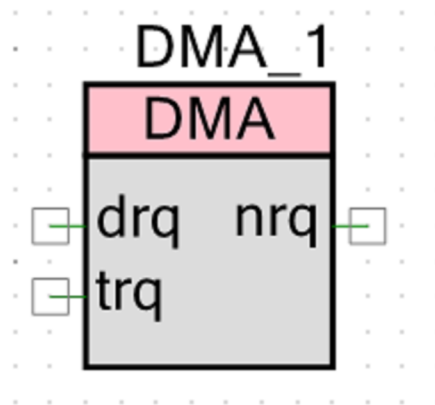


- Source Address – Dolna część adresu Źródłowego
- Dest. Address – Dolna część adresu docelowego
- Transfer Count – Całkowita liczba bajtów do przesłania
- Next TD – Wskaźnik na kolejny TD
- TD Property – Właściwości TD

TD Properties

Property	Description
<i>Increment Source Address</i>	If this bit is set, the source address is incremented as the DMA transaction proceeds.
<i>Increment Destination Address</i>	If this bit is set, the destination address is incremented as the DMA transaction proceeds
<i>Swap Enable</i>	If set, DMA swaps the data bytes while it moves data from the source to destination.
<i>Swap Size</i>	Defines the size of the swap performed, if Swap Enable is set. 0: Every 2 bytes are endian swapped during the DMA transfer. 1: Every 4 bytes are endian swapped during the DMA transfer
<i>Auto Execute Next TD</i>	0: The next TD in the chain is executed only after the next DMA request. 1: The next TD in the chain is automatically executed after the current TD transfer is finished.
<i>DMA Completion Event</i>	If set, generates a DMA "done signal" after the data transfer is finished. This is typically used to create an interrupt after the transfer is finished.
<i>Enable TD termination</i>	If set, the ongoing transaction can be terminated using hardware signal

Komponent DMA w PSoC Creator



- drq [opcjonalnie] – Wyzwalanie transferu
- trq [opcjonalnie] – Przerwanie aktualnego transferu
- nrq – Wyzwolenie impulsu po zakończeniu transferu(można użyć jako przerwanie)

Konfiguracja DMA w kodzie

1. Start the DMA channel

```
Channel_Handle = DMA_DmaInitialize(DMA_BYTES_PER_BURST, DMA_REQUEST_PER_BURST,  
                                   HI16(Source Address), HI16(Destination Address))
```

2. Create an instance of a TD

```
TD_Handle = CyDmaTdAllocate();
```

3. Set the TD configuration

```
CyDmaTdSetConfiguration(TD_Handle, Transfer_Count, Next_TD, TD_Property);
```

4. Set the TD address

```
CyDmaTdSetAddress(TD_Handle, LO16(Source Address), LO16(Destination Address))
```

5. Set the channel's initial TD

```
CyDmaChSetInitialTd(Channel_Handle, TD_Handle)
```

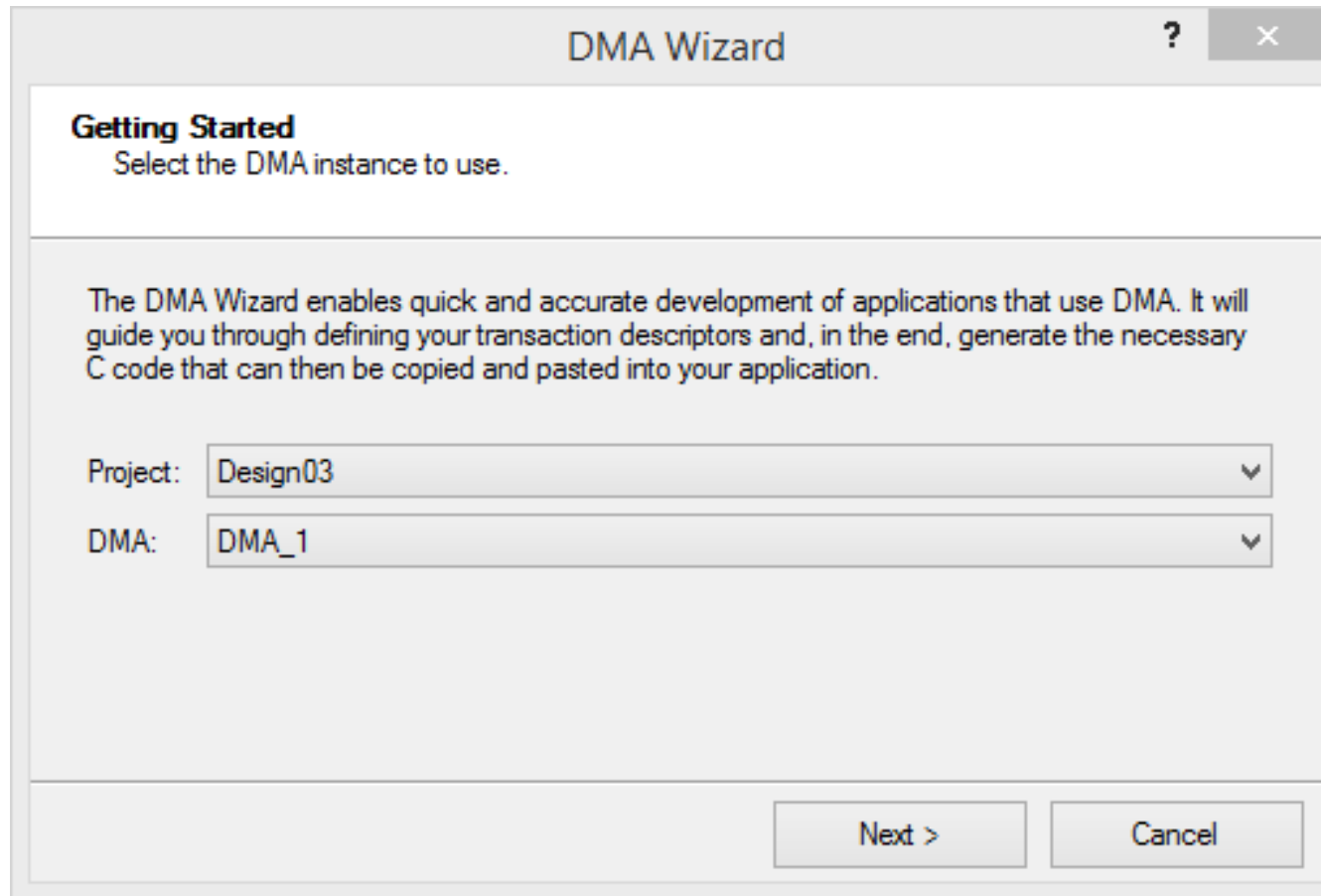
6. Enable the DMA channel

```
CyDmaChEnable(Channel_Handle, preserve_TD)
```

HI16(x), LO16(x) – Makra do wydobywania górnej, lub dolnej połówki adresu 32bit
Niektóre funkcje DMA są w plikach CyDmac.c oraz CyDmac.h (folder Generated Source)
Dokładniejszy opis API w AN52705

DMA wizard – automatyczna generacja kodu

- PSoC Creator -> Tools -> DMA Wizard



DMA wizard – automatyczna generacja kodu

The screenshot shows the 'DMA Wizard' dialog box with the 'Global Settings' tab selected. The dialog has a title bar with a question mark and a close button. The main content area is divided into two columns for 'Source' and 'Destination'. The 'Source' column has a dropdown menu set to 'ADC_SAR_1' and a 'Base Addr' field containing 'CYDEV_PERIPH_BASE'. The 'Destination' column has a dropdown menu set to 'SRAM' and a 'Base Addr' field containing 'CYDEV_SRAM_BASE'. Below these, there are checkboxes for 'Set Manually' (checked) and 'Each Burst Requires a Request' (checked). A 'Bytes per Burst' spinner is set to '2' with '[2]' next to it. To the right, 'Number of TDs' is a spinner set to '1'. At the bottom right, there are radio buttons for 'Single Chain' (selected) and 'Loop'. At the bottom of the dialog are three buttons: '< Back', 'Next >', and 'Cancel'.

DMA Wizard

Global Settings
Configure the global transaction descriptor settings.

Source: ADC_SAR_1
Base Addr: CYDEV_PERIPH_BASE

Destination: SRAM
Base Addr: CYDEV_SRAM_BASE

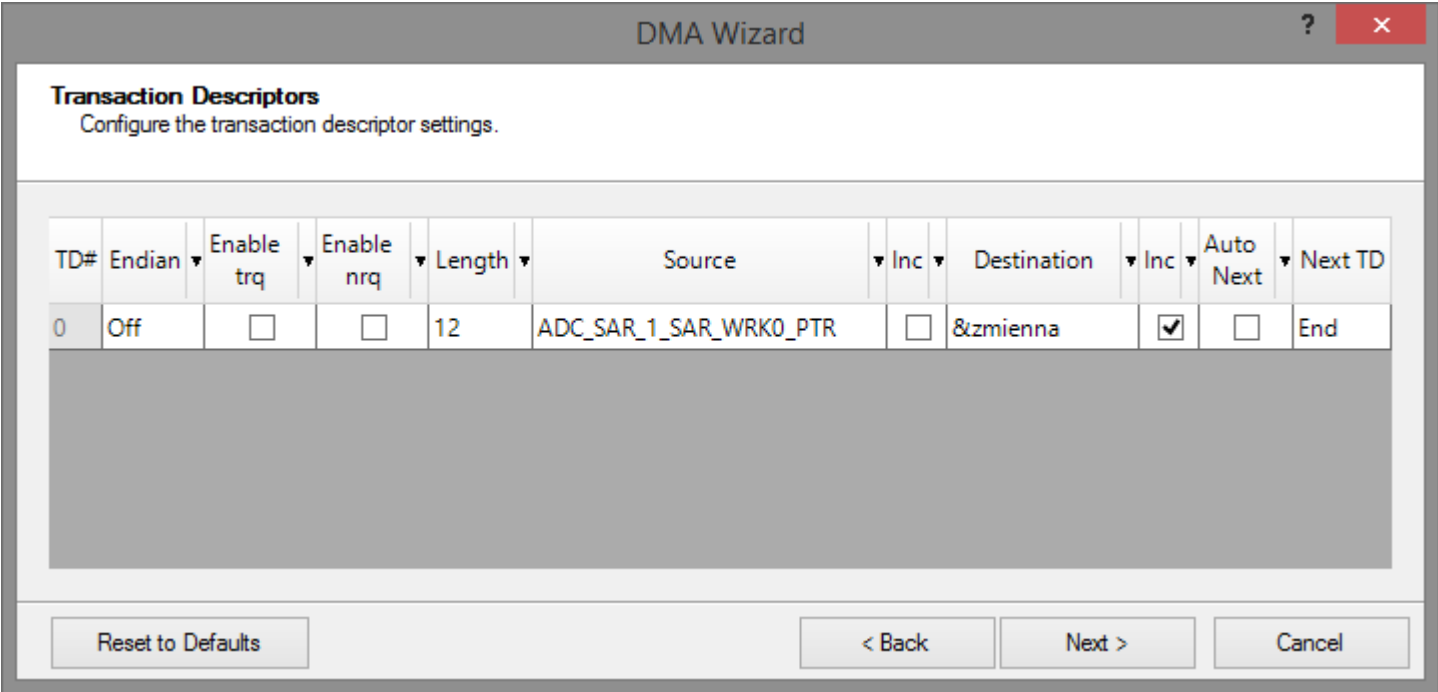
☒ Set Manually
Bytes per Burst: 2 [2]
☒ Each Burst Requires a Request

Number of TDs: 1

☒ Single Chain
☐ Loop

< Back Next > Cancel

DMA wizard – automatyczna generacja kodu

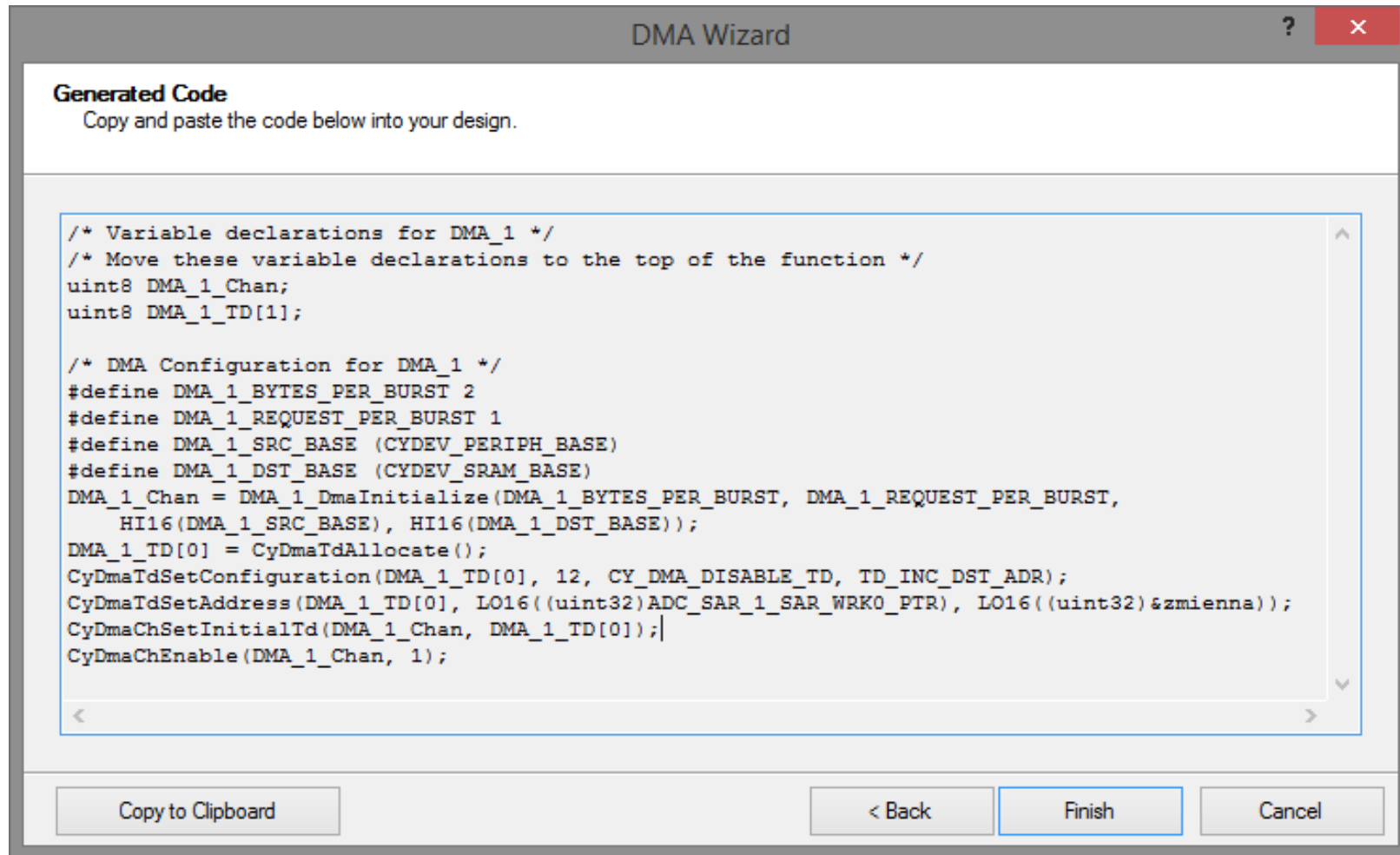


The DMA Wizard dialog box is titled "DMA Wizard" and contains a section for "Transaction Descriptors". Below the title bar, the text "Configure the transaction descriptor settings." is displayed. The main area contains a table with columns for TD#, Endian, Enable trq, Enable nrq, Length, Source, Inc, Destination, Inc, Auto Next, and Next TD. The first row is filled with values: 0, Off, unchecked, unchecked, 12, ADC_SAR_1_SAR_WRK0_PTR, unchecked, &zmienna, checked, unchecked, and End. Below the table is a large empty gray area. At the bottom, there are three buttons: "Reset to Defaults", "< Back", and "Next >", and a "Cancel" button on the far right.

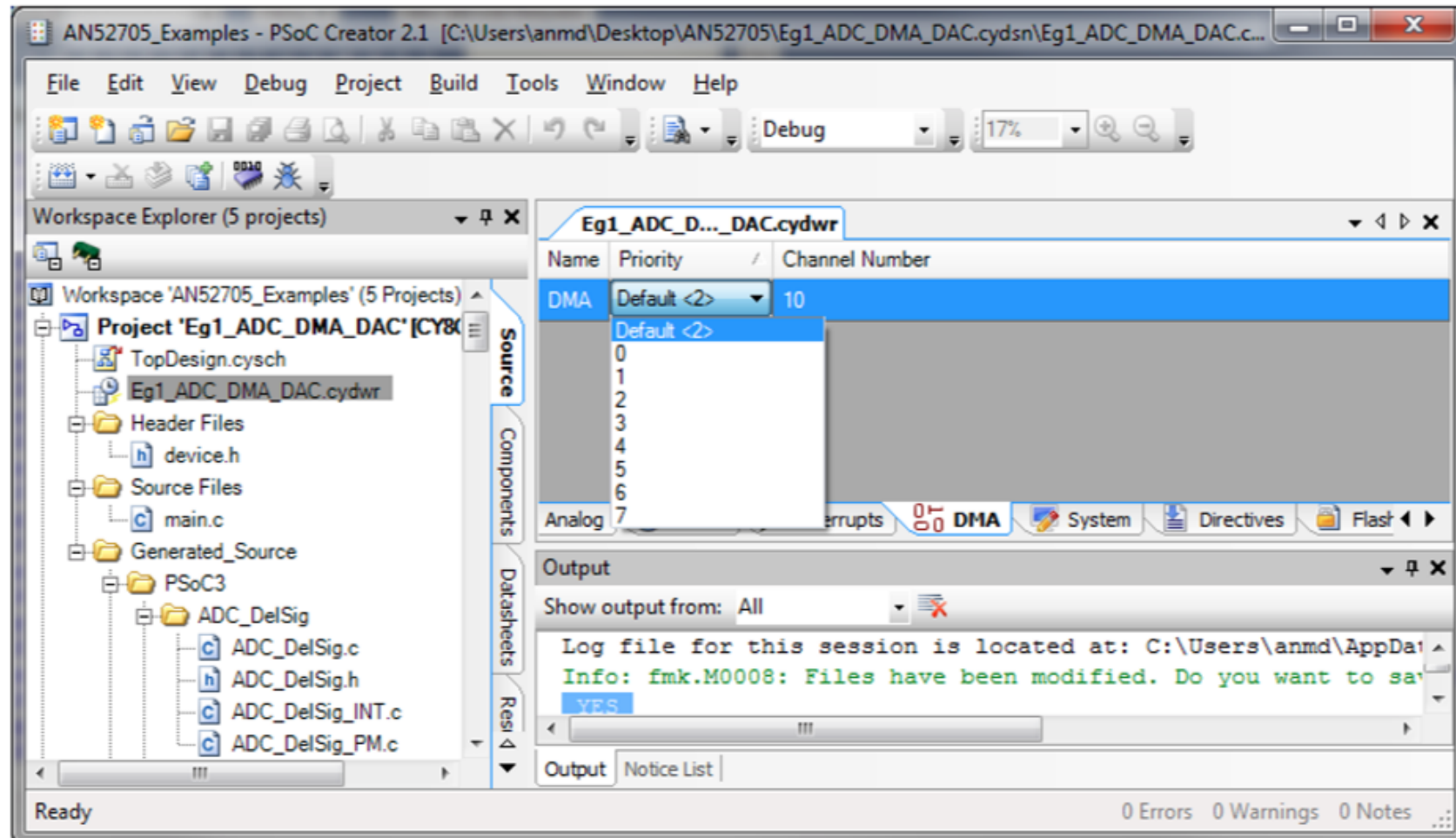
TD#	Endian	Enable trq	Enable nrq	Length	Source	Inc	Destination	Inc	Auto Next	Next TD
0	Off	☐	☐	12	ADC_SAR_1_SAR_WRK0_PTR	☐	&zmienna	☒	☐	End

Reset to Defaults < Back Next > Cancel

DMA wizard – automatyczna generacja kodu



Konfiguracja priorytetów



Przykłady

Literatura

- PSoC® 5LP Architecture TRM
- PSoC® 3 and PSoC 5LP - Getting Started with DMA – AN52705
- PSoC® 3 and PSoC 5LP Advanced DMA Topics – AN84810 (Nie omawiane)