

WŁAŚCIWOŚCI UKŁADÓW Z RODZINY PSOC6

PSoC 6

- ⦿ Nowość w rodzinie PSoC
- ⦿ Ultraenergooszczędna architektura układów
- ⦿ Zawierają dwa rdzenie: jeden to wydajny ARM Cortex-M4, a drugi to Cortex-M0+ o niskim poborze mocy

Główne cechy:

- ◎ 32-bitowy mikrokontroler
- ◎ Szeroki wybór programowalnych bloków analogowych
- ◎ Do 12 uniwersalnych, programowalnych bloków cyfrowych
- ◎ Wbudowany interfejs Bluetooth Low Energy
- ◎ Systemy bezpieczeństwa

Główne cechy:

- ◎ „Root-of trust”
- ◎ Aktualizacja środowiska deweloperskiego

32-bitowy mikrokontroler

- ⦿ Pojedynczy rdzeń ARM Cortex-M4 lub dwa rdzenie
- ⦿ Zegar rdzenia do 150 MHz (Cortex-M4) i 100 MHz (Cortex-M0+)
- ⦿ Do 2 MB pamięci Flash
- ⦿ Do 1 MB pamięci SRAM



Szeroki wybór programowalnych bloków analogowych

- ⦿ Przetworniki analogowocyfrowe i cyfrowo-analogowe
- ⦿ Wbudowane wzmacniacze operacyjne i komparatory o zredukowanym poborze mocy
- ⦿ Blok CapSense, wsparcie dla systemów pomiaru pojemności, w tym przycisków pojemnościowych itp.



Systemy bezpieczeństwa

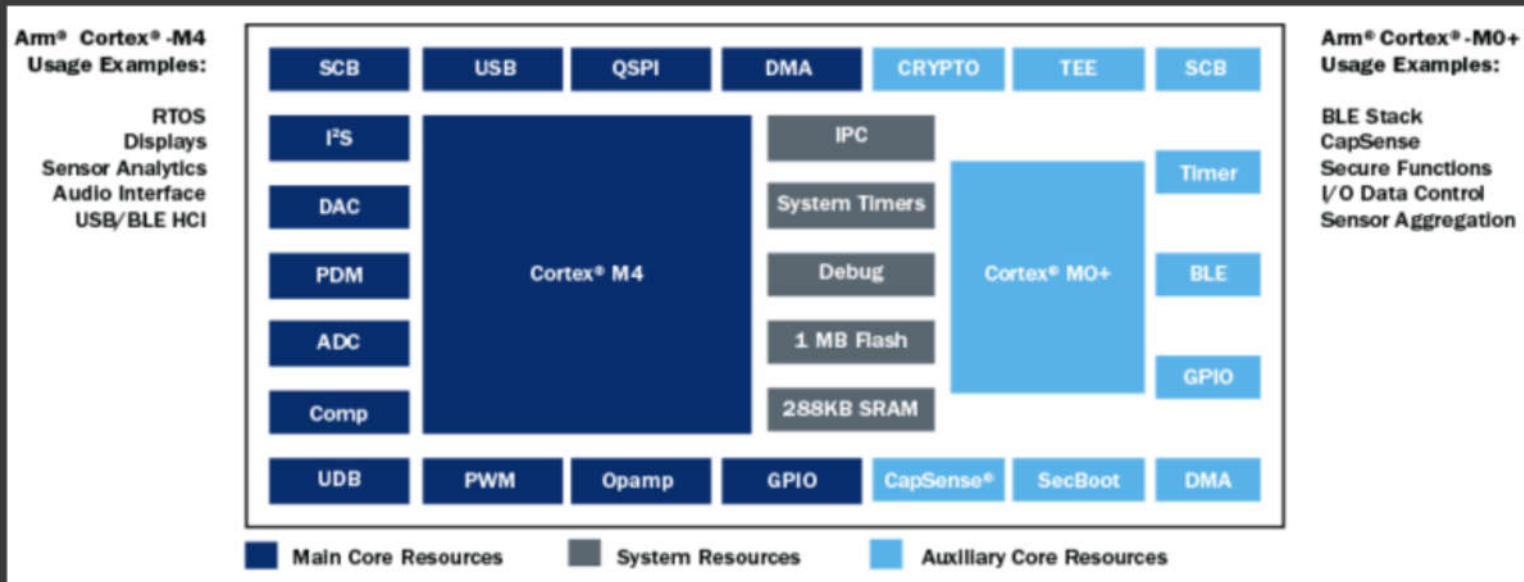
- Zastosowane w systemach IoT
- Rdzeń Cortex-M4 służy do uruchamiania bogatego środowiska wykonawczego, w którym można opracować bardzo zróżnicowaną aplikację. Dostępne są biblioteki dla tej platformy, dedykowane do realizacji bezpiecznych połączeń z chmurą.
- Rdzeń Cortex-M0+ polecany jest do do ustanowienia bezpiecznego środowiska wykonawczego służącego do bezpiecznej realizacji operacji niskopoziomowych i komunikacji z lokalnie znajdującym się sprzętem



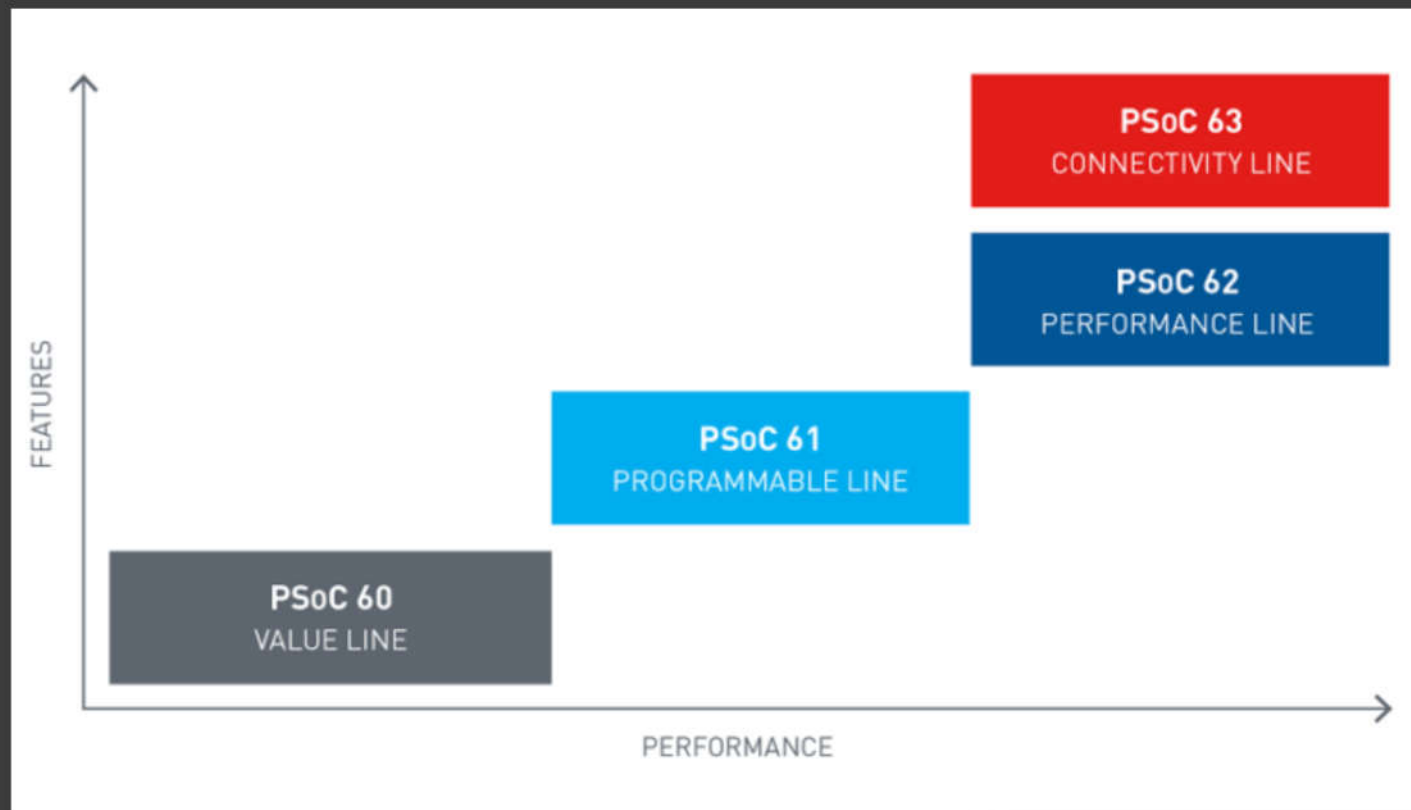
„Root-of trust”

- ⦿ Najniższy poziom systemu kryptograficznego z najbardziej zaufanymi usługami
- ⦿ Wbudowany generator rzeczywistych liczb losowych oraz zabezpieczony sprzętowo magazyn danych
- ⦿ Obejmuje bezpieczne uruchamianie, bezpieczeństwo warstwy transportowej (TLS) oraz sprzętową ochronę aktualizacji oprogramowania

Architektura mikrokontrolera Cypress PSoC 6



Wykres symbolizujący ilość funkcji i wydajność poszczególnych układów



Dokładne różnice pomiędzy mikrokontrolerami

Seria mikrokontrolerów	Rdzeń	Pamięć wbudowana	Interfejs CapSense	Peryferia programowalne	Bezpieczeństwo	Komunikacja
PSoC 63 Connectivity Line	Cortex-M4 150 MHz, Cortex-M0+ 100 MHz	Do 2048 KB Flash, 512 KB SRAM	Zaawansowany – detekcja odległości, sterowanie gestami	Cyfrowe, Analogowe	Akcelerator kryptograficzny, zaufane środowisko uruchomieniowe	USB, BLE, Wi-Fi*
PSoC 62 Performance Line	Cortex-M4 150 MHz, Cortex-M0+ 100 MHz	Do 1024 KB Flash, 288 KB SRAM	Zaawansowany – detekcja odległości, sterowanie gestami	Cyfrowe, Analogowe	Akcelerator kryptograficzny, zaufane środowisko uruchomieniowe	USB
PSoC 61 Programmable Line	Cortex-M4 150 MHz	Do 1024 KB Flash, 288 KB SRAM	Zaawansowany – detekcja odległości, sterowanie gestami	Cyfrowe, Analogowe	Akcelerator kryptograficzny	USB

Cypress PSoC 6 BLE Pioneer Kit

