

Programowalne układy SoC

Slajdy do wykładu

Gdańsk, marzec 2015-19, wersja 1.1

Przygotował: dr hab. inż. Bogdan Pankiewicz, pok. EA307

Konsultacje – informacje na stronie domowej:

<http://www.ue.eti.pg.gda.pl/~bpa/>

Strona przedmiotu:

<http://www.ue.eti.pg.gda.pl/~bpa/pusoc/pusoc.html>

Plan wykładu

L.p.	Zagadnienie
1	Wprowadzenie, pojęcia podstawowe, klasyfikacja układów SOC.
2	Ogólne porównanie wybranych realizacji SoC pod względem możliwości technicznych i kosztów realizacji.
3	Układy Smartfusion I i II firmy Microsemi.
4	Układy PSoC firmy Cypress.
5	Zasoby wspólne układu: zegar, WDT, RTC, zarządzanie zasilaniem.
6	Analogowe i cyfrowe wyprowadzenia układu oraz sposób ich wykorzystania.
7	Omówienie podsystemu mikrokontrolera.
8	Organizacja pamięci, interfejsy programowania i debugowania.
9	Zintegrowanie interfejsy cyfrowe typu CAN, USB, I2C i.t.p.
10	Programowalny podsystem cyfrowy.
11	Programowalne bloki analogowe.
12	Łączenie podsystemów analogowego, programowalnego cyfrowego i mikrokontrolera.
13	Testowania projektów.
14	Zasilanie układów, zalecana topografia ścieżek PCB oraz inne aspekty praktycznego wykorzystania układów.
15	Omówienie środowiska IDE dla układu Cypress PSOC5 lub Microsemi Smartfusion II.

Plan laboratorium

L.p.	Zagadnienie
1	Wprowadzenie do laboratorium, omówienie zestawów laboratoryjnych i zasad przeprowadzania ćwiczeń.
2	Ćwiczenie wstępne - wprowadzenie do środowiska IDE.
3	Wykonanie prostego ćwiczenia wykorzystującego część mikrokontrolera układu SoC.
4	Wykonanie prostego ćwiczenia wykorzystującego część mikrokontrolera i FPGA układu SoC.
5	Wykonanie prostego ćwiczenia wykorzystującego część mikrokontrolera, FPGA i analogową układ SoC.

Plan projektu

L.p.	Zagadnienie
1	Wprowadzenie do projektu, przydzielenie zadań.
2	Przygotowanie założeń projektu. Podział zadań na poszczególne podbloki układu SOC.
3	Projekt podsystemu analogowego.
4	Wykonanie projektu podsystemu programowalnego cyfrowego.
5	Konfiguracja mikrokontrolera i układów peryferyjnych, połączenie poszczególnych podsystemów w pełen układ.
6	Przygotowanie oprogramowania i testowanie całego projektu.
7	Prezentacja wyników projektu.

Zasady zaliczenia przedmiotu

- Każda z części (wykład, lab. i proj.) przedmiotu kończy się oddzielną oceną.
- Ocena z wykładu jest średnią ocen z prezentacji przygotowanej przez studenta i egzaminu.
- Egzamin przeprowadzany jest w sesji egzaminacyjnej ale zorganizowany zostanie także dodatkowy termin zerowy w czasie ostatniego wykładu. Można uzyskać dodatkowe 15% za obecności, które uwzględnione zostanie tylko na egzaminie zerowym.
- Prezentacje studenckie mają mieć charakter praktyczny. Przykładowe tematy: USB, Bootloader, I2C, filtr cyfrowy, itd. Wskazane jest aby pozostali uczestnicy zajęć mogli w czasie prezentacji również wykonać ćwiczenie praktyczne związane z omawianym tematem. Ocena 4,5 lub 5,0 z prezentacji zwalnia z egzaminu.
- Ocena końcowa stanowi średnią z wykładu, laboratorium i projektu.
- Wszystkie 3 części przedmiotu muszą być zaliczone na oceną minimum dostateczną (należy uzyskać minimum 51% możliwych punktów).

Ustalenie oceny końcowej wg poniższej skali:

0 - 50pkt – 2.0, 51 - 60pkt. – 3.0, 61 – 70pkt. – 3.5, 71 – 80pkt. – 4.0, 81 – 90pkt. – 4.5, 91 – 100pkt. – 5.0

Literatura:

- [1] Tammy Noregaard, „Embedded Systems Architecture”, Elsevier, 2005.
- [2] www.cypress.com/psoc
- [3] <http://www.microsemi.com>
- [4] Ł. Hawryłko, „Programowalne systemy w układzie scalonym (SoC)”, Praca dyplomowa magisterska, PG, 2014.
- [5] www.xilinx.com

Definicje

- SoC (ang. system on chip) pełen system elektroniczny wykonany w postaci pojedynczego chipu lub układu scalonego
- PSoC (ang. programmable system on chip) j.w. z możliwością przeprogramowywania struktury układu bądź programu obsługi
- System wbudowany (ang. embedded system): system przeznaczony do wykonywania określonego zadania, czyli nie jest to komputer tzw. ogólnego przeznaczenia

Sposoby produkcji układów SoC

- Full – Custom
- Standard – cells
- Gate – arrays
- FPGA

Przykładowa lista dostawców układów SoC (wg Wiki, 2015r):

Actions Semiconductor, Advanced Micro Devices, Aeroflex, Gaisler, Agate Logic, Alchip, Allwinner Technology, Altera, Amkor Technology, Amlogic, Analog Devices, Anyka, Apple Inc., Applied Micro Circuits Corporation (AMCC), ARM, Holdings, ASIX Electronics, Atheros, Atmel, Axis, Communications, Broadcom, Cambridge Silicon Radio, Cavium, Networks, CEVA, Inc., Cirrus Logic, Conexant, Core Logic, Coronis (Wavenis Technology), Cortina Systems, CPU Tech, Cypress Semiconductor, FameG (Fulhua Microelectronics Corp.), Freescale Semiconductor, Frontier Silicon Ltd, HiSilicon, Horizon Semiconductors, Imagination Technologies, Infineon Technologies, Innova Card, Intel Corporation, Lattice Semiconductor, Leadcore Technology, LSI Corporation, Marvell Technology Group, MediaTek, Maxim Integrated Products, Microsemi Corporation, Milkymist, MIPS Technologies, Mistletoe Technologies, MosChip Semiconductor Technology, MStar Semiconductor, Naksha Technologies, Nokia, NuCORE Technology, Nufront, NVIDIA, NXP Semiconductors (formerly Philips Semiconductors), ORSoC, OpenRISC System On Chip, Open-Silicon, Palmchip Corporation, PMC-Sierra, Qualcomm, Redpine Signals, Renesas, Ruselectronics, Samsung Electronics, Sequence Design, Sharp, Sigma Designs, SigmaTel, Silicon Integrated Systems, Silicon Motion, Solomon Systech, Skyworks Solutions, SoC Technology, Spreadtrum, STATS ChipPAC, STMicroelectronics, ST-Ericsson, Sunplus, System-On-Chip Technologies, System to ASIC, Telechips, Tensilica, Teridian Semiconductor, Texas Instruments, TLSI, Transmeta, TranSwitch, Vimicro, Virage Logic, WonderMedia, Xilinx, Zoran Corporation.

W tym dostawcy układów PSoC:

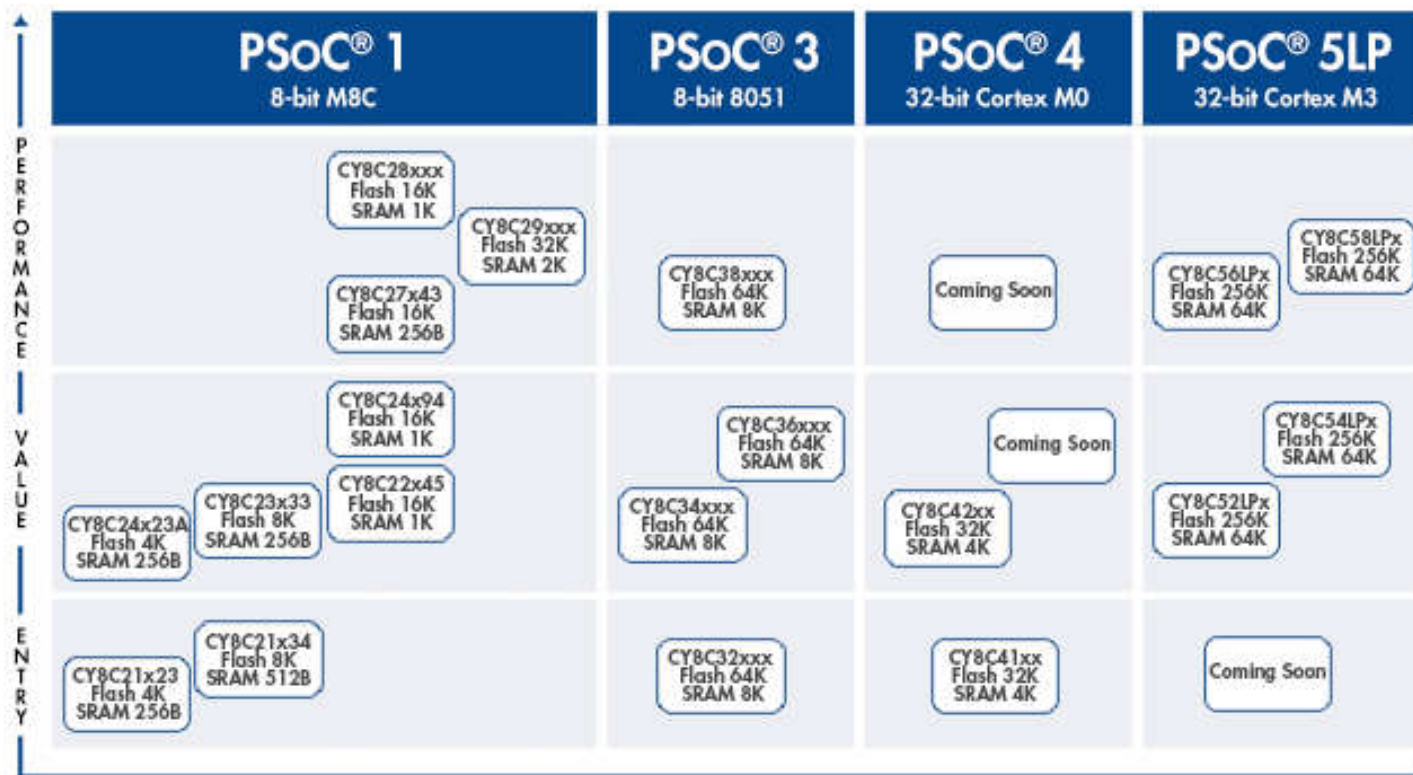
- Altera
- Cypress Semiconductor
- Microsemi Corporation
- Xilinx
- Actel

A w tym układy PSoC z programowalnymi blokami analogowymi:

- Cypress Semiconductor
- Microsemi Corporation

W ramach niniejszego wykładu omówione zostaną rozwiązania powyższych firm, ze szczególnym uwzględnieniem układów firmy Cypress Corporation.

Rodziny układów PSoC firmy Cypress [2], stan na 2015r



MCU PLATFORM

Zero Defect Design Methodology
4MHz – 80MHZ Families
High Reliability FLASH with
Optional ECC

PROGRAMMABLE DIGITAL

SPI, UART, LIN, CAN, I2C, PWM,
Timer, Counter, Custom Communication
Interfaces, Custom Logic and Many More

PROGRAMMABLE ANALOG

Op-Amp, Comparator, Voltage Reference,
TIA, PGA, INA, DAC, Analog Filters,
SAR ADC, Delta Sigma ADC, Modulator
and Many More

Właściwości PSoC wg Wiki:

PSoC 1	PSoC 3	PSoC 4	PSoC 5
8-bit M8C core up to 24 MHz, 4 MIPS	8-bit 8051 core (single-cycle) up to 67 MHz, 33 MIPS	32-bit ARM Cortex-M0 up to 48 MHz, ? MIPS	32-bit ARM Cortex-M3 up to 67 MHz, 84 MIPS
Flash: 4 KB to 32 KB SRAM: 256 bytes to 2 KB	Flash: 8 KB to 64 KB SRAM: 3 KB to 8 KB	Flash: 16 KB to 32 KB SRAM: 2 KB to 4 KB	Flash: 32 KB to 256 KB SRAM: 8 KB to 64 KB
I ² C, SPI, UART, FS USB 2.0	I ² C, SPI, UART, LIN, FS USB 2.0, I ² S, CAN	I ² C, SPI, UART	I ² C, SPI, UART, LIN, FS USB 2.0, I ² S
1 Delta-Sigma ADC (6 to 14-bit) 131 ksps @ 8-bit; Up to two DACs (6 to 8-bit)	1 Delta-Sigma ADC (8 to 20-bit) 192 ksps @ 12-bit; Up to four DACs (8-bit)	1 SAR ADC (12-bit) 1 Msps @ 12-bit; Up to two DACs (7 to 8-bit)	1 Delta-Sigma ADC (8 to 20-bit) 192 ksps @ 12-bit; 2 SAR ADCs (12-bit) 1 Msps @ 12-bit; Up to four DACs (8-bit)
Up to 64 I/O	Up to 72 I/O	Up to 36 I/O	Up to 72 I/O
Operation: 1.7 V to 5.25 V Active: 2 mA, Sleep: 3 μA Hibernate: ?	Operation: 0.5 V to 5.5 V Active: 1.2 mA, Sleep: 1 μA, Hibernate: 200 nA	Operation: 1.71 V to 5.5 V Active: 1.6 mA, Sleep: 1.3 μA, Hibernate: 150 nA	Operation: 2.7 V to 5.5 V Active: 2 mA, Sleep: 2 μA, Hibernate: 300 nA
Requires ICE Cube and FlexPods		On-chip SWD, Debug	On-chip JTAG, SWD, SWV, Debug, Trace
CY8CKIT-001 Development Kit	CY8CKIT-001 Development Kit CY8CKIT-030 Development Kit	CY8CKIT-040 Pioneer Kit CY8CKIT-042 Pioneer Kit CY8CKIT-049 Prototype Kit	CY8CKIT-001 Development Kit CY8CKIT-050 Development Kit

PSoC Road map [2]:

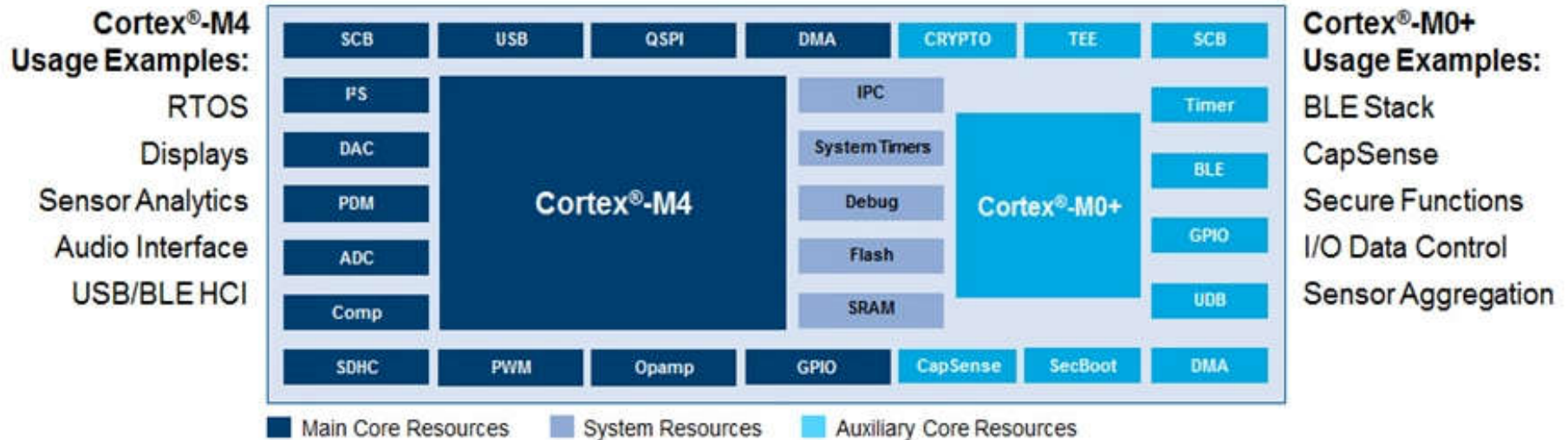
Oficjalna mapa drogowa rozwoju układów PSoC firmy Cypress można znaleźć tu: [ROADMAP](#)

W ramach laboratorium i projektu wykorzystany jest zestaw CYPRESS CY8CKIT-050 PSoC 5LP, którego instrukcję można znaleźć na stronie www.cypress.com oraz na stronie przedmiotu tu: [MANUAL](#)

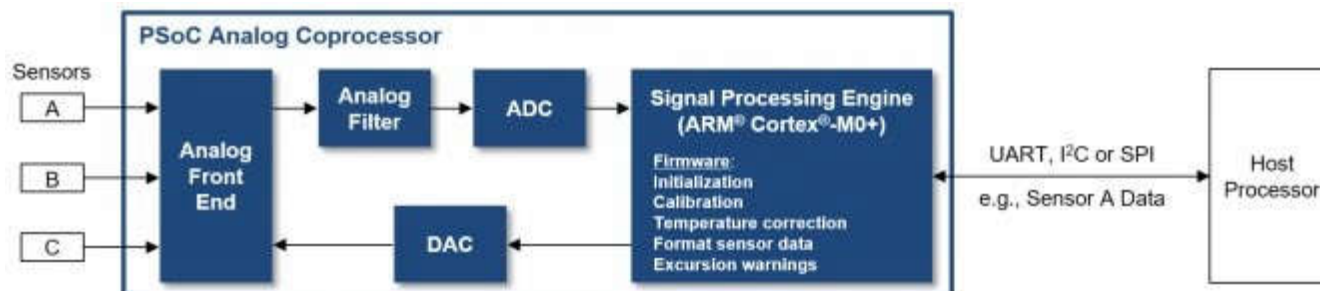
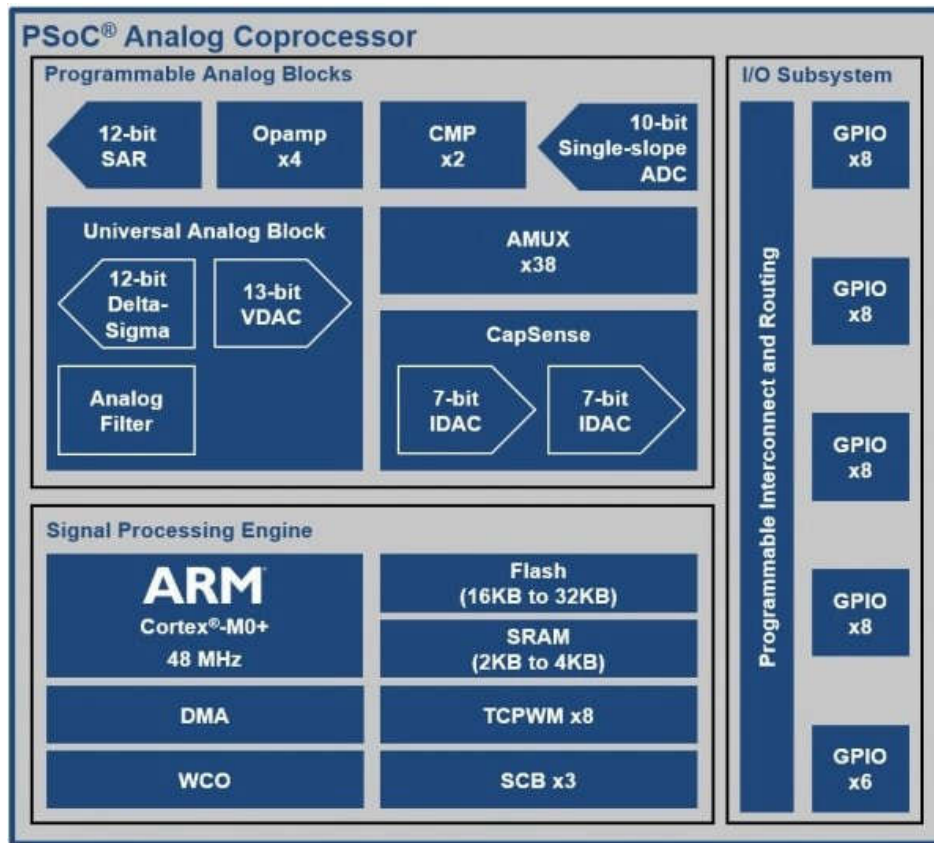
Produkty Cypress PSOC, stan na 2019r

- Dodatkowa rodzina układów PSOC 6 zorientowana na IoT, mniejsza analogowa część programowalna ale 2 rdzenie M4 i M0+ i transmisja Low Energy BT
- Dodatkowa rodzina układów PSoC Analog Coprocessor, rodzina zorientowana na programowalne analogowe przetwarzanie sygnałów (np. z czujników), zawiera m.in. rdzeń Cortex M0+, Universal Analog Block, ADC i DAC, OA, analog mux, CapSense, Segment LCD drive, Serial Communication Blocks (SCB), timers/counters. Jest to tak naprawdę zaktualizowana i rozwinięta rodzina układów PSoC4.

PSoC 6 – schemat funkcjonalny [2]



PSoC Analog Coprocessor – schemat funkcjonalny i przykład zastosowania [2]



Układy PSoC 5LP CY8C58LP [2]

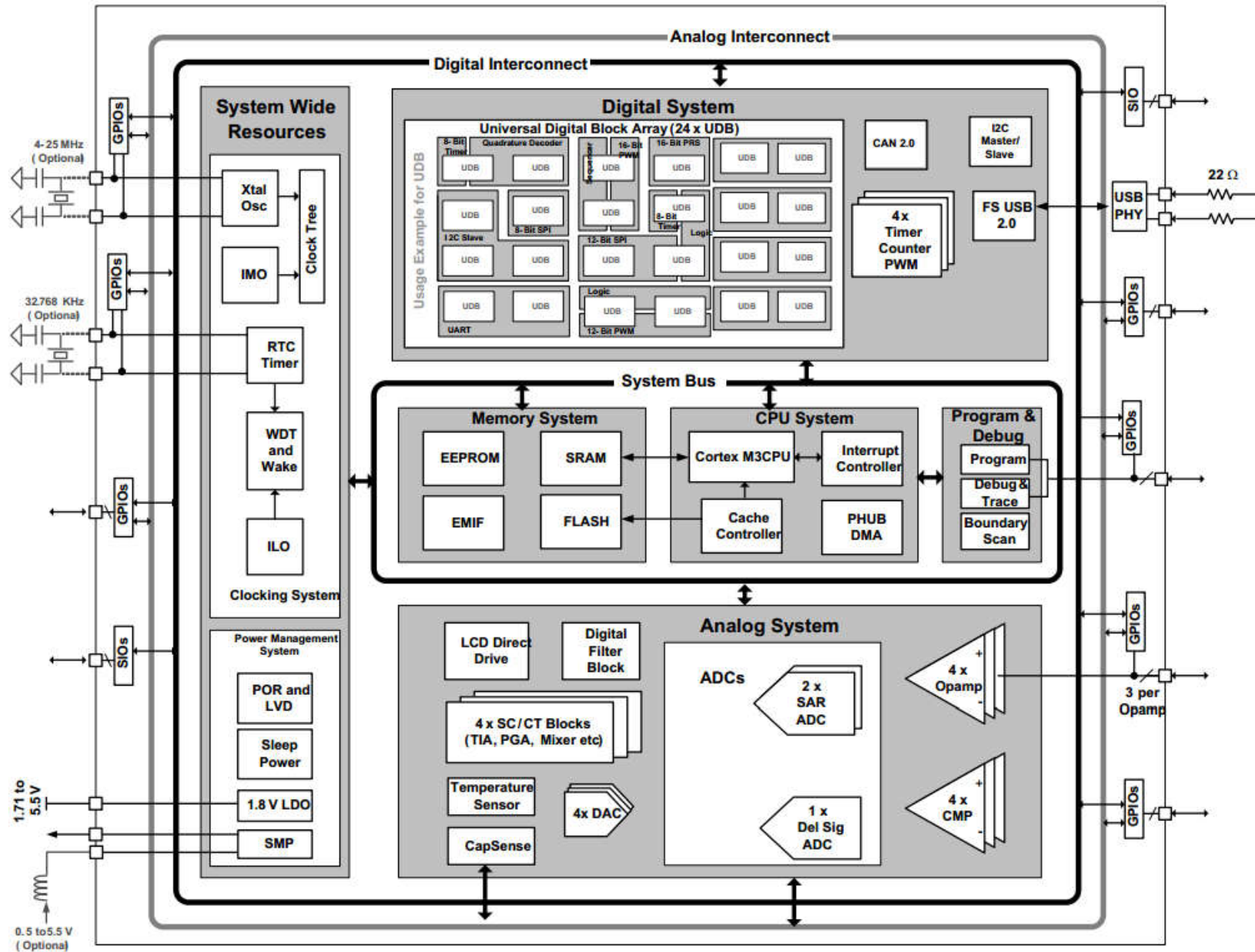
- 32 bitowy rdzeń ARM Cortex M3 z kontrolerem DMA i filtrem DSP z zegarem do 80MHz.
- Bardzo niski pobór mocy.
- Programowalne bloki cyfrowe i analogowe umożliwiające tworzenie funkcji użytkownika.
- Możliwość elastycznego łączenia wyprowadzeń analogowych i cyfrowych do dowolnego PINu.

Najważniejsze właściwości [2]:

Features

- Operating characteristics
 - Voltage range: 1.71 to 5.5 V, up to 6 power domains
 - Temperature range (ambient) –40 to 85 °C^[1]
 - DC to 80-MHz operation
 - Power modes
 - Active mode 3.1 mA at 6 MHz, and 15.4 mA at 48 MHz
 - 2-µA sleep mode
 - 300-nA hibernate mode with RAM retention
 - Boost regulator from 0.5-V input up to 5-V output
- Performance
 - 32-bit ARM Cortex-M3 CPU, 32 interrupt inputs
 - 24-channel direct memory access (DMA) controller
 - 24-bit 64-tap fixed-point digital filter processor (DFB)
- Memories
 - Up to 256 KB program flash, with cache and security features
 - Up to 32 KB additional flash for error correcting code (ECC)
 - Up to 64 KB RAM
 - 2 KB EEPROM
- Digital peripherals
 - Four 16-bit timer, counter, and PWM (TCPWM) blocks
 - I²C, 1 Mbps bus speed
 - USB 2.0 certified Full-Speed (FS) 12 Mbps
 - Full CAN 2.0b, 16 Rx, 8 Tx buffers
 - 20 to 24 universal digital blocks (UDB), programmable to create any number of functions:
 - 8-, 16-, 24-, and 32-bit timers, counters, and PWMs
 - I²C, UART, SPI, I2S, LIN 2.0 interfaces
 - Cyclic redundancy check (CRC)
 - Pseudo random sequence (PRS) generators
 - Quadrature decoders
 - Gate-level logic functions
- Programmable clocking
 - 3- to 74-MHz internal oscillator, 1% accuracy at 3 MHz
 - 4- to 25-MHz external crystal oscillator
 - Internal PLL clock generation up to 80 MHz
 - Low-power internal oscillator at 1, 33, and 100 kHz
 - 32.768-kHz external watch crystal oscillator
 - 12 clock dividers routable to any peripheral or I/O
- Analog peripherals
 - Configurable 8- to 20-bit delta-sigma ADC
 - Up to two 12-bit SAR ADCs
 - Four 8-bit DACs
 - Four comparators
 - Four opamps
 - Four programmable analog blocks, to create:
 - Programmable gain amplifier (PGA)
 - Transimpedance amplifier (TIA)
 - Mixer
 - Sample and hold circuit
 - CapSense[®] support, up to 62 sensors
 - 1.024 V ±0.1% internal voltage reference
- Versatile I/O system
 - 46 to 72 I/O pins – up to 62 general-purpose I/Os (GPIOs)
 - Up to eight performance I/O (SIO) pins
 - 25 mA current sink
 - Programmable input threshold and output high voltages
 - Can act as a general-purpose comparator
 - Hot swap capability and overvoltage tolerance
 - Two USBIO pins that can be used as GPIOs
 - Route any digital or analog peripheral to any GPIO
 - LCD direct drive from any GPIO, up to 46 × 16 segments
 - CapSense support from any GPIO
 - 1.2-V to 5.5-V interface voltages, up to four power domains
- Programming, debug, and trace
 - JTAG (4-wire), serial wire debug (SWD) (2-wire), single wire viewer (SWV), and Traceport (5-wire) interfaces
 - ARM debug and trace modules embedded in the CPU core
 - Bootloader programming through I²C, SPI, UART, USB, and other interfaces
- Package options: 68-pin QFN and 100-pin TQFP
- Development support with free PSoC Creator™ tool
 - Schematic and firmware design support
 - Over 100 PSoC Components™ integrate multiple ICs and system interfaces into one PSoC. Components are free embedded ICs represented by icons. Drag and drop component icons to design systems in PSoC Creator.
 - Includes free GCC compiler, supports Keil/ARM MDK compiler
 - Supports device programming and debugging

Uproszczony schemat blokowy [2]:



Porównanie rdzeni ARM Cortex M

[wg Wiki]

ARM Cortex-M instruction sets^{[6][7]}

ARM Cortex-M	Thumb	Thumb-2	Hardware multiply	Hardware divide	Saturated math	DSP extensions	Floating-point	ARM architecture	Core architecture
Cortex-M0 ^[1]	Most	Subset	1 or 32 cycle	No	No	No	No	ARMv6-M ^[6]	Von Neumann
Cortex-M0+ ^[2]	Most	Subset	1 or 32 cycle	No	No	No	No	ARMv6-M ^[6]	Von Neumann
Cortex-M1 ^[3]	Most	Subset	3 or 33 cycle	No	No	No	No	ARMv6-M ^[6]	Von Neumann
Cortex-M3 ^[4]	Entire	Entire	1 cycle	Yes	Yes	No	No	ARMv7-M ^[7]	Harvard
Cortex-M4 ^[5]	Entire	Entire	1 cycle	Yes	Yes	Yes	Optional	ARMv7E-M ^[7]	Harvard

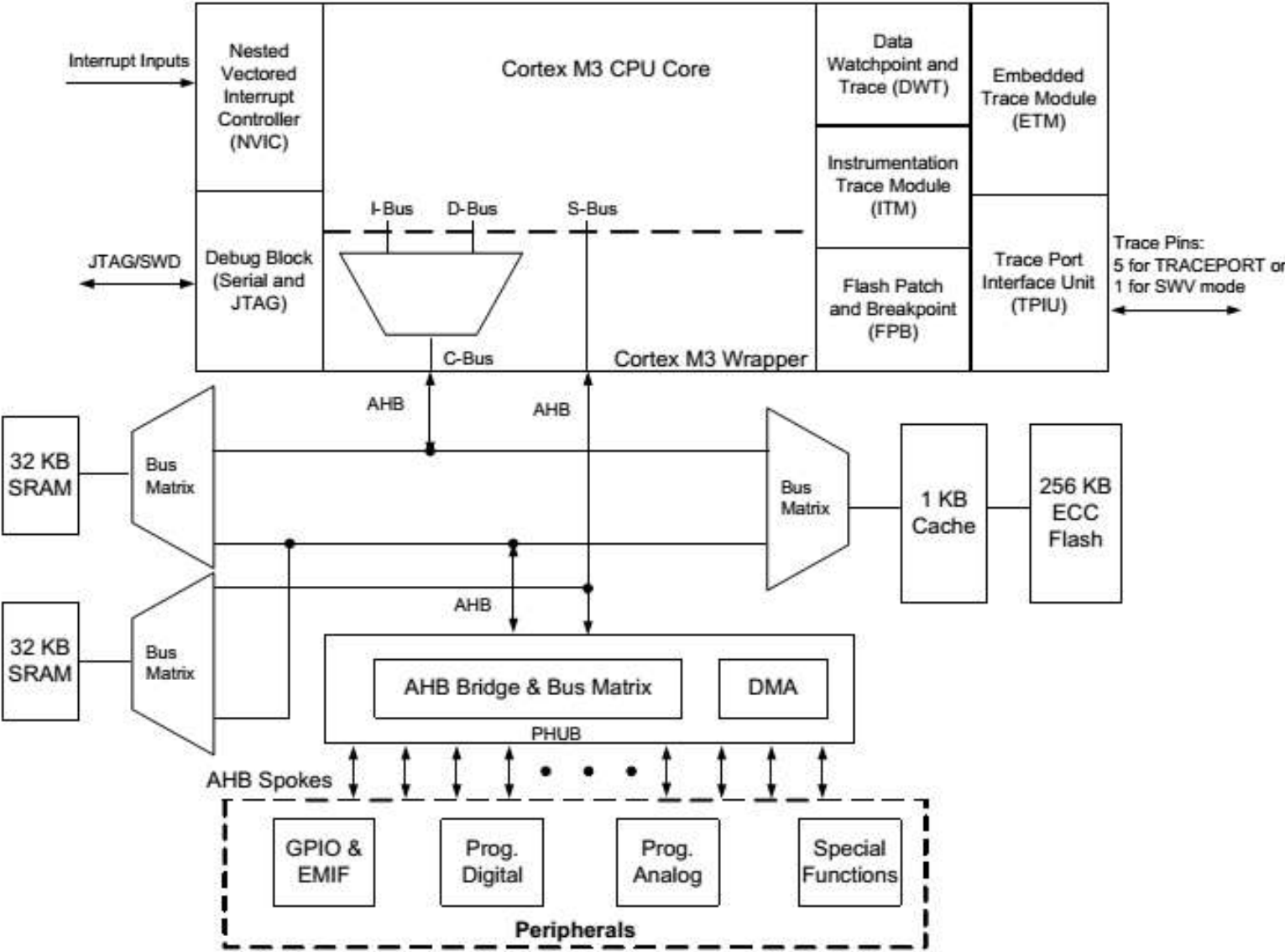
- Note: The Cortex-M0 / M0+ / M1 doesn't include these **Thumb** instructions: CBZ, CBNZ, IT; nor does it include a divide instruction.^{[6][7]}
- Note: The Cortex-M0 / M0+ / M1 only include these **Thumb-2** instructions: DMB, DSB, ISB, MRS, MSR.^{[6][7]}
- Note: If a smaller silicon die size is required, the Cortex-M0 / M0+ / M1 can implement a smaller and slower multiply instruction.

Announced	
Year	Core
2004	Cortex-M3
2007	Cortex-M1
2009	Cortex-M0
2010	Cortex-M4
2012	Cortex-M0+
2014	Cortex-M7

ARM Cortex-M optional components^{[6][7]}

ARM Cortex-M	SysTick Timer	Bit-banding	Memory Protection Unit (MPU)	Tightly-Coupled Memory (TCM)	CPU cache	Memory architecture	ARM architecture
Cortex-M0 ^[1]	Optional*	Optional ^[9]	No	No	No ^[10]	Von Neumann	ARMv6-M
Cortex-M0+ ^[2]	Optional*	Optional ^[9]	Optional (8)	No	No	Von Neumann	ARMv6-M
Cortex-M1 ^[3]	Optional	Optional	No	Optional	No	Von Neumann	ARMv6-M
Cortex-M3 ^[4]	Yes	Optional*	Optional (8)	No	No	Harvard	ARMv7-M
Cortex-M4 ^[5]	Yes	Optional*	Optional (8)	No	Possible ^[11]	Harvard	ARMv7E-M
Cortex-M7	Yes	TBD*	Optional (8 or 16)	Optional	Optional	Harvard	ARMv7E-M

CPU ARM Cortex M3 [2]



CPU ARM Cortex M3 [2] c.d.

- CPU typu ARM Cortex M3.
- Programowalny zagnieżdżony kontroler przerwań (NVIC).
- W pełni funkcjonalne moduły trace oraz debug.
- Do 256kB pamięci Flash, 2kB EEPROM, 64kB SRAM.
- Kontroler cache.
- Blok PHUB (Peripheral HUB).
- Kontroler DMA.
- Kontroler zewnętrznej pamięci (EMIF).
- 4GB przestrzeń adresów, predefiniowane adresy dla kodu programu, danych i bloków peryferyjnych.
- Zestaw rozkazów zgodny z Thumb-2.
- Wspomaganie obsługi wyjątków i przerwań.
- Możliwa praca na 2 poziomach: Privileged oraz User.

CPU ARM Cortex M3 [2] c.d.

- Możliwa praca w 2 trybach: Thread mode oraz Handler mode.
- Praca w trybie Handler mode jest dozwolona tylko na poziomie Privileged więc możliwe są jedynie 3 stany przedstawione w poniższej tabeli:

Condition	Privileged	User
Running an exception	Handler mode	Not used
Running main program	Thread mode	Thread mode

- Na poziomie User level dostęp do niektórych rejestrów specjalnych i konfiguracyjnych jest zabroniony, próba dostępu do nich wywołuje powstanie wyjątku. Na poziomie Privileged możliwy jest dostęp do wszystkich rejestrów.
- Procesor pracuje w trybie Handler mode w czasie obsługi wyjątku (zawsze na poziomie Privileged), w trybie Thread mode pracuje w pozostałym czasie.
- Są dostępne dwa wskaźniki do stosu: Main Stack Pointer (MSP) i Process SP (PSP). To, łącznie z trybami pracy umożliwia uruchomienie wielozadaniowego systemu operacyjnego.

Rejestry procesora [2]

Wszystkie rejestry procesora są 32 bitowe.

Rejestr	Opis
R0 – R12	Rejestry ogólnego przeznaczenia R0-R12 nie mają specjalnego dodatkowego znaczenia.
R13	Rejestr wskaźnika stosu (SP – stack pointer). Rejestr ten jest przełączany pomiędzy dwoma wskaźnikami stosu: MSP i PSP. PSP jest używany gdy CPU pracuje na poziomie USER LEVEL w trybie Thread. MSP jest używany we wszystkich pozostałych przypadkach. Bity [1:0] wskaźnika stosu są pomijane i traktowane jako zera, zawartość rejestru jest uzupełniona do 4 bajtów (1 słowa)
R14	R14 jest rejestrem o nazwie LINK REGISTER (LR). W tym rejestrze przechowywany jest adres powrotu z podprogramu.
R15	Rejestr licznika programu PROGRAM COUNTER (PC). Bit 0 jest ignorowany i uzupełniony zerem, instrukcje są uzupełnione do połowy słowa (2 bajty)

Rejestry procesora [2] c.d.

Rejestr	Opis
xPSR	<p>Rejestr statusu programu. Rejestr jest podzielony na 3 rejestry, które mogą być dostępne razem lub oddzielnie.</p> <p>APSR – Application Program Status Register, zawiera status wykonywania programu taki jak np.: zero, przeniesienie, ujemny... , bity [27:31].</p> <p>IPSR – Interrupt Program Status Register, zawiera bieżący numer wyjątku, bity [0:8].</p> <p>EPSR – Execution Program Status Register, zawiera bity sterujące dla konfiguracji przerwań oraz poleceń IF-THEN w bitach [10:15] oraz [25:26]. Bit 24 jest zawsze równy 1 dla sygnalizacji trybu Thumb. Próba wyzerowania tego bitu powoduje powstanie wyjątku.</p>
PRIMASK	<p>Maska przerwań. Jeśli ustawiona wówczas możliwe są wyłącznie przerwania MNI (niemaskowalne) i wyjątki sprzętowe. Inne wyjątki i przerwania są zablokowane.</p>

Rejestry procesora [2] c.d.

Rejestr	Opis
FAULTMASK	Jednobitowa maska. Jeśli ustawiona zezwala wyłącznie na MNI.
BASEPRI	Rejestr 9-cio bitowy maskujący priorytety. Kiedy ustawiony maskuje priorytety o takich samych i wyższych wartościach. Jeśli ustawione 0 wówczas maskowanie jest wyłączone.
CONTROL	Dwubitowy rejestr sterujący trybem pracy: Bit0 : 0 = poziom Privileged level w trybie Thread, 1 = poziom User level w trybie Thread, BIT1: 0 = domyślny stos jest użyty (MSP), 1 = alternatywny stos jest użyty, jeśli tryb jest Thread mode lub poziom User level wówczas alternatywnym stosem jest PSP, nie ma alternatywnego stosu dla trybu obsługi wyjątku, bit musi być równy 0 podczas obsługi wyjątku

Pamięć Cache [2]

- Układ PSoC 5LP ma wbudowaną pamięć cache instrukcji pomiędzy CPU a pamięcią FLASH.
- Ta pamięć cache ma pojemność 1kB i jest 4-drożna, skojarzeniowa.
- Pamięć cache zwiększa szybkość wykonywania instrukcji oraz zmniejsza zużycie mocy (dzięki rzadszemu dostępowi do pamięci FLASH).

Bloki DMA oraz PHUB [2]

- Bloki PHUB i DMA są odpowiedzialne za transfery danych pomiędzy CPU i peryferiami oraz pomiędzy różnymi peryferiami.
- PHUB składa się z:
 - centralnego HUBa który zawiera: kontroler DMA, arbiter i router,
 - wielu szyn (ang. spokes), które łączą HUB z peryferiami.
- Są 2 mastery PHUBa: CPU i DMA.

Właściwości PHUBa [2]:

- Zarówno CPU jak i DMA mogą być masterami.
- Jest 8 szyn połączeniowych (bus spokes), które mogą być wykorzystywane równocześnie do transferu z peryferiami.
- Możliwe równoczesne dwukierunkowe transakcje DMA na różnych szynach połączeniowych.

Przerwania [2]

- Obsługiwane jest 16 wyjątków systemowych i 32 przerwania z układów peryferyjnych.
- NMI (przerwanie niemaskowalne) może być połączone do dowolnego wyprowadzenia.
- Przerwania są obsługiwane przez NVIC (ang. nested vector interrupt controller) i przekazywane do CPU.
Cechy NVIC:
 - 32 przerwania,
 - 8 poziomów priorytetów,
 - możliwe grupowanie priorytetów,
 - stan procesora jest automatycznie zapisywany przy wejściu do przerwania i odtwarzany przy wyjściu, nie ma potrzeby stosowania instrukcji.

Przerwania [2] c.d.

Exception Number	Exception Type	Priority	Exception Table Address Offset	Function
			0x00	Starting value of R13 / MSP
1	Reset	-3 (highest)	0x04	Reset
2	NMI	-2	0x08	Non maskable interrupt
3	Hard fault	-1	0x0C	All classes of fault, when the corresponding fault handler cannot be activated because it is currently disabled or masked
4	MemManage	Programmable	0x10	Memory management fault, for example, instruction fetch from a nonexecutable region
5	Bus fault	Programmable	0x14	Error response received from the bus system; caused by an instruction prefetch abort or data access error
6	Usage fault	Programmable	0x18	Typically caused by invalid instructions or trying to switch to ARM mode
7 – 10	-	-	0x1C – 0x28	Reserved
11	SVC	Programmable	0x2C	System service call via SVC instruction
12	Debug monitor	Programmable	0x30	Debug monitor
13	-	-	0x34	Reserved
14	PendSV	Programmable	0x38	Deferred request for system service
15	SYSTICK	Programmable	0x3C	System tick timer
16 – 47	IRQ	Programmable	0x40 – 0x3FC	Peripheral interrupt request #0 - #31

Interrupt #	Cortex-M3 Exception #	Fixed Function	DMA	UDB
0	16	Low voltage detect (LVD)	phub_termout0[0]	udb_intr[0]
1	17	Cache/ECC	phub_termout0[1]	udb_intr[1]
2	18	Reserved	phub_termout0[2]	udb_intr[2]
3	19	Sleep (Pwr Mgr)	phub_termout0[3]	udb_intr[3]
4	20	PICU[0]	phub_termout0[4]	udb_intr[4]
5	21	PICU[1]	phub_termout0[5]	udb_intr[5]
6	22	PICU[2]	phub_termout0[6]	udb_intr[6]
7	23	PICU[3]	phub_termout0[7]	udb_intr[7]
8	24	PICU[4]	phub_termout0[8]	udb_intr[8]
9	25	PICU[5]	phub_termout0[9]	udb_intr[9]
10	26	PICU[6]	phub_termout0[10]	udb_intr[10]
11	27	PICU[12]	phub_termout0[11]	udb_intr[11]
12	28	PICU[15]	phub_termout0[12]	udb_intr[12]
13	29	Comparators Combined	phub_termout0[13]	udb_intr[13]
14	30	Switched Caps Combined	phub_termout0[14]	udb_intr[14]
15	31	I ² C	phub_termout0[15]	udb_intr[15]
16	32	CAN	phub_termout1[0]	udb_intr[16]
17	33	Timer/Counter0	phub_termout1[1]	udb_intr[17]
18	34	Timer/Counter1	phub_termout1[2]	udb_intr[18]
19	35	Timer/Counter2	phub_termout1[3]	udb_intr[19]
20	36	Timer/Counter3	phub_termout1[4]	udb_intr[20]
21	37	USB SOF Int	phub_termout1[5]	udb_intr[21]
22	38	USB Arb Int	phub_termout1[6]	udb_intr[22]
23	39	USB Bus Int	phub_termout1[7]	udb_intr[23]
24	40	USB Endpoint[0]	phub_termout1[8]	udb_intr[24]
25	41	USB Endpoint Data	phub_termout1[9]	udb_intr[25]
26	42	Reserved	phub_termout1[10]	udb_intr[26]
27	43	LCD	phub_termout1[11]	udb_intr[27]
28	44	DFB Int	phub_termout1[12]	udb_intr[28]
29	45	Decimator Int	phub_termout1[13]	udb_intr[29]
30	46	phub_err_int	phub_termout1[14]	udb_intr[30]
31	47	eprom_fault_int	phub_termout1[15]	udb_intr[31]

Organizacja pamięci w układzie PSoC 5LP [2]

W układzie dostępne są pamięci RAM, FLASH i EEPROM:

- Pamięć statyczna RAM. Pamięć ta używana jest do chwilowego przechowywania danych. PSoC 5LP zawiera do 64kB pamięci SRAM zorganizowanej w 2 bloki po 32kB.
- Pamięć programu typu FLASH. Jest to pamięć nieulotna do przechowywania firmware, danych konfiguracyjnych i innych. Dostępne jest do 256 kB pamięci FLASH. Pamięć ta ma dodatkowe 32kB na korekcję błędów ECC ale nie ma konieczności stosowania tej techniki.
- Programowanie pamięci FLASH dokonywane jest przez specjalny interfejs i najpierw blokowana jest możliwość wykonywania kodu z FLASHa.

Organizacja pamięci [2] c.d.

Pamięć FLASH c.d.:

- Wykonywanie kodu może zostać przełączone na pamięć RAM w czasie programowania pamięci FLASH.
- Interfejs programowania umożliwia kasowanie, programowanie i ustawianie poziomu zabezpieczenia pamięci.
- Można wykorzystać interfejsy SWD oraz JTAG do bezpośredniego programowania pamięci FLASH.
- Bootloadery mogą korzystać ze złącz: I2C, USB, UART i SPI.
- Pamięć FLASH jest zorganizowana w bloki po 256 bajtów danych i 32 bajty ECC.
- Pamięć FLASH daje możliwość ustawienia jednego z czterech poziomów zabezpieczenia. Poziom zabezpieczenia może być zmieniany tylko w momencie wykonania funkcji całkowitego kasowania zawartości.

Poziomy zabezpieczeń pamięci FLASH [2]

Protection Setting	Allowed	Not Allowed
Unprotected	External read and write + internal read and write	–
Factory Upgrade	External write + internal read and write	External read
Field Upgrade	Internal read and write	External read and write
Full Protection	Internal read	External read and write + internal write

Pamięć EEPROM [2]

- 2kB pamięci w układzie CY8C58LP.
- Pamięć nieulotna.
- Dostęp bajtowy (do odczytu).
- Obszar EEPROM jest podzielony na 128 rzędów każdy po 16 bajtów. Do zapisu i kasowania dostęp rzędowy.
- EEPROM jest mapowany w pamięci peryferiów i dlatego program nie może z niego być wykonywany.
- Nie ma korekcji ECC.

Nieulotne Latche (NVLs) [2]

Są to 4 bajty pamięci nieulotnej, które konfiguruja zachowanie się układu po resecie.

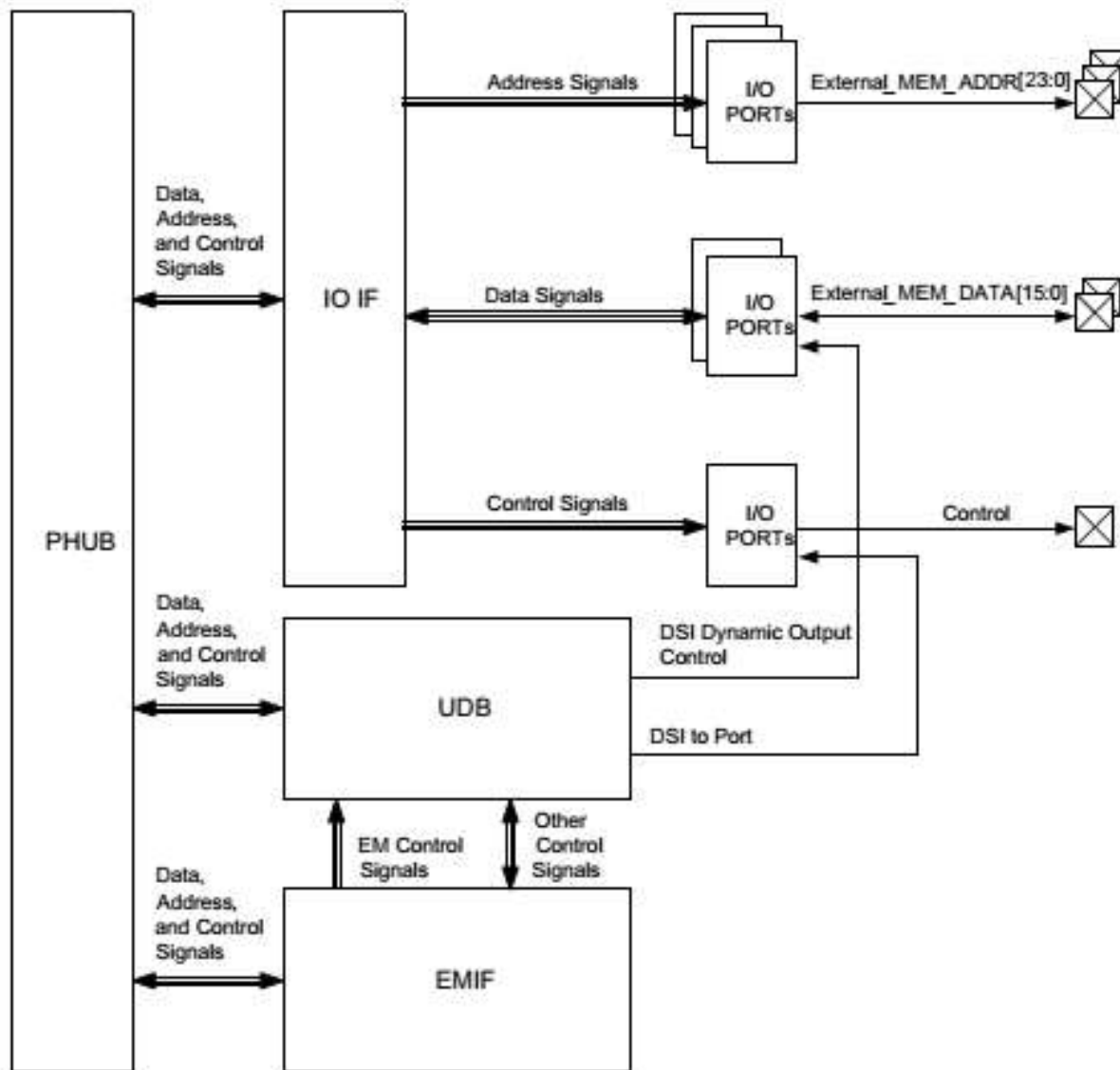
Register Address	7	6	5	4	3	2	1	0
0x00	PRT3RDM[1:0]		PRT2RDM[1:0]		PRT1RDM[1:0]		PRT0RDM[1:0]	
0x01	PRT12RDM[1:0]		PRT6RDM[1:0]		PRT5RDM[1:0]		PRT4RDM[1:0]	
0x02	XRESMEN	DBGEN					PRT15RDM[1:0]	
0x03	DIG_PHS_DLY[3:0]				ECCEN	DPS[1:0]		CFGSPPEED

Field	Description	Settings
PRTxRDM[1:0]	Controls reset drive mode of the corresponding IO port. See "Reset Configuration" on page 36. All pins of the port are set to the same mode.	00b (default) - high impedance analog 01b - high impedance digital 10b - resistive pull up 11b - resistive pull down
XRESMEN	Controls whether pin P1[2] is used as a GPIO or as an external reset. See "Pin Descriptions" on page 10, XRES description.	0 (default) - GPIO 1 - external reset
DBGEN	Debug Enable allows access to the debug system, for third-party programmers.	0 - access disabled 1 (default) - access enabled
CFGSPPEED	Controls the speed of the IMO-based clock during the device boot process, for faster boot or low-power operation	0 (default) - 12 MHz IMO 1 - 48 MHz IMO
DPS[1:0]	Controls the usage of various P1 pins as a debug port. See "Programming, Debug Interfaces, Resources" on page 57.	00b - 5-wire JTAG 01b (default) - 4-wire JTAG 10b - SWD 11b - debug ports disabled
ECCEN	Controls whether ECC flash is used for ECC or for general configuration and data storage. See "Flash Program Memory" on page 18.	0 - ECC disabled 1 (default) - ECC enabled
DIG_PHS_DLY[3:0]	Selects the digital clock phase delay.	See the TRM for details.

Pamięć zewnętrzna [2]

- PSoC 5LP ma wbudowany kontroler pamięci zewnętrznej EMIF (ang. external memory interface).
- Możliwe jest użycie pamięci zewnętrznej zarówno synchronicznej jak i asynchronicznej (jednego typu na raz).
- Pamięć ta jest adresowana w przestrzeni zewnętrznej pamięci RAM, do 24 bitów adresowych, szerokość 8 lub 16 bitów.
- Można wykonywać program umieszczony w zewnętrznej pamięci lecz z mniejszą szybkością i nie jest zabezpieczony przed nieuprawnionym dostępem.

Pamięć zewnętrzna [2] c.d.



Mapa pamięci [2]

Mapa pamięci Cortex-M3 jest stała co pozwala na dostęp do peryferiów poprzez dostęp do pamięci o odpowiednim adresie.

Table 5-4. Address Map

Address Range	Size	Use
0x00000000 – 0x1FFFFFFF	0.5 GB	Program code. This includes the exception vector table at power up, which starts at address 0.
0x20000000 – 0x3FFFFFFF	0.5 GB	Static RAM. This includes a 1 MByte bit-band region starting at 0x20000000 and a 32 Mbyte bit-band alias region starting at 0x22000000.
0x40000000 – 0x5FFFFFFF	0.5 GB	Peripherals.
0x60000000 – 0x9FFFFFFF	1 GB	External RAM.
0xA0000000 – 0xDFFFFFFF	1 GB	External peripherals.
0xE0000000 – 0xFFFFFFFF	0.5 GB	Internal peripherals, including the NVIC and debug and trace modules.

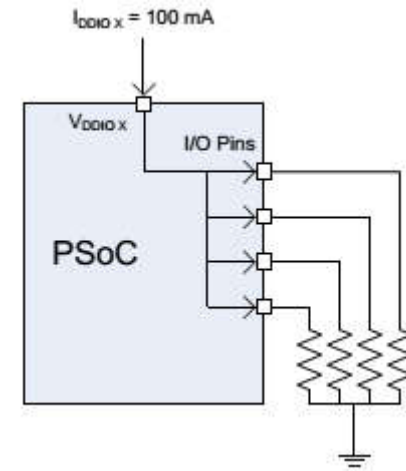
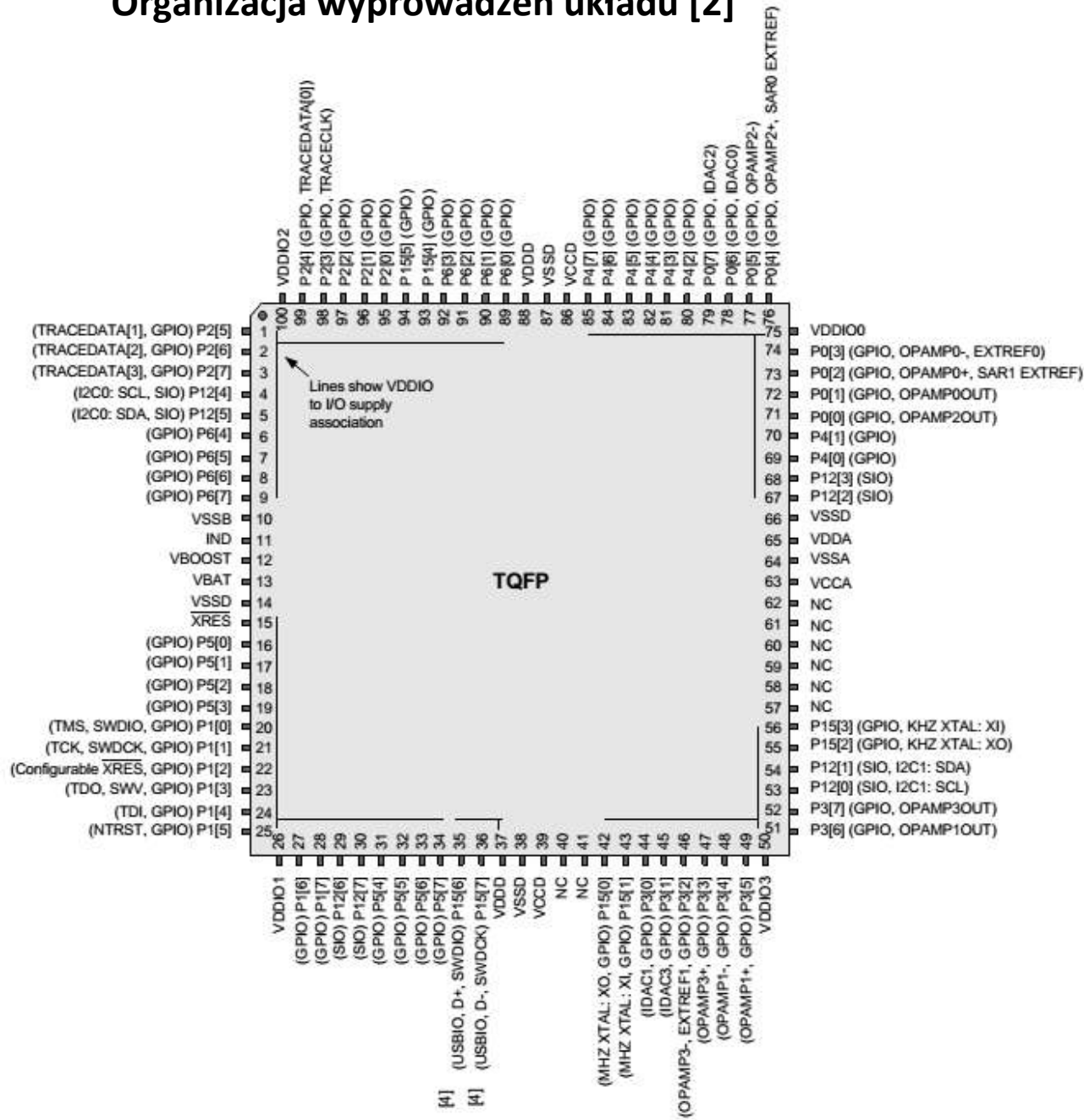
Table 5-5. Peripheral Data Address Map

Address Range	Purpose
0x00000000 – 0x0003FFFF	256 KB flash
0x1FFF8000 – 0x1FFFFFFF	32 KB SRAM in Code region
0x20000000 – 0x20007FFF	32 KB SRAM in SRAM region
0x40004000 – 0x400042FF	Clocking, PLLs, and oscillators
0x40004300 – 0x400043FF	Power management
0x40004500 – 0x400045FF	Ports interrupt control
0x40004700 – 0x400047FF	Flash programming interface
0x40004800 – 0x400048FF	Cache controller
0x40004900 – 0x400049FF	I ² C controller
0x40004E00 – 0x40004EFF	Decimator
Address Range	Purpose
0x40004F00 – 0x40004FFF	Fixed timer/counter/PWMs
0x40005000 – 0x400051FF	I/O ports control
0x40005400 – 0x400054FF	External Memory Interface (EMIF) control registers
0x40005800 – 0x40005FFF	Analog Subsystem Interface
0x40006000 – 0x400060FF	USB Controller
0x40006400 – 0x40006FFF	UDB Working Registers
0x40007000 – 0x40007FFF	PHUB Configuration
0x40008000 – 0x400087FF	EEPROM
0x4000A000 – 0x4000A400	CAN
0x4000C000 – 0x4000C800	Digital Filter Block
0x40010000 – 0x4001FFFF	Digital Interconnect Configuration
0x48000000 – 0x48007FFF	Flash ECC Bytes
0x60000000 – 0x60FFFFFF	External Memory Interface (EMIF)
0xE0000000 – 0xE00FFFFF	Cortex-M3 PPB Registers, including NVIC, debug, and trace

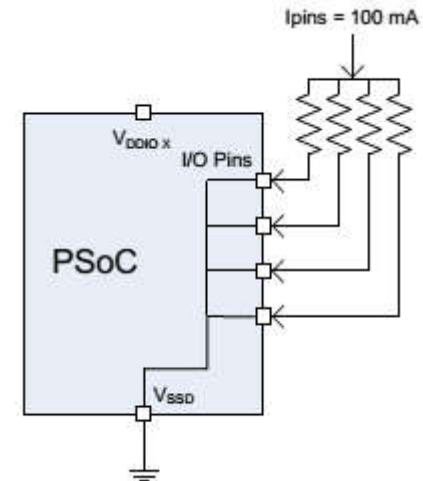
Zasilanie układów CY8C58xx

- Każdy pin VDDIO zasilą pewną grupę wyprowadzeń I/O.
- Czarne linie na rysunkach na kolejnym slajdzie prezentują zakres przynależnych wyprowadzeń do danego VDDIO.
- Wyprowadzenia USB są zasilone z pinu VDDD.
- Wszystkie piny VDDD powinny być połączone razem.
- Wszystkie piny VCCD (stabilizator rdzenia cyfrowego) powinny być połączone razem i poprzez kondensator 1uF do VSSD.
- Wszystkie piny VCCA (stabilizator rdzenia analogowego) powinny być połączone razem i poprzez kondensator 1uF do VSSA.
- Wszystkie piny VSSD (masa cyfrowa) powinny być połączone razem.
- Wszystkie piny VSSA (masa analogowa) powinny być połączone razem.
- Piny VDDA stanowią zasilanie peryferiów analogowych, wszelkie pozostałe napięcia powinny być mniejsze lub równe VDDA.
- Piny VSSB są masą dla układu podwyższającego napięcie.
- Pin VBAT jest wejściem do układu podwyższającego napięcie.

Organizacja wyprowadzeń układu [2]

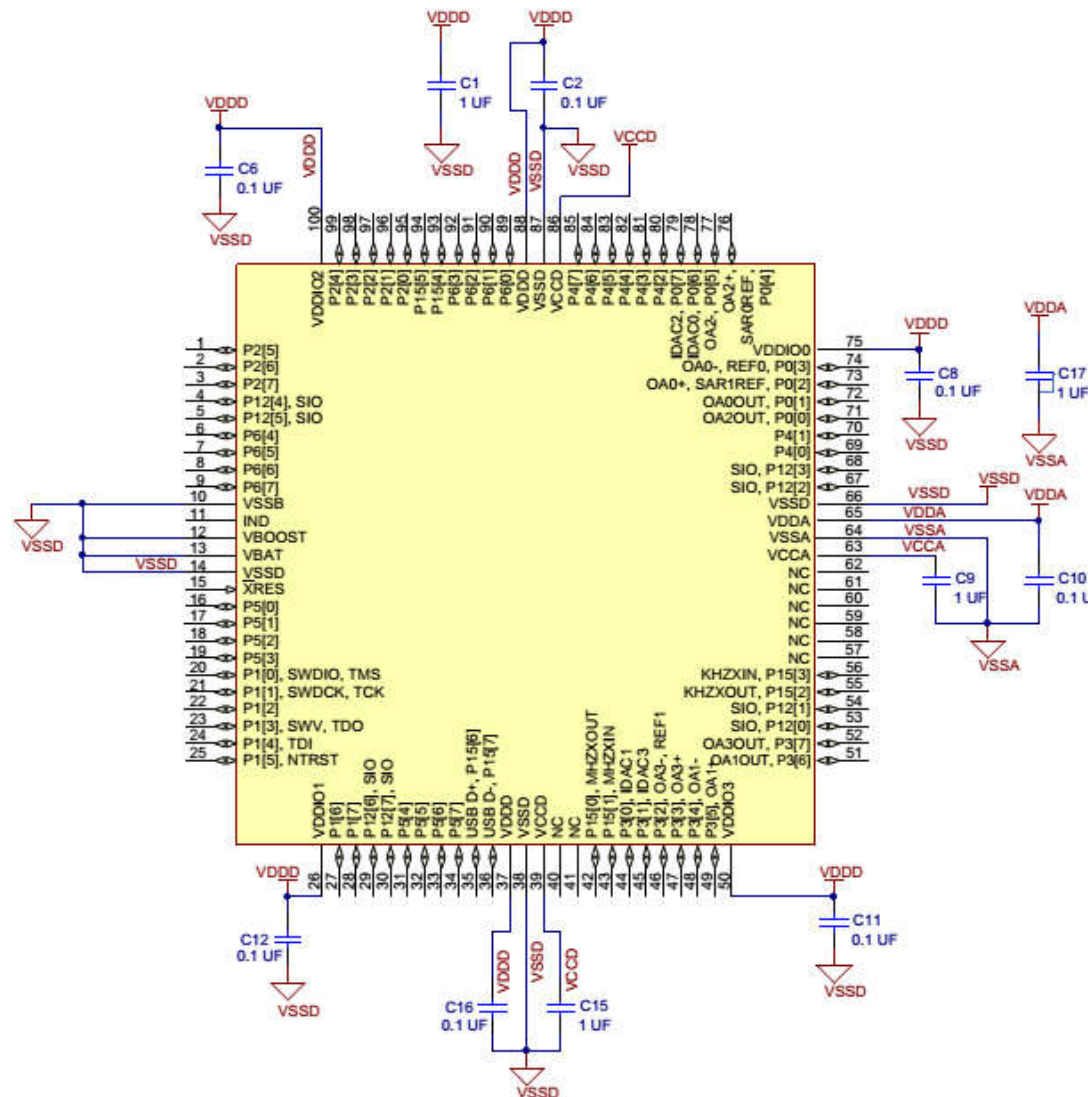


Ograniczenie prądowe na jeden bank zasilania



Opis wyprowadzeń zasilających c.d.

- VDDO0-VDDO3 – zasilanie bloków wyprowadzeń I/O, należy dostarczyć napięcie w zakresie 1,71V – 5,5V ale nie większe niż VDDA.



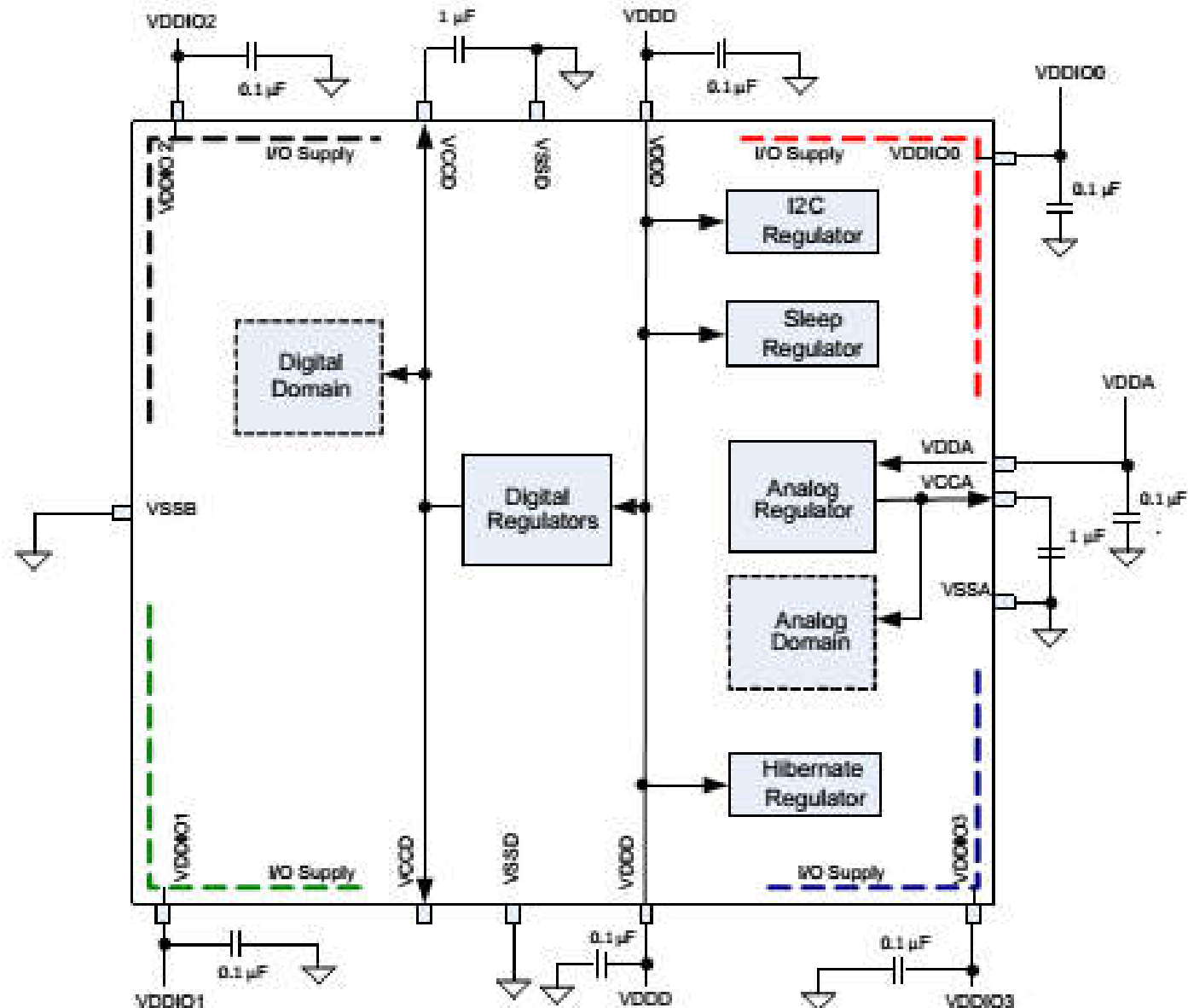
Pozostałe wyprowadzenia układu

- GPIO: wyprowadzenia ogólne I/O,
- IDAC0 – IDAC3: niskorezystancyjne wyjścia wysokoprądowe przetworników DAC (IDAC),
- Opamp0out – Opamp3out: wyjścia wysokoprądowe wzmacniaczy operacyjnych (niepołączonych),
- Opamp0- – Opamp3- : wejścia odwracające wzmacniaczy (niepołączonych),
- Opamp0+ – Opamp3+ : wejścia proste wzmacniaczy (niepołączonych),
- Extref0, Extref1: wejścia zewnętrznych napięć referencyjnych do części analogowej,
- SCL, SDA: linie interfejsów I2C jeśli mają być użyte do obudzenia ze stanu uśpienia, jeśli nie będzie używane wybudzanie można je wewnętrznie przełączyć do innego pinu,
- IND: wyprowadzenie do podłączenia cewki układu podwyższającego napięcie,

Pozostałe wyprowadzenia układu c.d.

- kHz XTAL Xi, Xo: wyprowadzenia kwarcu zegarkowego 32 768 Hz,
- MHz XTAL Xi, Xo: wyprowadzenia kwarcu 4 MHz – 25 MHz,
- nTRST, TCK, TDI, TDO, TMS: wyprowadzenia interfejsu JTAG,
- SIO, TRACECLK, TRACEDATA[3:0]: interfejs do CPU,
- SWDCD, SWDIO: interfejs programatora/debugera SWD,
- SWD: wyjście SWD,
- USBIO, D+, D-: wyprowadzenia bloku USB 2.0,
- XRES: reset.

Zasilanie układu PSoC [2]



Tryby zasilania układu [2]:

- Active (zawsze po obudzeniu lub resecie)
- Alternate Active
- Sleep
- Hibernate

Figure 6-5. Power Mode Transitions

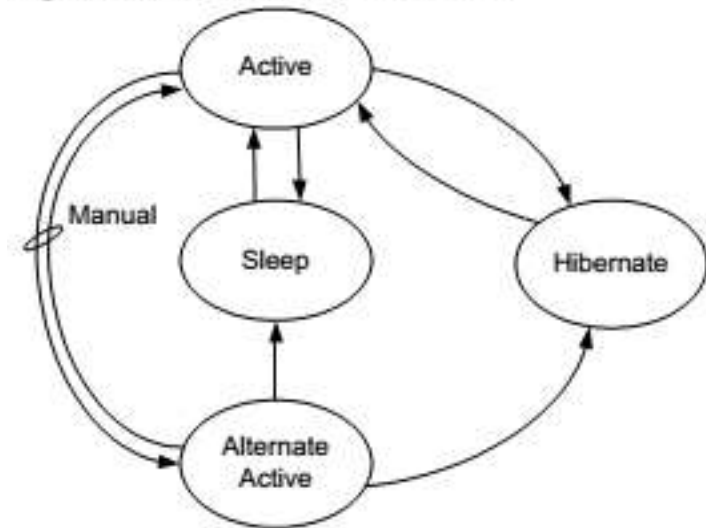


Table 6-3. Power Modes Wakeup Time and Power Consumption

Sleep Modes	Wakeup Time	Current (Typ)	Code Execution	Digital Resources	Analog Resources	Clock Sources Available	Wakeup Sources	Reset Sources
Active	-	3.1 mA ^[6]	Yes	All	All	All	-	All
Alternate Active	-	-	User defined	All	All	All	-	All
Sleep	<25 μ s	2 μ A	No	I ² C	Comparator	ILO/kHzECO	Comparator, PICU, I ² C, RTC, CTW, LVD	XRES, LVD, WDR
Hibernate	<200 μ s	300 nA	No	None	None	None	PICU	XRES

Note

6. Bus clock off. Execute from CPU instruction buffer at 6 MHz.

Tryby zasilania układu c.d. [2]:

Table 6-2. Power Modes

Power Modes	Description	Entry Condition	Wakeup Source	Active Clocks	Regulator
Active	Primary mode of operation, all peripherals available (programmable)	Wakeup, reset, manual register entry	Any interrupt	Any (programmable)	All regulators available. Digital and analog regulators can be disabled if external regulation used.
Alternate Active	Similar to Active mode, and is typically configured to have fewer peripherals active to reduce power. One possible configuration is to use the UDBs for processing, with the CPU turned off	Manual register entry	Any interrupt	Any (programmable)	All regulators available. Digital and analog regulators can be disabled if external regulation used.
Sleep	All subsystems automatically disabled	Manual register entry	Comparator, PICU, I ² C, RTC, CTW, LVD	ILO/kHzECO	Both digital and analog regulators buzzed. Digital and analog regulators can be disabled if external regulation used.
Hibernate	All subsystems automatically disabled Lowest power consuming mode with all peripherals and internal regulators disabled, except hibernate regulator is enabled Configuration and memory contents retained	Manual register entry	PICU		Only hibernate regulator active.

Table 11-2. DC Specifications

Parameter	Description	Conditions	Min	Typ	Max	Units	
V _{DDA}	Analog supply voltage and input to analog core regulator	Analog core regulator enabled	1.8	–	5.5	V	
V _{DDA}	Analog supply voltage, analog regulator bypassed	Analog core regulator disabled	1.71	1.8	1.89	V	
V _{DDD}	Digital supply voltage relative to V _{SSD}	Digital core regulator enabled	1.8	–	V _{DDA} ^[15]	V	
V _{DDD}	Digital supply voltage, digital regulator bypassed	Digital core regulator disabled	1.71	1.8	1.89	V	
V _{DDIO} ^[16]	I/O supply voltage relative to V _{SSIO}		1.71	–	V _{DDA} ^[15]	V	
V _{CCA}	Direct analog core voltage input (Analog regulator bypass)	Analog core regulator disabled	1.71	1.8	1.89	V	
V _{CCD}	Direct digital core voltage input (Digital regulator bypass)	Digital core regulator disabled	1.71	1.8	1.89	V	
Active Mode							
I _{DD} ^[17]	Sum of digital and analog I _{DDD} + I _{DDA} . I _{DDIOX} for I/Os not included. IMO enabled, bus clock and CPU clock enabled. CPU executing complex program from flash.	V _{DDX} = 2.7 V to 5.5 V; F _{CPU} = 3 MHz ^[18]	T = –40 °C	–	1.9	3.8	mA
			T = 25 °C	–	1.9	3.8	
			T = 85 °C	–	2	3.8	
		V _{DDX} = 2.7 V to 5.5 V; F _{CPU} = 6 MHz	T = –40 °C	–	3.1	5	
			T = 25 °C	–	3.1	5	
			T = 85 °C	–	3.2	5	
		V _{DDX} = 2.7 V to 5.5 V; F _{CPU} = 12 MHz ^[18]	T = –40 °C	–	5.4	7	
			T = 25 °C	–	5.4	7	
			T = 85 °C	–	5.6	7	
		V _{DDX} = 2.7 V to 5.5 V; F _{CPU} = 24 MHz ^[18]	T = –40 °C	–	8.9	10.5	
			T = 25 °C	–	8.9	10.5	
			T = 85 °C	–	9.1	10.5	
		V _{DDX} = 2.7 V to 5.5 V; F _{CPU} = 48 MHz ^[18]	T = –40 °C	–	15.5	17	
			T = 25 °C	–	15.4	17	
			T = 85 °C	–	15.7	17	
		V _{DDX} = 2.7 V to 5.5 V; F _{CPU} = 62 MHz	T = –40 °C	–	18	19.5	
			T = 25 °C	–	18	19.5	
			T = 85 °C	–	18.5	19.5	
V _{DDX} = 2.7 V to 5.5 V; F _{CPU} = 74 MHz	T = –40 °C	–	26.5	30			
	T = 25 °C	–	26.5	30			
	T = 85 °C	–	27	30			
V _{DDX} = 2.7 V to 5.5 V; F _{CPU} = 80 MHz, IMO = 3 MHz with PLL	T = –40 °C	–	22	25.5			
	T = 25 °C	–	22	25.5			
	T = 85 °C	–	22.5	25.5			

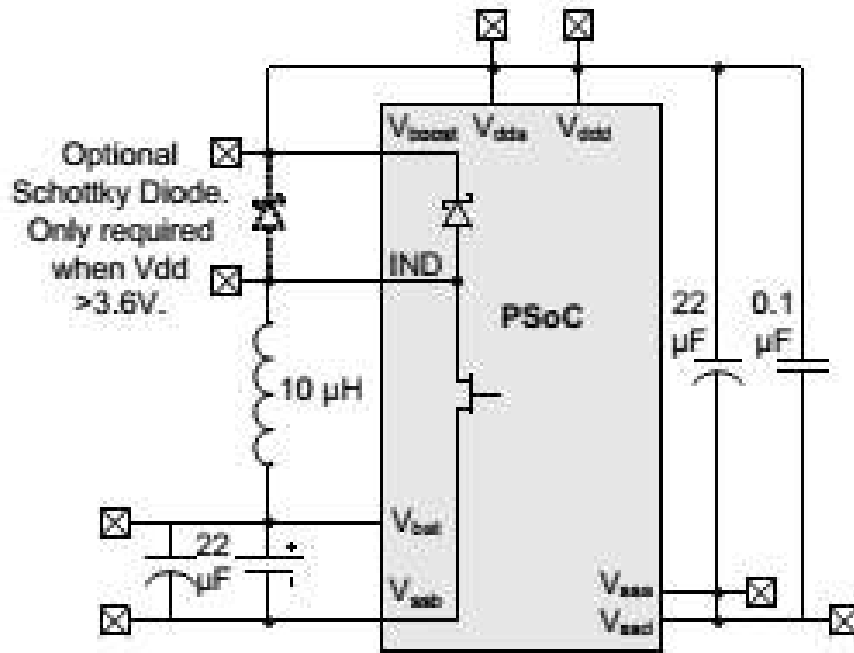
Table 11-2. DC Specifications (continued)

Parameter	Description	Conditions	Min	Typ	Max	Units	
$I_{DD}^{[19]}$	Sleep Mode^[20]						
	CPU = OFF RTC = ON (= ECO32K ON, in low-power mode) Sleep timer = ON (= ILO ON at 1 kHz) ^[21] WDT = OFF I ² C Wake = OFF Comparator = OFF POR = ON Boost = OFF SIO pins in single ended input, unregulated output mode	$V_{DD} = V_{DDIO} = 4.5\text{--}5.5\text{ V}$	T = -40 °C	-	1.9	3.1	μA
			T = 25 °C	-	2.4	3.6	
			T = 85 °C	-	5	16	
		$V_{DD} = V_{DDIO} = 2.7\text{--}3.6\text{ V}$	T = -40 °C	-	1.7	3.1	
			T = 25 °C	-	2	3.6	
			T = 85 °C	-	4.2	16	
		$V_{DD} = V_{DDIO} = 1.71\text{--}1.95\text{ V}$	T = -40 °C	-	1.6	3.1	
			T = 25 °C	-	1.9	3.6	
			T = 85 °C	-	4.2	16	
Comparator = ON CPU = OFF RTC = OFF Sleep timer = OFF WDT = OFF I ² C Wake = OFF POR = ON Boost = OFF SIO pins in single ended input, unregulated output mode	$V_{DD} = V_{DDIO} = 2.7\text{--}3.6\text{ V}^{[22]}$	T = 25 °C	-	3	4.2	μA	
I ² C Wake = ON CPU = OFF RTC = OFF Sleep timer = OFF WDT = OFF Comparator = OFF POR = ON Boost = OFF SIO pins in single ended input, unregulated output mode	$V_{DD} = V_{DDIO} = 2.7\text{--}3.6\text{ V}^{[22]}$	T = 25 °C	-	1.7	3.6	μA	
Hibernate Mode							
Hibernate mode current All regulators and oscillators off. SRAM retention GPIO interrupts are active Boost = OFF SIO pins in single ended input, unregulated output mode	$V_{DD} = V_{DDIO} = 4.5\text{--}5.5\text{ V}$	T = -40 °C	-	0.2	2	μA	
		T = 25 °C	-	0.24	2		
		T = 85 °C	-	2.6	15		
	$V_{DD} = V_{DDIO} = 2.7\text{--}3.6\text{ V}$	T = -40 °C	-	0.11	2		
		T = 25 °C	-	0.3	2		
		T = 85 °C	-	2	15		
	$V_{DD} = V_{DDIO} = 1.71\text{--}1.95\text{ V}$	T = -40 °C	-	0.9	2		
		T = 25 °C	-	0.11	2		
		T = 85 °C	-	1.8	15		
$I_{DDAR}^{[22]}$	Analog current consumption while device is reset	$V_{DDA} \leq 3.6\text{ V}$	-	0.3	0.6	mA	
		$V_{DDA} > 3.6\text{ V}$	-	1.4	3.3	mA	
$I_{DDDR}^{[22]}$	Digital current consumption while device is reset	$V_{DDD} \leq 3.6\text{ V}$	-	1.1	3.1	mA	
		$V_{DDD} > 3.6\text{ V}$	-	0.7	3.1	mA	
$I_{DD_PROG}^{[22]}$	Current consumption while device programming. Sum of digital, analog, and I/Os: $I_{DD} + I_{DDA} + I_{DDIOX}$.		-	15	21	mA	

Konwerter podwyższający napięcie (Boost Converter) [2]

- Można go użyć w przypadku zasilania źródłem o wydajności poniżej 1,71V.
- Można go użyć również w celu podwyższenia napięcia dostarczanego do wymagających tego peryferiów, np. przy zasilaniu LCD 5V w systemie 3,3V.
- Pracuje w zakresie napięć wejściowych 0,5V – 3,6V.
- W celu poprawnej pracy niezbędne są elementy zewnętrzne: cewka 10uH, kondensatory odsprzęgające i dioda Schottky (dla napięć wyjściowych ponad 3,6V).
- Wydajność konwertera do 75mA, napięcie wyjściowe do 5,5V.
- Zwiększenie napięcia jest maksymalnie czterokrotne.

Konwerter podwyższający napięcie (Boost Converter) [2] c.d.



Chip Power Modes	Boost Power Modes
Chip -Active or alternate active mode	Boost must be operated in its active mode.
Chip -Sleep mode	Boost can be operated in either active or sleep mode. In boost sleep mode, the chip must wake up periodically for boost active-mode refresh.
Chip-Hibernate mode	Boost can be operated in either active or sleep mode. However, it is recommended not to use the boost with chip hibernate mode due to the higher current consumption. In boost sleep mode, the chip must wake up periodically for boost active-mode refresh.

If the boost converter is not used, tie the VBAT, VSSB, and VBOOST pins to ground and leave the Ind pin unconnected.

Table 11-6. Inductive Boost Regulator DC Specifications^[24]

Unless otherwise specified, operating conditions are: $L_{BOOST} = 10 \mu\text{H}$, $C_{BOOST} = 22 \mu\text{F} \parallel 0.1 \mu\text{F}$, $2 < V_{BAT}:V_{OUT} \leq 4$.

Parameter	Description	Conditions	Min	Typ	Max	Units
V_{BAT}	Input voltage, includes startup voltage ^[25]	$I_{OUT} < 7.5 \text{ mA}$, $V_{OUT} = 1.8 \text{ V}$ nominal	0.5	–	0.6	V
		External diode required if $V_{BAT} < 0.9 \text{ V}$	0.6	–	3.6	V
I_{OUT}	Load current, steady state ^[25]	$V_{BAT} = 1.6 - 3.6 \text{ V}$, $V_{OUT} = 1.6 - 3.6 \text{ V}$	–	–	75	mA
		$V_{BAT} = 1.6 - 3.6 \text{ V}$, $V_{OUT} = 3.6 - 5.0 \text{ V}$, external diode	–	–	50	mA
		$V_{BAT} = 0.5 - 1.6 \text{ V}$, $V_{OUT} = 1.6 - 3.6 \text{ V}$	–	–	15	mA
		$V_{BAT} = 0.5 - 1.6 \text{ V}$, $V_{OUT} = 3.6 - 5.0 \text{ V}$, external diode	–	–	15	mA
I_{LPK}	Inductor peak current		–	–	700	mA
I_Q	Quiescent current	Boost active mode	–	250	–	μA
		Boost sleep mode, $I_{OUT} < 1 \mu\text{A}$	–	25	–	μA
V_{OUT}	Boost output voltage ^[26]	1.8 V nominal	1.71	1.8	1.89	V
		1.9 V nominal	1.81	1.90	2.00	V
		2.0 V nominal	1.90	2.00	2.10	V
		2.4 V nominal	2.28	2.40	2.52	V
		2.7 V nominal	2.57	2.70	2.84	V
		3.0 V nominal	2.85	3.00	3.15	V
		3.3 V nominal	3.14	3.30	3.47	V
		3.6 V nominal, External diode required	3.42	3.60	3.78	V
		5.0 V nominal, External diode required	4.75	5.00	5.25	V
$V_{OUT} : V_{BAT}$	Ratio of V_{OUT} to V_{BAT}		–	–	4	ratio
Reg_{LOAD}	Load regulation		–	–	5	%
Reg_{LINE}	Line regulation		–	–	5	%

Table 11-7. Inductive Boost Regulator AC Specifications

Parameter	Description	Conditions	Min	Typ	Max	Units
V_{RIPPLE}	Ripple voltage, peak-to-peak ^[27]	$L_{BOOST} = 10 \mu H$, $C_{BOOST} = 22 \mu F \parallel 0.1 \mu F$, $2 < V_{BAT}:V_{OUT} \leq 4$, $I_{OUT} = 10 \text{ mA}$	–	–	100	mV

Table 11-8. Recommended External Components for Boost Circuit

Parameter	Description	Conditions	Min	Typ	Max	Units
L_{BOOST}	Boost inductor		4.7	10	22	μH
C_{BOOST}	Filter capacitor ^[27]	$L_{BOOST} = 4.7 \mu H$	–	10	–	μF
		$L_{BOOST} = 10 \mu H$	–	22	–	μF
		$L_{BOOST} = 22 \mu H$	–	22	–	μF
I_F	External Schottky diode average forward current		1	–	–	A
V_R			20	–	–	V

Figure 11-8. Efficiency vs I_{OUT} $V_{BOOST} = 3.3 \text{ V}$, $L_{BOOST} = 10 \mu H$ ^[28]

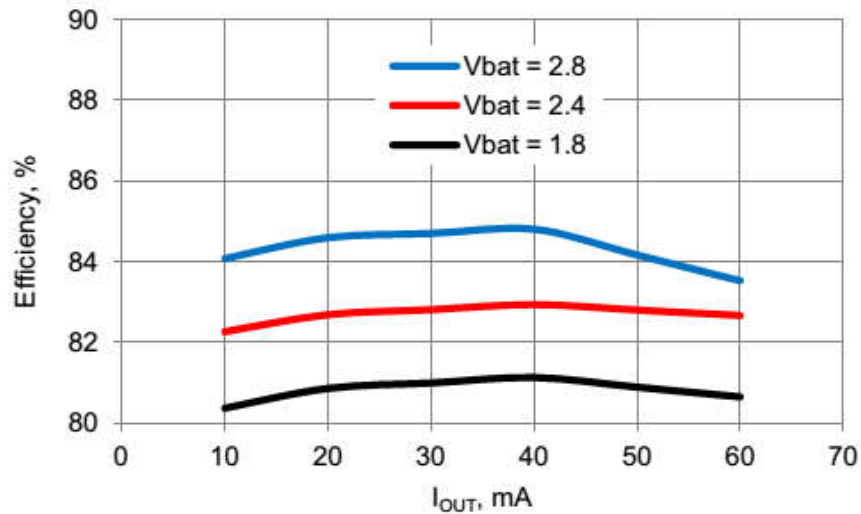
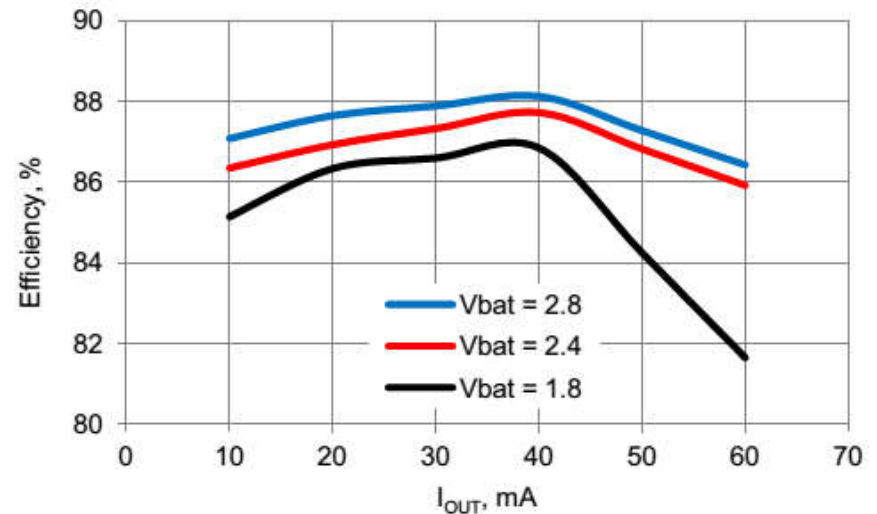


Figure 11-9. Efficiency vs I_{OUT} $V_{BOOST} = 3.3 \text{ V}$, $L_{BOOST} = 22 \mu H$ ^[28]



Reset układu PSoC [2]

Reset systemu jest to:

- Wyzerowanie rejestrów procesora oraz cyfrowych i analogowych bloków peryferyjnych.

Możliwe źródła resetu:

- Układ monitorujący napięcia zasilające. Monitorowane są napięcia VDDA, VDDD, VCCA, VCCD w czasie włączania zasilania i w trybach Active i Sleep. Jeśli napięcie wyjdzie ze zdefiniowanego wcześniej przedziału generowany jest reset. Monitory napięć są programowalne i można tak je zaprogramować aby generowały przerwanie przed osiągnięciem progu generowania resetu.
- Źródło resetu zewnętrznego. Układ może być zresetowany poprzez ustawienie stanu niskiego na wyprowadzeniu XRES. Pin ma wbudowane podciągnięcie do VDDIO1. Napięcia VDDD, VDDA i VDDIO1 muszą być przyłożone wcześniej niż układ wyjdzie z resetu.
- Timer układu Watchdog. Jeśli Timer układu Watchdog nie zostanie zresetowany programowo w pewnym czasie wówczas Watchdog spowoduje reset.
- Reset programowy.

Reset układu PSoC [2] c.d.

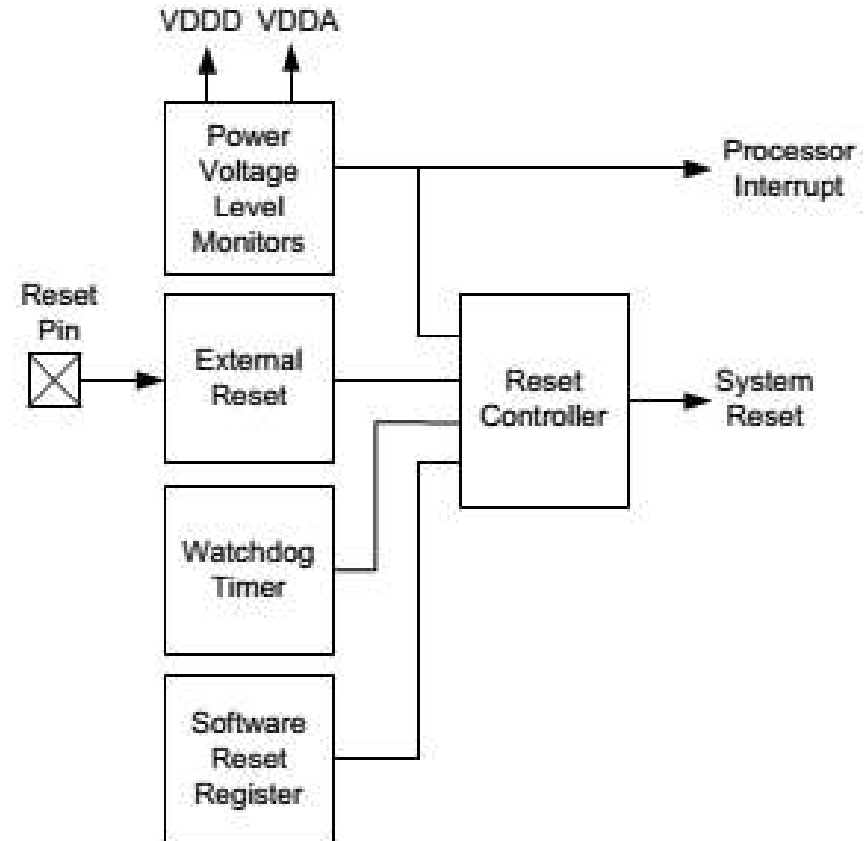
Monitor napięć IPOR – Initial Power-On-Reset:

- po włączeniu zasilania układ IPOR monitoruje napięcia VDDD, VDDA, VCCD i VCCA.

- przy napięciu około 1V generowany jest impuls resetu o długości około 150ns, czas trwania resetu może się wydłużyć jeśli niektóre napięcia zwiększają swoją wartość wolno,

- ponowny spadek dowolnego z napięć VDDx poniżej progu i histerezy (około 100mV) na czas ponad 10us powoduje kolejny reset.

- następnie IPOR jest deaktywowany a aktywuje się blok PRES.



Reset układu PSoC [2] c.d.

Monitor napięć PRES – Precise Low-Voltage Reset:

- układ monitoruje wyjścia wewnętrznych stabilizatorów układu po włączeniu zasilania, wyjścia regulatorów są porównane do precyzyjnego napięcia odniesienia, działanie jest identyczne jak IPOR,
- w czasie pracy nie można wyłączyć działania cyfrowego bloku PRES, blok PRES części analogowej można wyłączyć,
- PRES jest automatycznie wyłączany w stanie Sleep i Hiberante z tym wyjątkiem, że w czasie Sleep regulatory są okresowo włączane (buzzed) w celach nadzorczych.

Układy ALVI, DLVI, AHVI Analog/Digital Low Voltage Interrupt, Analog High Voltage Interrupt:

- generowane jest przerwanie w momencie wykrycia wyjścia napięcia VDDA, VDDD poza zakres ,

Interrupt	Supply	Normal Voltage Range	Available Trip Settings
DLVI	VDDD	1.71 V-5.5 V	1.70 V-5.45 V in 250 mV increments
ALVI	VDDA	1.71 V-5.5 V	1.70 V-5.45 V in 250 mV increments
AHVI	VDDA	1.71 V-5.5 V	5.75 V

- dla bloków ALVI, DLVI, zakres jest programowany a dla AHVI jest to wartość stała.

Reset układu PSoC [2] c.d.

Układy ALVI, DLVI, AHVI Analog/Digital Low Voltage Interrupt, Analog High Voltage Interrupt c.d.:

- układy ALVI, DLVI mogą generować reset zamiast przerwania,
- dla bloków ALVI, DLVI, zakres jest programowany a dla AHVI jest to wartość stała,
- układy monitorów napięć są nieaktywne w czasie aktywności IPOR, w czasie Sleep układy są okresowo wzbudzane, jeśli wówczas pojawi się przerwanie system najpierw jest wybudzany a następnie obsłużone może zostać przerwanie,
- okres wzbudzania jest regulowany.

Reset układu PSoC [2] c.d.

XRES – reset zewnętrzny:

- układ PSoC 5LP ma zarówno dedykowany pin resetu jak i można skonfigurować jeden z GPIO (P1[2]) jako reset zewnętrzny,
- odpowiedź układu na reset zewnętrzny jest taka sama jak na układ IPOR,
- reset zewnętrzny na wbudowane podciąganie do zasilania i jest aktywny stanem niskim.

SRES – reset programowy:

- wykonywany jest poprzez ustawienie odpowiedniego bitu w rejestrze resetu programowego,
- ustawienie tego bitu może nastąpić programowo lub poprzez blok DMA,
- skutek jest taki sam jak resetu IPOR,
- istnieje inny bit rejestru resetu blokujący funkcję resetu programowego.

Reset układu PSoC [2] c.d.

WRES – reset Timera Watchdoga:

- reset WRES wykrywa sytuację kiedy oprogramowanie nie działa prawidłowo,
- program główny mikrokontrolera musi okresowo zerować Watchdog – jeśli tego nie zrobi Watchdog wygeneruje reset,
- IPOR wyłącza Watchdog, należy aktywować Watchdog programowo po każdym resecie, aktywacja Watchdoga wykonywana jest poprzez ustawienie odpowiedniego bitu w rejestrze, bit ten raz ustawiony nie może być usunięty programowo – tylko IPOR usuwa bit Watchdoga.

System zegarów w PSoC 5LP [2]

- System generuje, dzieli i dystrybuuje sygnały zegarowe w układzie scalonym.
- Konfiguracja wykonywana jest z poziomu graficznego interfejsu PSoC Creator IDE.
- Możliwych jest 7 źródeł sygnału zegarowego:
 - IMO: wewnętrzny generator RC, 3-74MHz,
 - MHzECO: generator kwarcowy 4 – 25MHz, wymaga dołączenia zewnętrznego kwarca,
 - podwajacz częstotliwości, używany do wytwarzania sygnałów zegarowych dla USB,
 - DSI: sygnał zewnętrzny podany na wyprowadzenie I/O,
 - PLL: ułamkowe PLL które jako sygnał wejściowy może używać IMO, MHzECO lub DSI,
 - ILO: generator 1kHz, 33kHz i 100kHz do Watchdoga, i timera układu Sleep,
 - kHzECO: generator kwarcowy 32768Hz, wymagany jest zewnętrzny kwarc.
- Generator IMO może pracować w trybie USB i nie jest potrzeby zewnętrzny kwarc do używania USB.

System zegarów w PSOC 5LP [2] c.d.

- Niezależne wejścia do każdego z dzielników częstotliwości.
- Osiem 16-to bitowych dzielników częstotliwości dla części cyfrowej.
- Cztery 16-to bitowe dzielniki częstotliwości dla części analogowej.
- Dedykowany 16-to bitowy dzielnik dla CPU.

Source	Fmin	Tolerance at Fmin	Fmax	Tolerance at Fmax	Startup Time
IMO	3 MHz	±1% over voltage and temperature	74 MHz	±7%	13 µs max
MHzECO	4 MHz	Crystal dependent	25 MHz	Crystal dependent	5 ms typ, max is crystal dependent
DSI	0 MHz	Input dependent	66 MHz	Input dependent	Input dependent
PLL	24 MHz	Input dependent	80 MHz	Input dependent	250 µs max
Doubler	48 MHz	Input dependent	48 MHz	Input dependent	1 µs max
ILO	1 kHz	-50%, +100%	100 kHz	-55%, +100%	15 ms max in lowest power mode
kHzECO	32 kHz	Crystal dependent	32 kHz	Crystal dependent	500 ms typ, max is crystal dependent

Table 11-81. IMO AC Specifications

Parameter	Description	Conditions	Min	Typ	Max	Units
F _{IMO} ^[88]	IMO frequency stability (with factory trim)					
	74.7 MHz		-7	-	7	%
	62.6 MHz		-7	-	7	%
	48 MHz		-5	-	5	%
	24 MHz – non-USB mode		-4	-	4	%
	24 MHz – USB mode	With oscillator locking to USB bus	-0.25	-	0.25	%
	12 MHz		-3	-	3	%
	6 MHz		-2	-	2	%
	3 MHz	0 °C to 70 °C	-1	-	1	%
		-40 °C to 85 °C	-1.5	-	1.5	%
3-MHz frequency stability after typical PCB assembly post-reflow	Typical (non-optimized) board layout and 250 °C solder reflow. Device may be calibrated after assembly to improve performance.	-	±2%	-	%	

Notes

88. F_{IMO} is measured after packaging, and thus accounts for substrate and die attach stresses.

89. Based on device characterization (Not production tested).

Figure 11-77. IMO Frequency Variation vs. Temperature

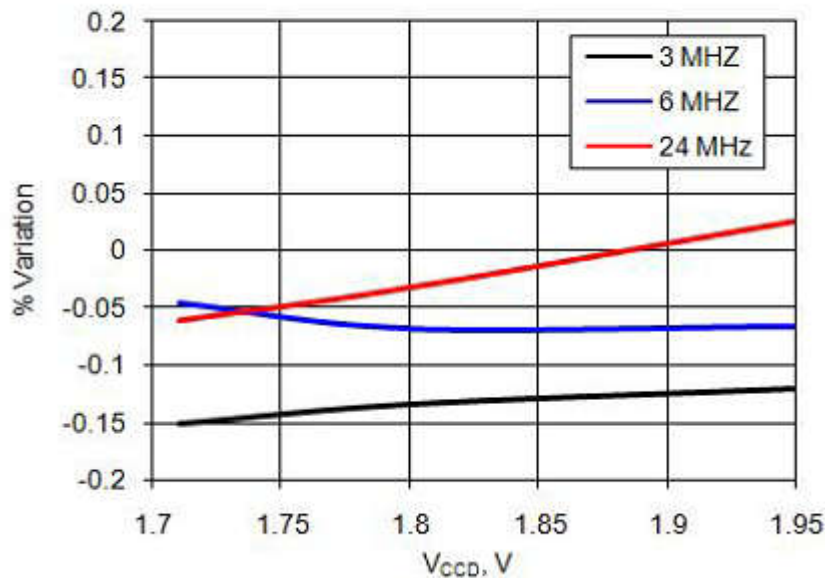


Figure 11-78. IMO Frequency Variation vs. V_{CC}

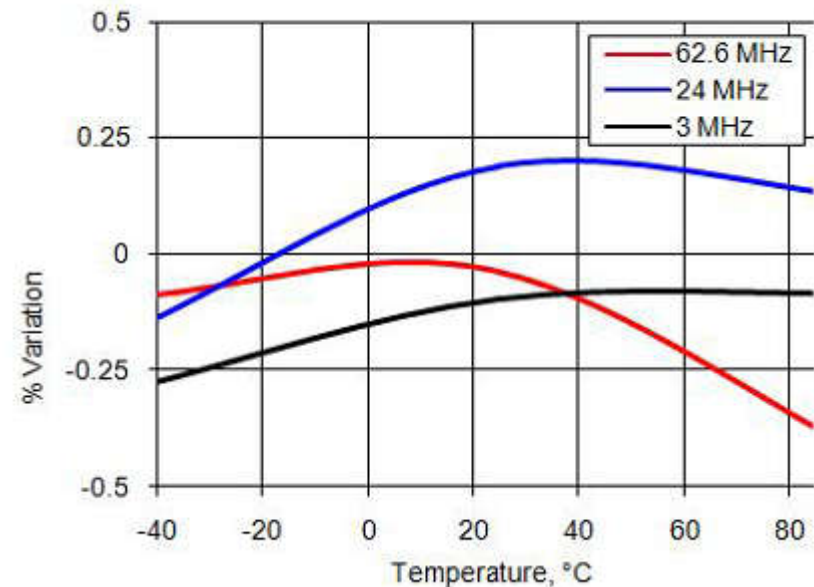


Table 11-82. ILO DC Specifications

Parameter	Description	Conditions	Min	Typ	Max	Units
I _{CC}	Operating current ^[92]	F _{OUT} = 1 kHz	-	-	1.7	μA
		F _{OUT} = 33 kHz	-	-	2.6	μA
		F _{OUT} = 100 kHz	-	-	2.6	μA
	Leakage current ^[92]	Power down mode	-	-	15	nA

Table 11-83. ILO AC Specifications^[93]

Parameter	Description	Conditions	Min	Typ	Max	Units
T _{start_ilo}	Startup time, all frequencies	Turbo mode	-	-	2	ms
F _{ILO}	ILO frequencies					
	100 kHz		45	100	200	kHz
	1 kHz		0.5	1	2	kHz

Figure 11-79. ILO Frequency Variation vs. Temperature

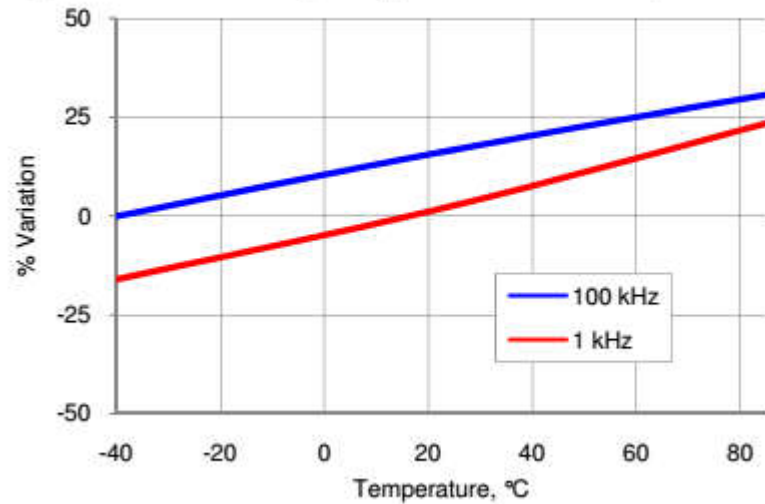
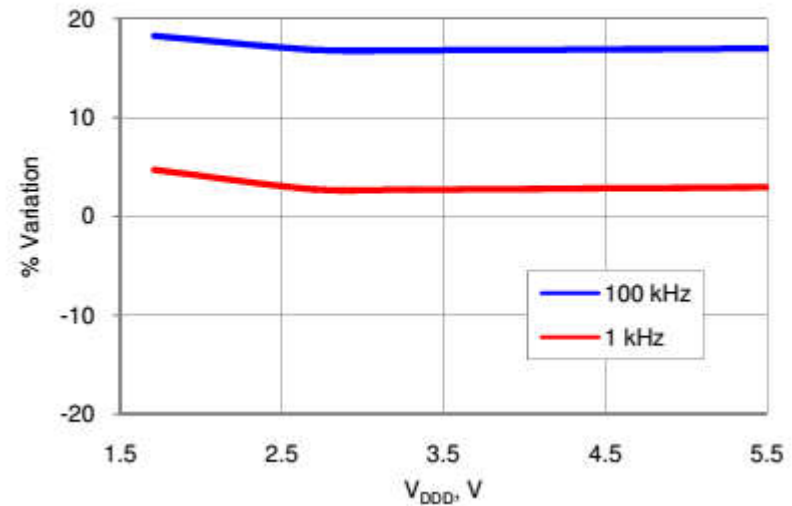
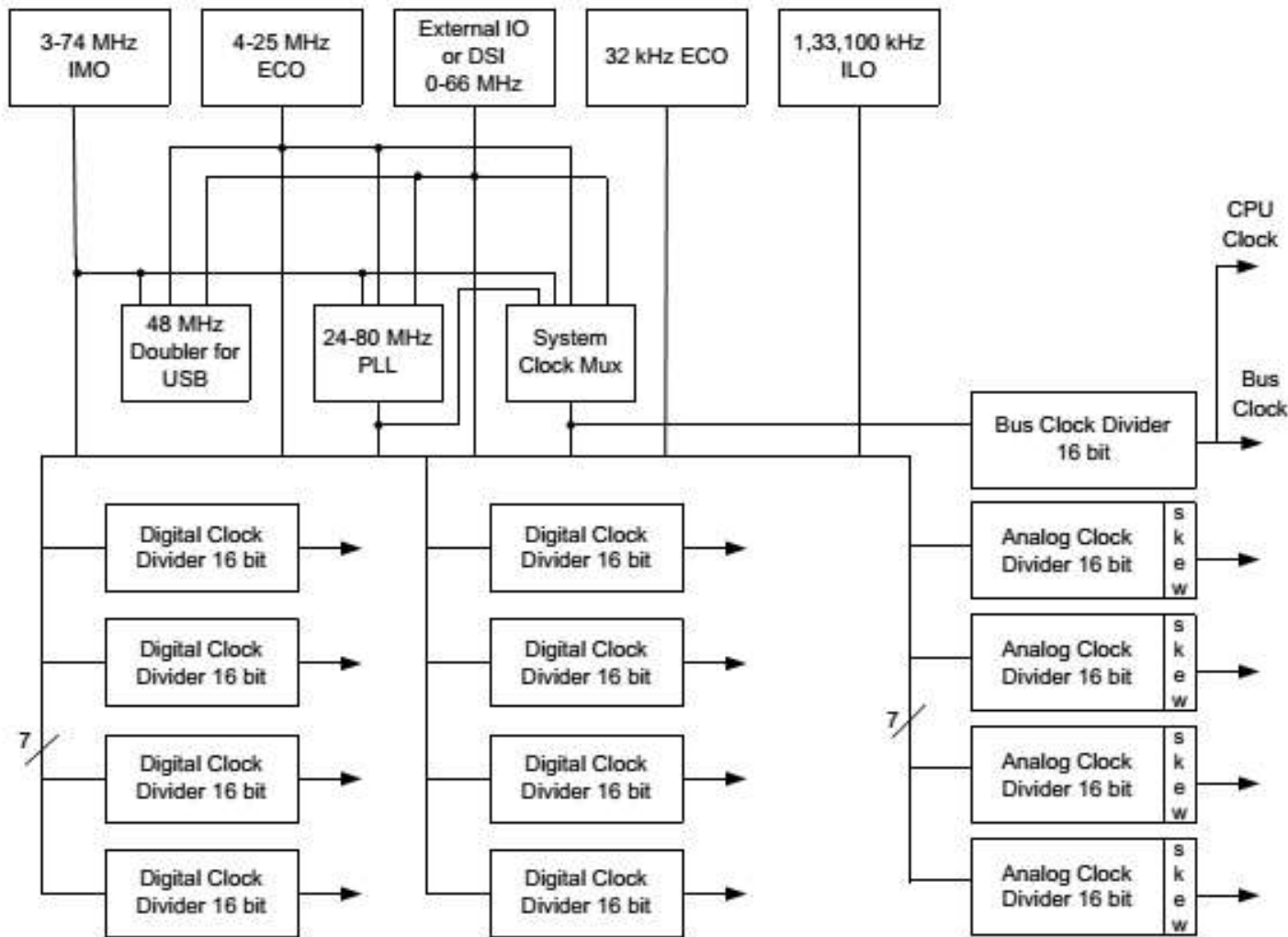


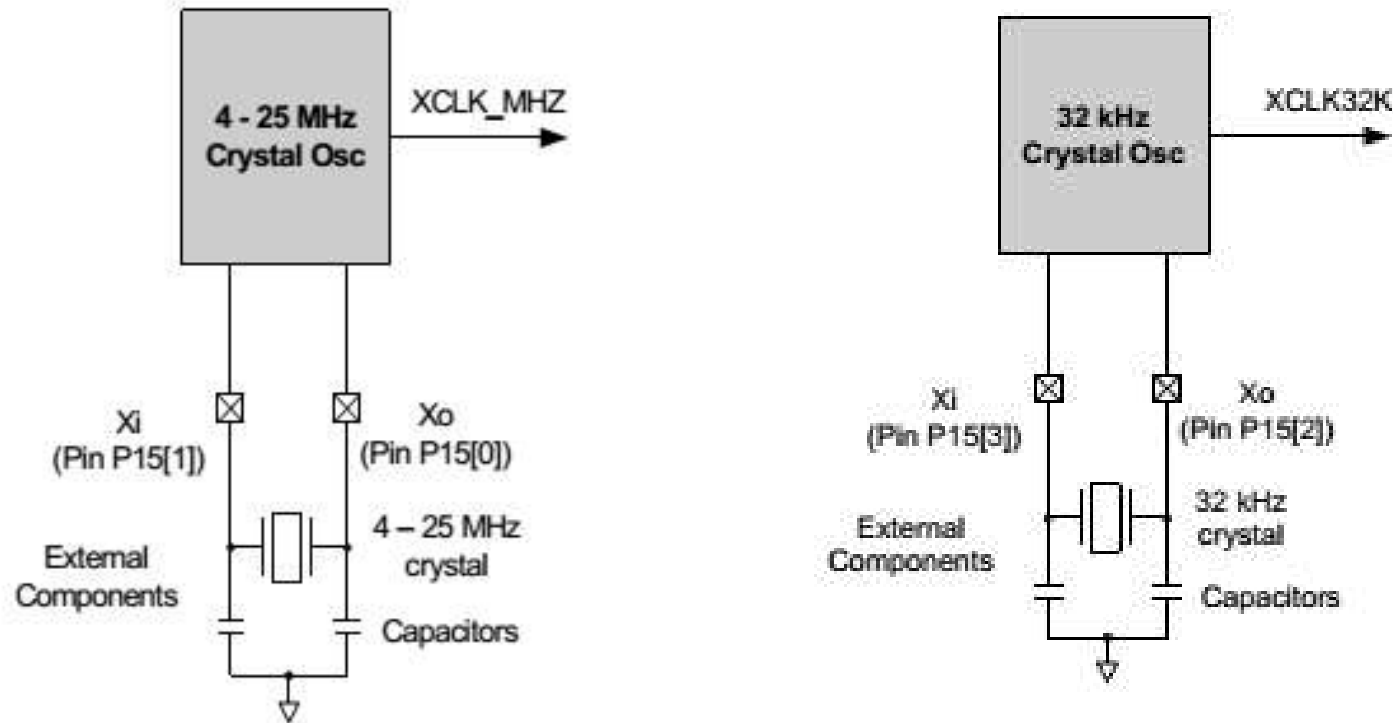
Figure 11-80. ILO Frequency Variation vs. V_{DD}



System zegarów w PSOC 5LP [2] c.d.



System zegarów w PSOC 5LP [2] c.d.



Wyprowadzenia I/O [2]

Rodzaje możliwych wyprowadzeń I/O:

- GPIO: General Purpose I/O,
- SIO: Special I/O
- USBIO.

Właściwości GPIO oraz SIO [2]:

- Programowany przez użytkownika port resetu.
- Oddzielne 4 grupy napięć zasilania.
- Możliwość dołączania zewnętrznych sygnałów zegara.
- Wejście i wyjście dla CPU i DMA.
- Osiem trybów sterowania.
- Każdy pin może być źródłem przerwania.
- Sterowana wartość SR.
- Oddzielne rejestry zapisu i odczytu portu.
- Specjalne funkcje pinów w zależności od konkretnego wyprowadzenia.

Dodatkowe cechy GPIO [2]:

- Możliwość bezpośredniego sterowania wyświetlaczami LCD.
- CapSense.
- Funkcje wejść i wyjść analogowych.
- Standardowe siły sterowania dla napięć spadających w dół do 1.71V.
- Możliwość wytwarzania prądu testującego 100 μ A.

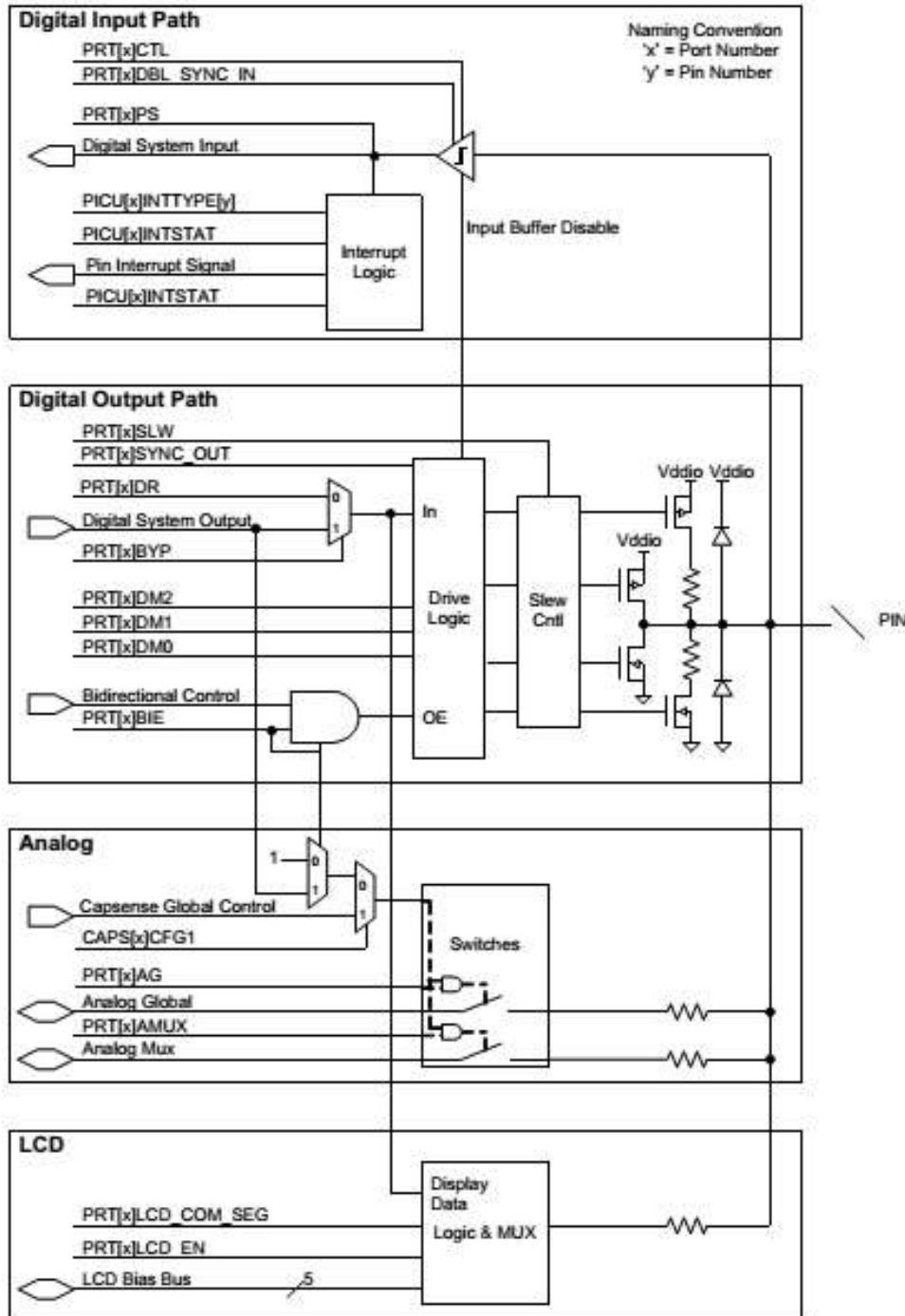
Dodatkowe cechy SIO [2]:

- Większe siły sterowania niż GPIO.
- Zgodność ze standardem Hot Swap.
- Programowalne i regulowane wartości stanów wysokich spadające nawet do wartości 1,2V.
- Nie mają wejść analogowych, CapSense ani możliwości sterowania LCD.
- Tolerancja na napięcia do 5,5V.
- SIO może być analogowym komparatorem ogólnego przeznaczenia.

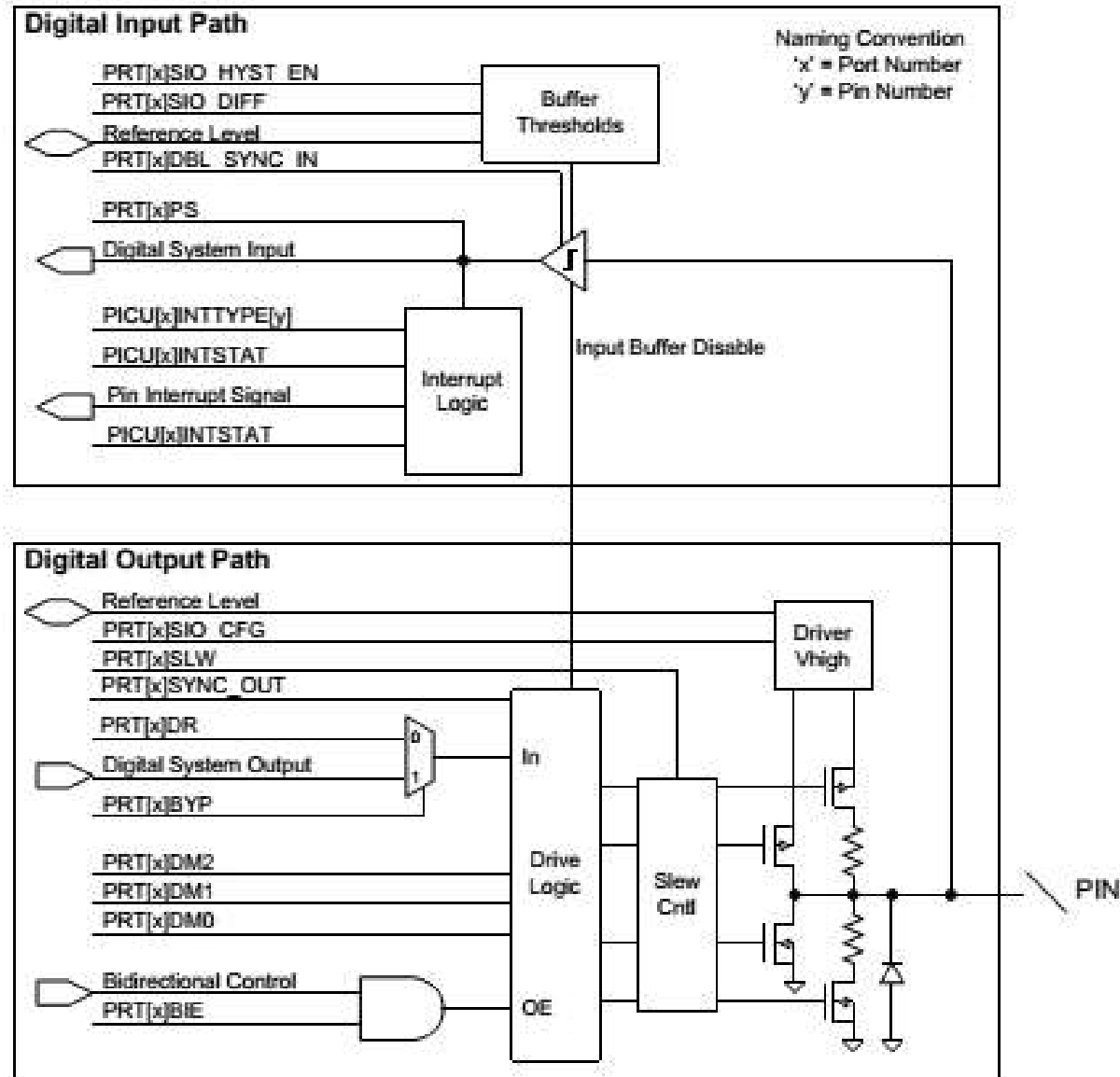
Cechy wyprowadzeń USBIO [2]:

- Wyprowadzenia zgodne ze standardem Full Speed USB 2.0.
- Największe siły sterowania w przypadku użycia jako GPIO.
- Wejście i wyjście dla CPU i DMA.
- Wejście i wyjście cyfrowe.
- Możliwe źródło generacji przerwania na zboczach sygnału.

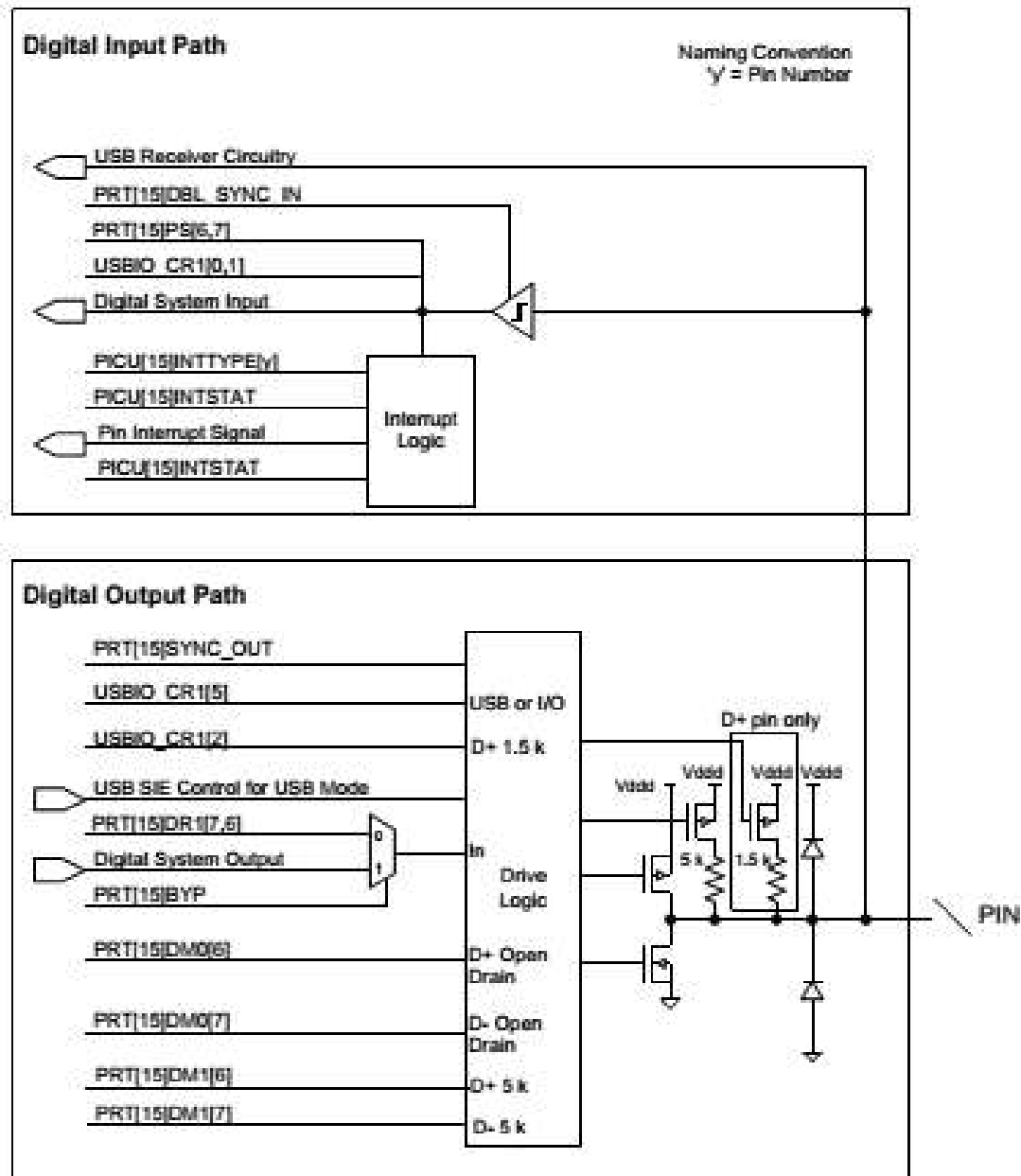
Schemat blokowy GPIO [2]



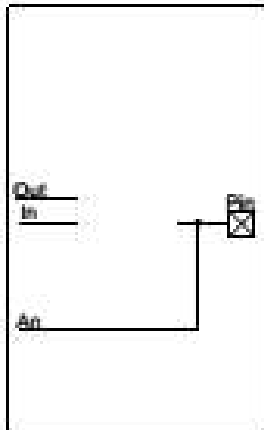
Schemat blokowy SIO [2]



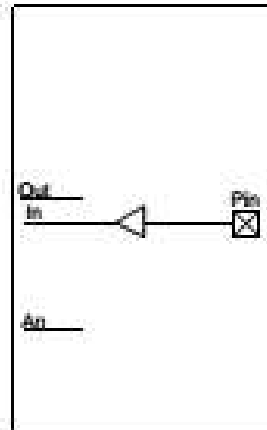
Schemat blokowy USBIO [2]



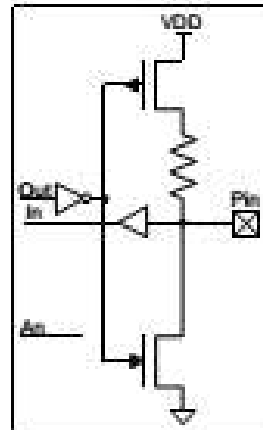
Tryby sterowania GPIO i SIO [2]



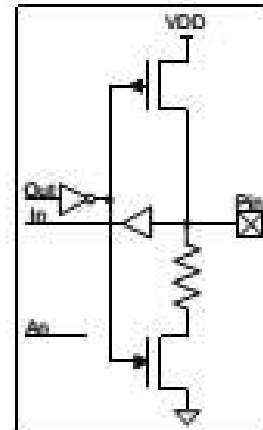
0. High Impedance Analog



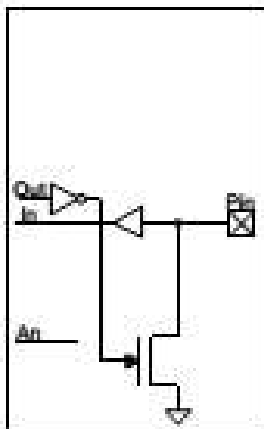
1. High Impedance Digital



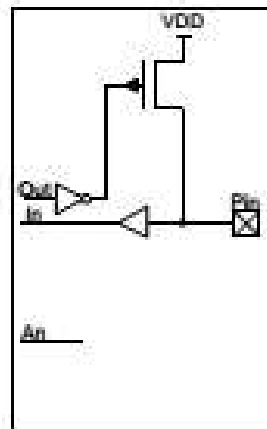
2. Resistive Pull-Up



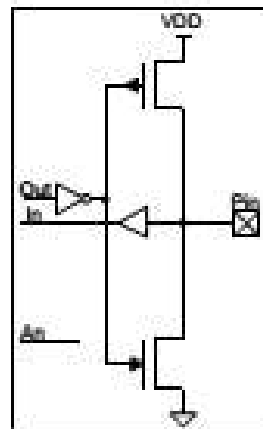
3. Resistive Pull-Down



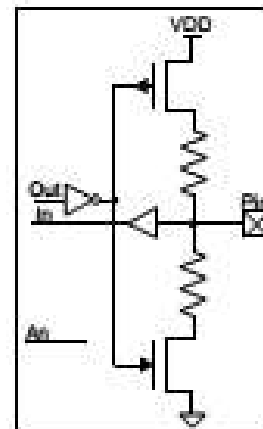
4. Open Drain, Drives Low



5. Open Drain, Drives High



6. Strong Drive



7. Resistive Pull-Up and Pull-Down

The 'Out' connection is driven from either the Digital System (when the Digital Output terminal is connected) or the Data Register (when HW connection is disabled).

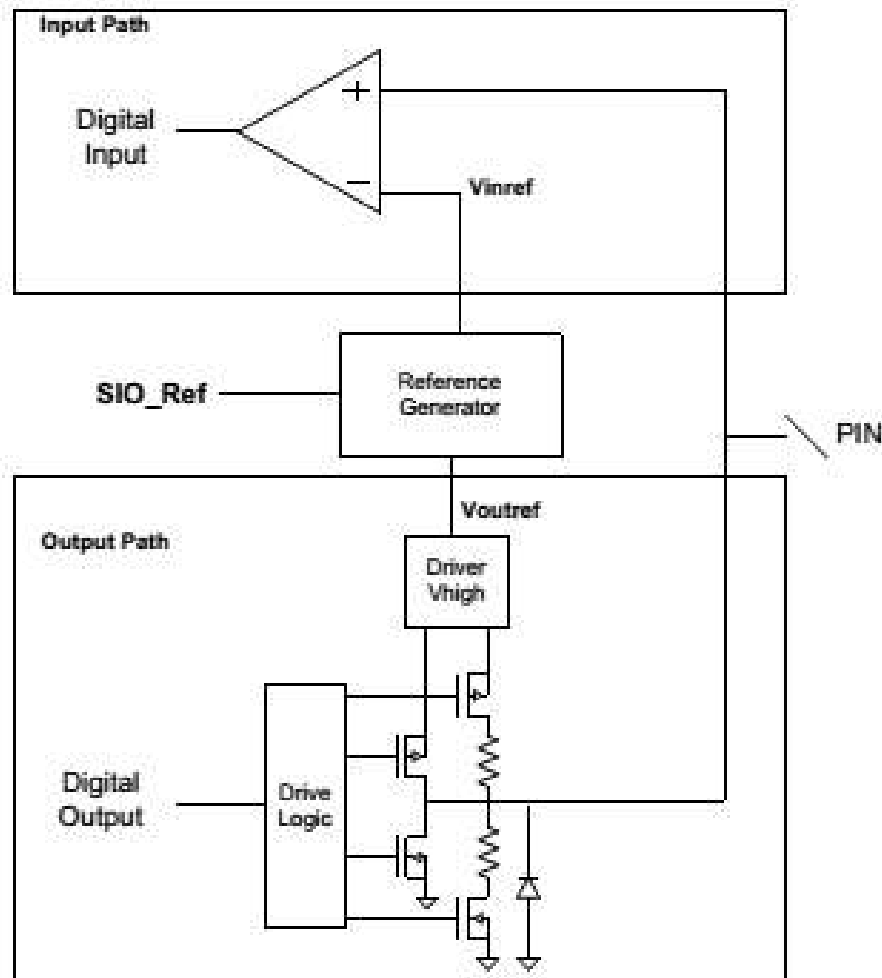
The 'In' connection drives the Pin State register, and the Digital System if the Digital Input terminal is enabled and connected.

The 'An' connection connects to the Analog System.

Dodatkowo sterowany jest SR, producent zaleca dla częstotliwości sygnałów poniżej 1MHz ustawiać niskie SR a dla 1-33MHz wysokie SR.

Przerwania (PICU) mogą być skonfigurowane indywidualnie dla każdego pinu jako aktywne na zboczu narastającym, opadającym, obydwu zboczach lub wyłączone.

Regulowany poziom wysoki dla wyprowadzeń SIO [2]



Możliwe wartości progowe dla wejścia:

- $0.5 \times VDDIO$
- $0.4 \times VDDIO$
- $0.5 \times VREF$
- $VREF$

Wejście SIO może być także użyte jako analogowy komparator sygnału wejściowego.

Dodatkowe funkcje wyprowadzeń [2]

- Hot Swap – tylko dla wyprowadzeń SIO, wyprowadzenia te nie są obciążeniem ani przez nie nie przejdzie zasilanie do nie zasilonego układu PSoC.
- W czasie resetu wszystkie I/O są utrzymywane w stanie High Impedance Analog. Po usunięciu resetu stan I/O może być zaprogramowany.
- W trybach pracy Low Power wyprowadzenia I/O zachowują swój stan. Do obudzenia należy wykorzystać przerwanie pinu (nie portu bo ten nie działa w trybach o obniżonym poziomie mocy).

Dodatkowe funkcje wyprowadzeń [2]

c.d.

- Niektóre wyprowadzenia mają dodatkowe specjalne funkcje.
- Dla układów cyfrowych te funkcje to: wyprowadzenia kwarców, obudzenie na I2C, interfejs JTAG, interfejs SWD, SWV piny Traceport, reset zewnętrzny.
- Dla układów analogowych te funkcje to: wejścia i wyjścia wzmacniaczy operacyjnych, wysokoprądowe wyjścia przetworników IDAC, wyprowadzenia zewnętrznych napięć odniesienia.
- Układ PSoC 5LP ma na portach I/O interfejs JTAG i możliwe jest testowanie poprawności montażu z wykorzystaniem tego standardu.

Table 11-9. GPIO DC Specifications

Parameter	Description	Conditions	Min	Typ	Max	Units
V _{IH}	Input voltage high threshold	CMOS Input, PRT[x]CTL = 0	0.7 × V _{DDIO}	–	–	V
V _{IL}	Input voltage low threshold	CMOS Input, PRT[x]CTL = 0	–	–	0.3 × V _{DDIO}	V
V _{IH}	Input voltage high threshold	LVTTL Input, PRT[x]CTL = 1, V _{DDIO} < 2.7 V	0.7 × V _{DDIO}	–	–	V
V _{IH}	Input voltage high threshold	LVTTL Input, PRT[x]CTL = 1, V _{DDIO} ≥ 2.7 V	2.0	–	–	V
V _{IL}	Input voltage low threshold	LVTTL Input, PRT[x]CTL = 1, V _{DDIO} < 2.7 V	–	–	0.3 × V _{DDIO}	V
V _{IL}	Input voltage low threshold	LVTTL Input, PRT[x]CTL = 1, V _{DDIO} ≥ 2.7 V	–	–	0.8	V
V _{OH}	Output voltage high	I _{OH} = 4 mA at 3.3 V _{DDIO}	V _{DDIO} – 0.6	–	–	V
		I _{OH} = 1 mA at 1.8 V _{DDIO}	V _{DDIO} – 0.5	–	–	V
V _{OL}	Output voltage low	I _{OL} = 8 mA at 3.3 V _{DDIO}	–	–	0.6	V
		I _{OL} = 3 mA at 3.3 V _{DDIO}	–	–	0.4	V
		I _{OL} = 4 mA at 1.8 V _{DDIO}	–	–	0.6	V
R _{pullup}	Pull-up resistor		3.5	5.6	8.5	kΩ
R _{pulldown}	Pull-down resistor		3.5	5.6	8.5	kΩ
I _{IL}	Input leakage current (absolute value) ^[29]	25 °C, V _{DDIO} = 3.0 V	–	–	2	nA
C _{IN}	Input capacitance ^[29]	P0.0, P0.1, P0.2, P3.6, P3.7	–	17	20	pF
		P0.3, P0.4, P3.0, P3.1, P3.2	–	10	15	pF
		P0.6, P0.7, P15.0, P15.6, P15.7 ^[30]	–	7	12	pF
		All other GPIOs	–	5	9	pF
V _H	Input voltage hysteresis (Schmitt-Trigger) ^[29]		–	40	–	mV
I _{diode}	Current through protection diode to V _{DDIO} and V _{SSIO}		–	–	100	μA
R _{global}	Resistance pin to analog global bus	25 °C, V _{DDIO} = 3.0 V	–	320	–	Ω
R _{mux}	Resistance pin to analog mux bus	25 °C, V _{DDIO} = 3.0 V	–	220	–	Ω

Figure 11-10. GPIO Output High Voltage and Current

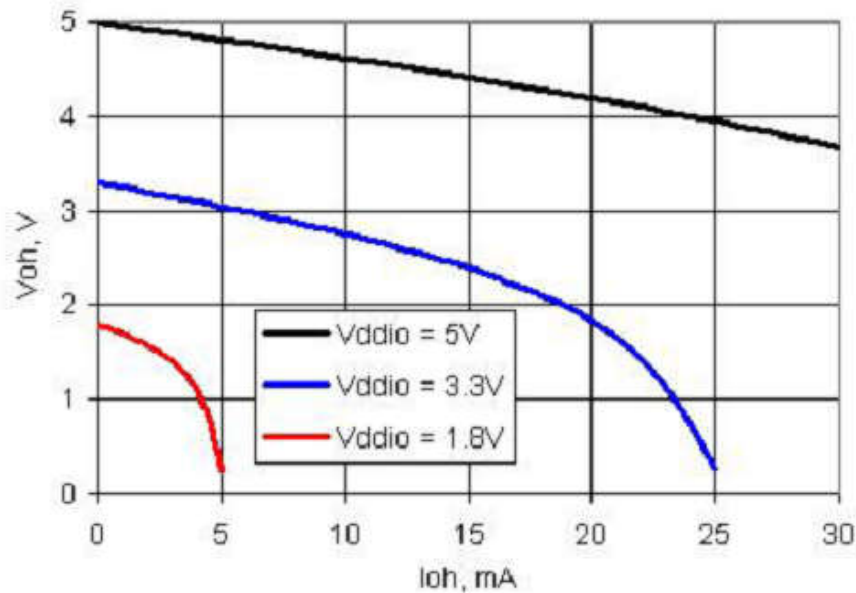


Figure 11-11. GPIO Output Low Voltage and Current

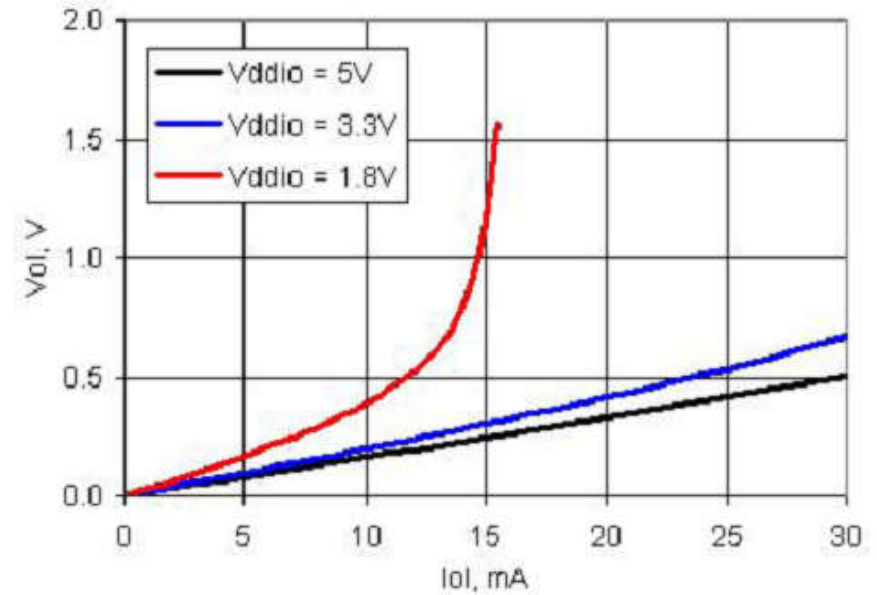


Table 11-10. GPIO AC Specifications^[31]

Parameter	Description	Conditions	Min	Typ	Max	Units
TriseF	Rise time in Fast Strong Mode	3.3 V V _{DDIO} Clload = 25 pF	–	–	6	ns
TfallF	Fall time in Fast Strong Mode	3.3 V V _{DDIO} Clload = 25 pF	–	–	6	ns
TriseS	Rise time in Slow Strong Mode	3.3 V V _{DDIO} Clload = 25 pF	–	–	60	ns
TfallS	Fall time in Slow Strong Mode	3.3 V V _{DDIO} Clload = 25 pF	–	–	60	ns
Fgpioout	GPIO output operating frequency					
	2.7 V ≤ V _{DDIO} ≤ 5.5 V, fast strong drive mode	90/10% V _{DDIO} into 25 pF	–	–	33	MHz
	1.71 V ≤ V _{DDIO} < 2.7 V, fast strong drive mode	90/10% V _{DDIO} into 25 pF	–	–	20	MHz
	3.3 V ≤ V _{DDIO} ≤ 5.5 V, slow strong drive mode	90/10% V _{DDIO} into 25 pF	–	–	7	MHz
Fgpioin	1.71 V ≤ V _{DDIO} < 3.3 V, slow strong drive mode	90/10% V _{DDIO} into 25 pF	–	–	3.5	MHz
	GPIO input operating frequency	90/10% V _{DDIO}	–	–	66	MHz

Table 11-11. SIO DC Specifications

Parameter	Description	Conditions	Min	Typ	Max	Units
V _{inmax}	Maximum input voltage	All allowed values of V _{DDIO} and V _{DDD} , see Section 11.1	–	–	5.5	V
V _{inref}	Input voltage reference (differential input mode)		0.5	–	0.52 × V _{DDIO}	V
V _{outref}	Output voltage reference (regulated output mode)					
		V _{DDIO} > 3.7	1	–	V _{DDIO} – 1	V
		V _{DDIO} < 3.7	1	–	V _{DDIO} – 0.5	V
V _{IH}	Input voltage high threshold					
	GPIO mode	CMOS input	0.7 × V _{DDIO}	–	–	V
	Differential input mode ^[32]	Hysteresis disabled	SIO_ref + 0.2	–	–	V
V _{IL}	Input voltage low threshold					
	GPIO mode	CMOS input	–	–	0.3 × V _{DDIO}	V
	Differential input mode ^[32]	Hysteresis disabled	–	–	SIO_ref – 0.2	V
V _{OH}	Output voltage high					
	Unregulated mode	I _{OH} = 4 mA, V _{DDIO} = 3.3 V	V _{DDIO} – 0.4	–	–	V
	Regulated mode ^[32]	I _{OH} = 1 mA	SIO_ref – 0.65	–	SIO_ref + 0.2	V
		I _{OH} = 0.1 mA	SIO_ref – 0.3	–	SIO_ref + 0.2	V
		no load, I _{OH} = 0	SIO_ref – 0.1	–	SIO_ref + 0.1	V
V _{OL}	Output voltage low					
		V _{DDIO} = 3.30 V, I _{OL} = 25 mA	–	–	0.8	V
		V _{DDIO} = 3.30 V, I _{OL} = 20 mA	–	–	0.4	V
		V _{DDIO} = 1.80 V, I _{OL} = 4 mA	–	–	0.4	V
R _{pullup}	Pull-up resistor		3.5	5.6	8.5	kΩ
R _{pulldown}	Pull-down resistor		3.5	5.6	8.5	kΩ
I _{IL}	Input leakage current (absolute value) ^[33]					
	V _{IH} ≤ V _{DDsio}	25 °C, V _{DDsio} = 3.0 V, V _{IH} = 3.0 V	–	–	14	nA
	V _{IH} > V _{DDsio}	25 °C, V _{DDsio} = 0 V, V _{IH} = 3.0 V	–	–	10	μA
C _{IN}	Input Capacitance ^[33]		–	–	9	pF
V _H	Input voltage hysteresis (Schmitt-Trigger) ^[33]					
		Single ended mode (GPIO mode)	–	115	–	mV
		Differential mode	–	50	–	mV
I _{diode}	Current through protection diode to V _{SSIO}		–	–	100	μA

Figure 11-12. SIO Output High Voltage and Current, Unregulated Mode

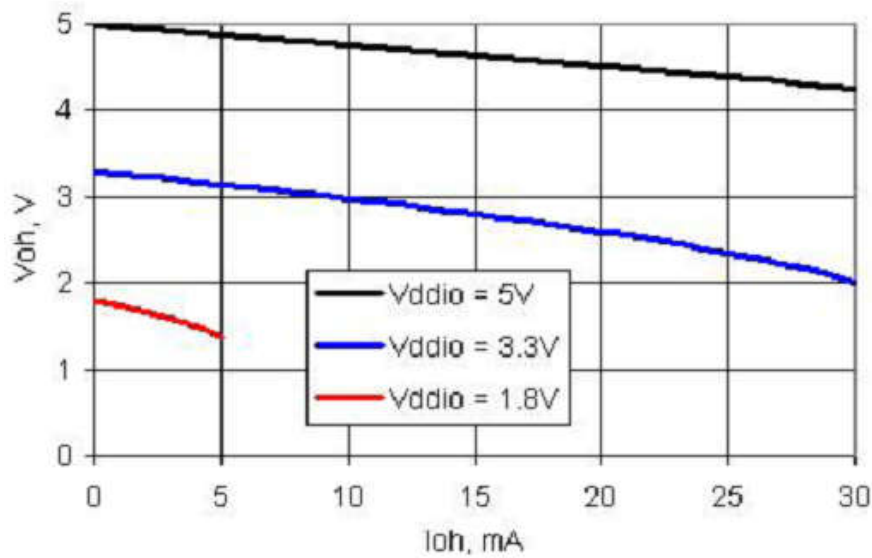


Figure 11-13. SIO Output Low Voltage and Current, Unregulated Mode

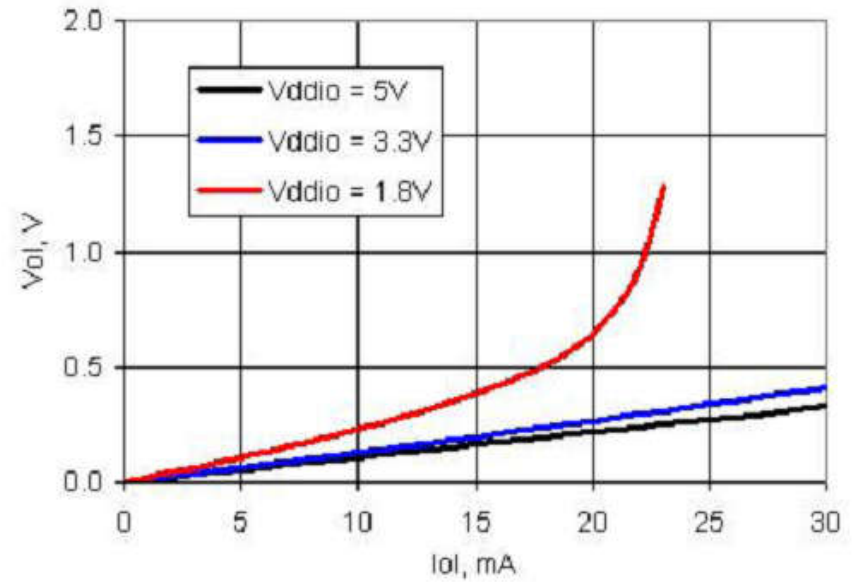
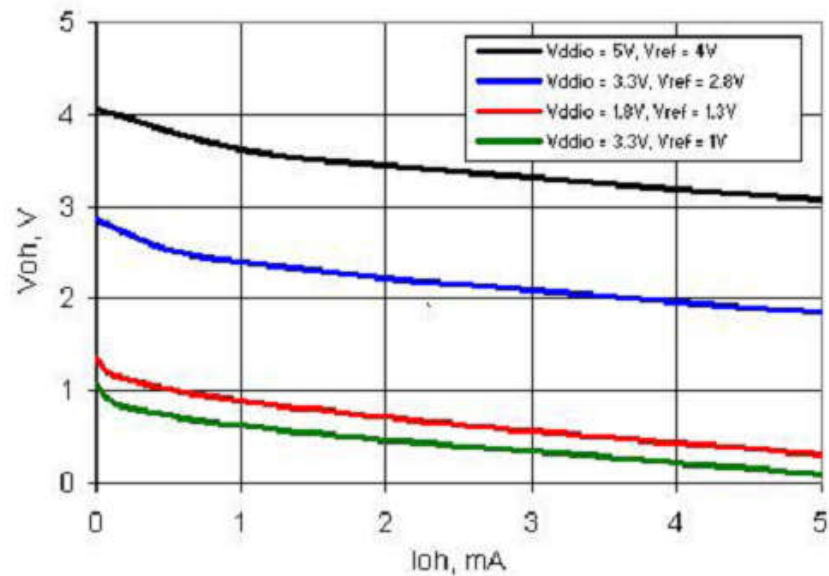


Figure 11-14. SIO Output High Voltage and Current, Regulated Mode

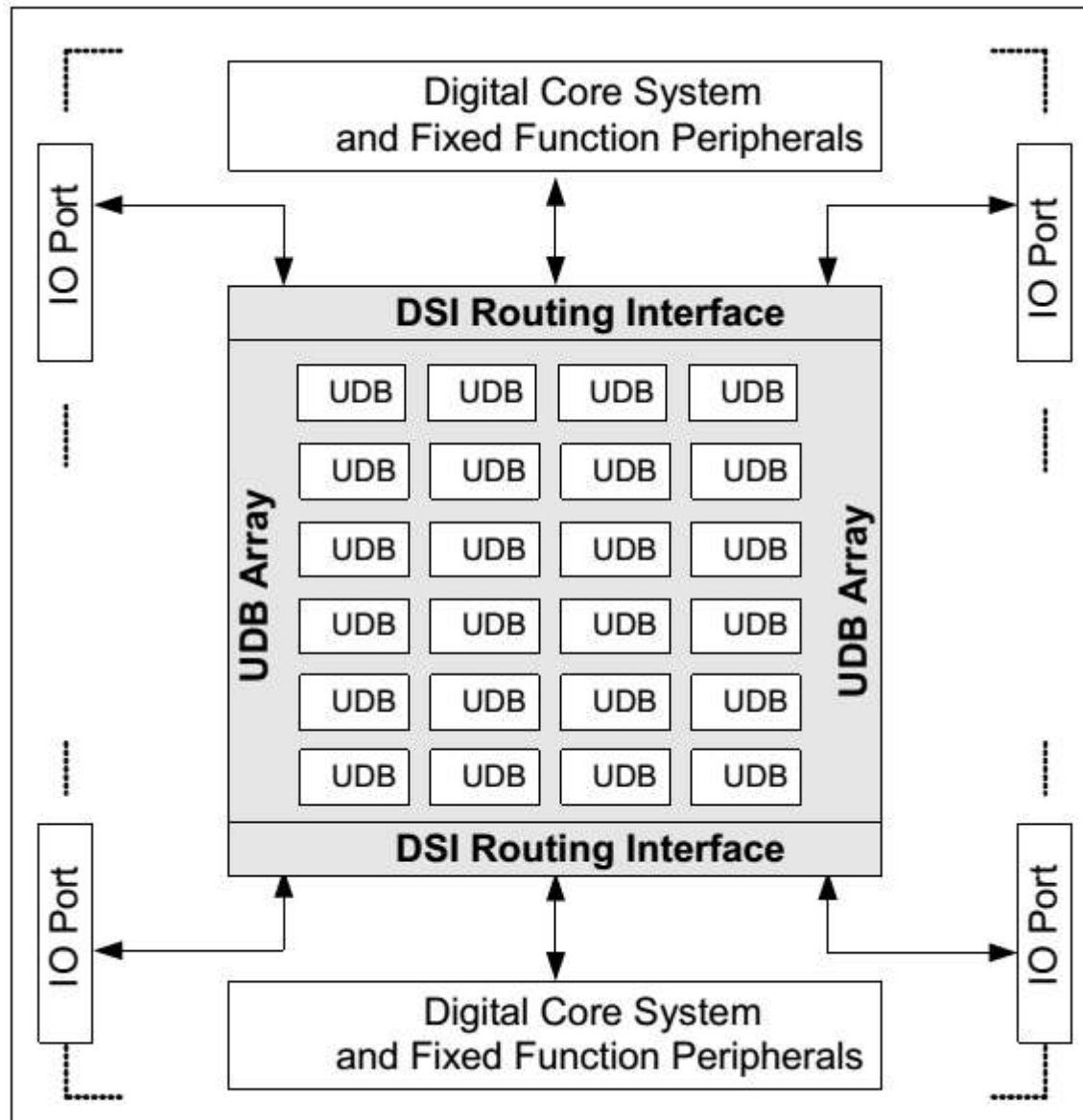


Programowalny podsystem cyfrowy [2]

Główne składniki programowalnego podsystemu cyfrowego stanowią:

- Bloki UDB (ang. universal digital blocks) – bloki te budują główną funkcjonalność systemu. UDB są zestawem niepołączonych układów typu PLD.
- Tablica bloków UDB – bloki UDB są ułożone w tablicę i mają programowalne połączenia pomiędzy sobą oraz do szyny połączeń globalnych DSI (ang. digital signal interconnect).
- Połączenia DSI – umożliwiają połączenie wyprowadzeń UDB, peryferiów sprzętowych, pinów I/O, przerwań, i wyprowadzeń DMA.

Podsystem cyfrowy [2] c.d.



Wykorzystanie bloków UDB [2]

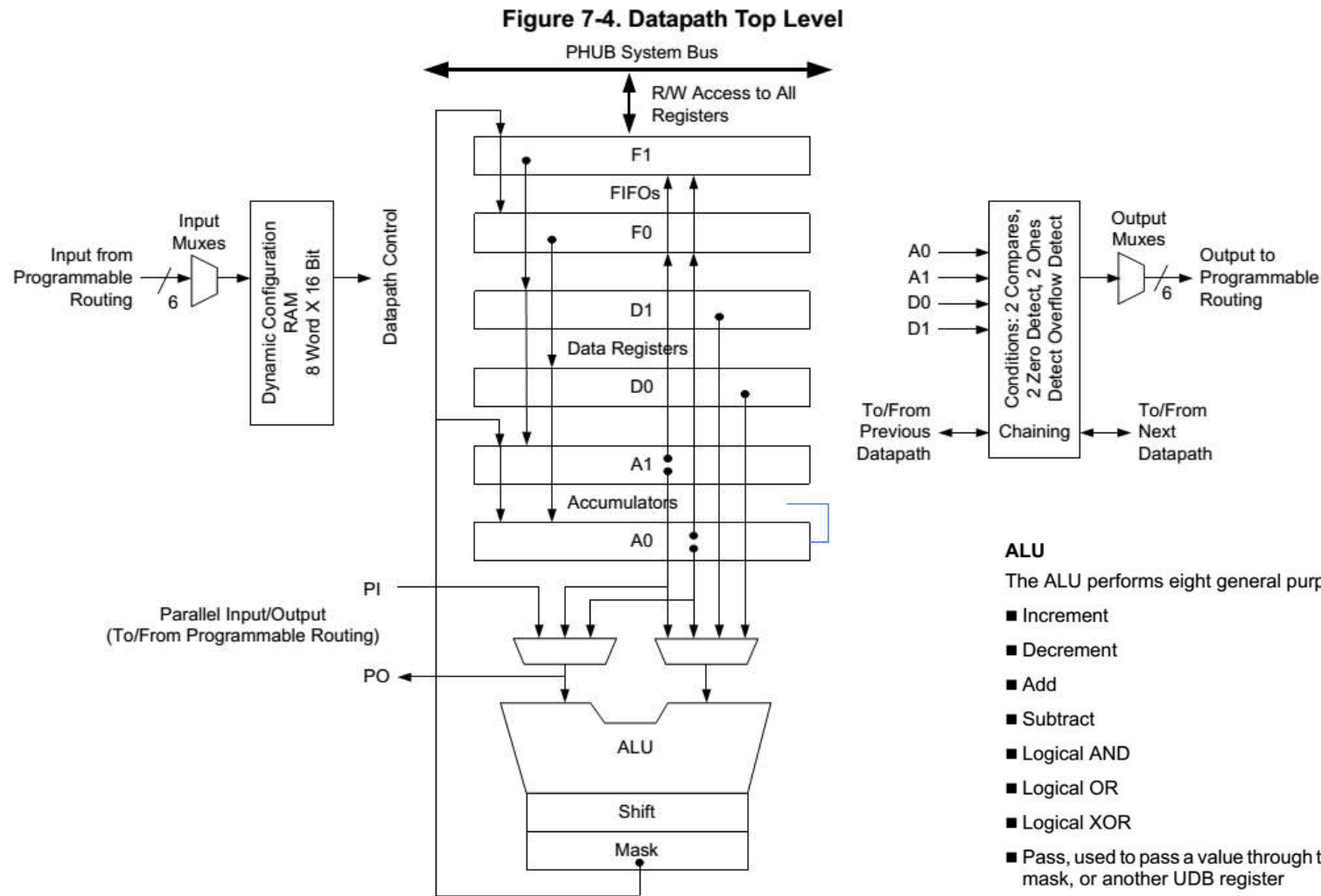
Programowalny podsystem cyfrowy można wykorzystać w praktyce poprzez:

- Zaprojektowanie układu w postaci schematu składającego się z bloków cyfrowych.
- Wykorzystanie biblioteki komponentów zawierającej m.in.: I2C, UART, SPI, EMIF, PWM, Timer, Counter, bramki logiczne.
- Zaprojektowanie bloku z wykorzystaniem języka Verilog.

Budowa bloku UDB, składniki [2]

- 2 bloki PLD. Bloki te biorą wejścia z tablicy połączeniowej i tworzą kombinacyjną lub zakończoną rejestrem funkcję logiczną.
- Moduł Datapath. Blok ten przetwarza dane 8- i 10-bitowe i może wykonywać funkcje ALU, porównawcze, generowanie warunków. Blok ten posiada także FIFO na wejściu i wyjściu, które są podstawowym równoległym interfejsem danych pomiędzy CPU/DMA i UDB.
- Moduł Status and Control – blok interakcji firmware z UDB.
- Moduł Clock and Reset – rozprowadzenie sygnałów clk i rst w UDB.

Blok UDB - moduł Datapath [2]



ALU

The ALU performs eight general purpose functions. They are:

- Increment
- Decrement
- Add
- Subtract
- Logical AND
- Logical OR
- Logical XOR
- Pass, used to pass a value through the ALU to the shift register, mask, or another UDB register

Independent of the ALU operation, these functions are available:

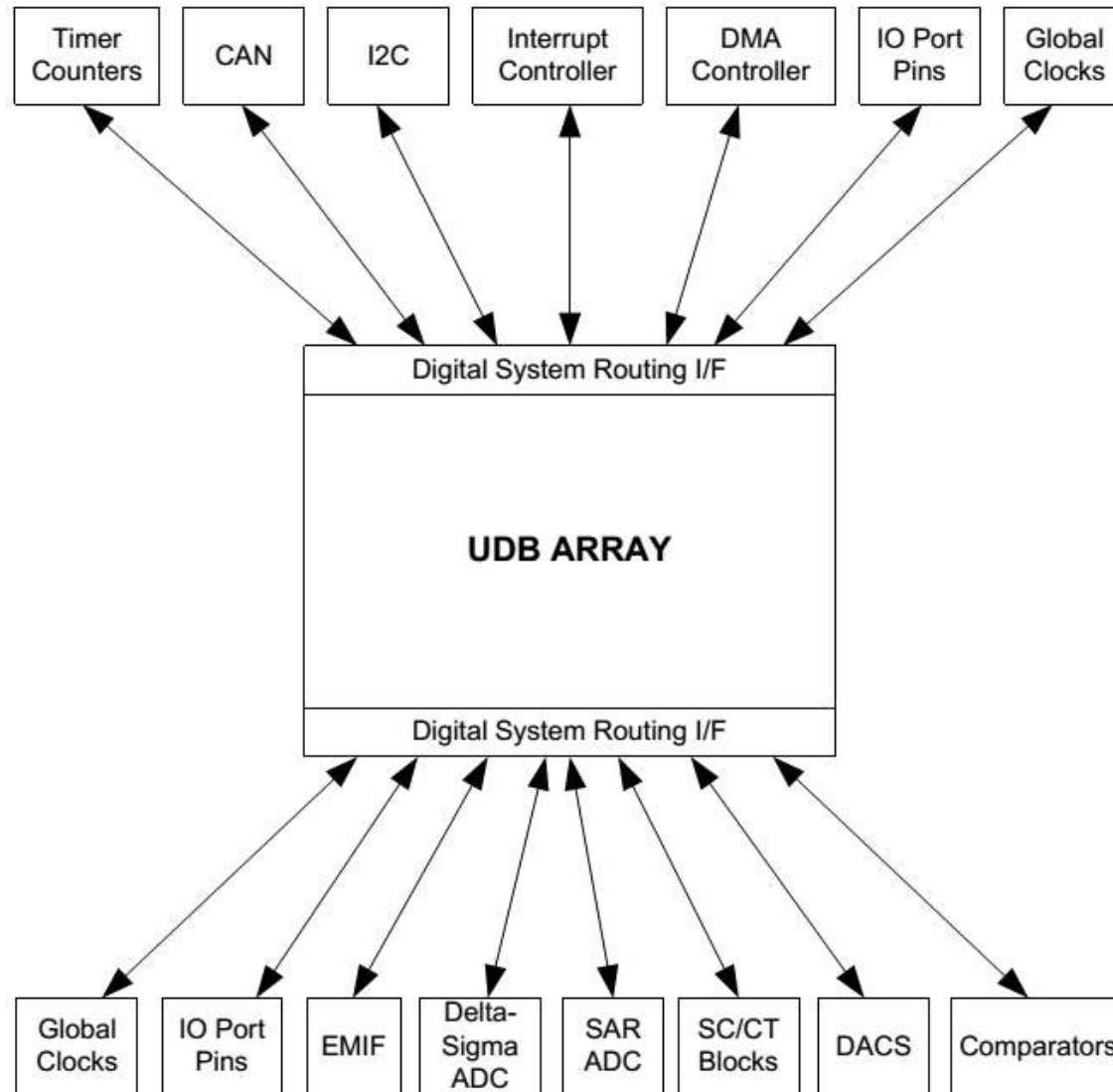
- Shift left
- Shift right
- Nibble swap
- Bitwise OR mask

Budowa DSI (ang. digital signal interconnect) [2]

Sieć połączeń programowalnych łączy:

- Wyprowadzenia żądań przerwań ze wszystkich podsystemów cyfrowych.
- Żądania DMA ze wszystkich peryferiów w systemie.
- Sygnały cyfrowe dochodzące do wyprowadzeń I/O.
- Sygnały cyfrowe dochodzące do wyprowadzeń UDB.
- Połączenia z kontrolerami DMA i przerwań.
- Połączenia do wyprowadzeń I/O.
- Połączenia do cyfrowej części podsystemu analogowego.

Schemat blokowy DSI [2]



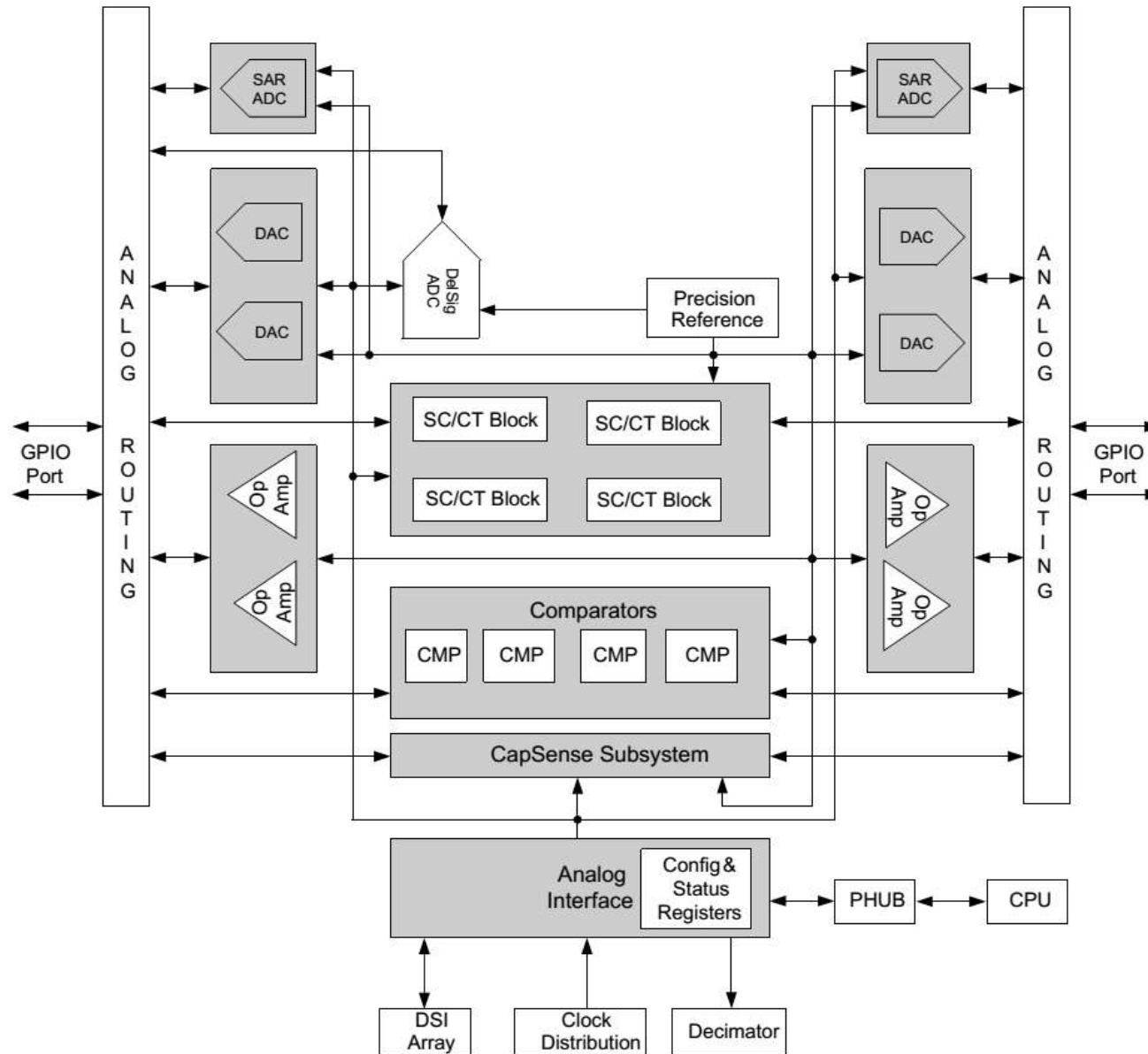
Bloki sprzętowe dostępne w PSoC 5LP [2]:

- CAN (ang. controller area network) w wersji 2A i 2B, prędkości do 1Mbps.
- USB w wersji 2.0 Full-Speed (do 12Mbps).
- Timery, liczniki, generatory PWM – 4 szt.
- Blok I2C.
- Filtr cyfrowy.

Programowalny podsystem analogowy [2]

- Programowalna sieć połączeniowa składająca się z analogowych linii globalnych, multiplexerów szyn i linii lokalnych.
- Przetwornik ADC o dużej rozdzielczości typu Delta-Sigma.
- 2 przetworniki ADC typu SAR.
- 4 przetworniki 8-bitowe DAC.
- 4 konfigurowalne bloki switched capacitor / continuous time SC/CT. Bloki te mogą tworzyć OA, wzmacniacze jednostkowe, wzmacniacze o programowalnym wzmocnieniu i mieszacze.
- 4 OA do wykorzystania wewnątrz układu z bezpośrednimi połączeniami do I/O, mogą być użyte jako układy o dużym prądzie wyjściowym.
- Blok CapSense realizujący czujniki pojemnościowe.
- Precyzyjne źródła napięcia odniesienia do wykorzystania w wewnętrznych blokach analogowych.

Podsystem analogowy [2] c.d.



Połączenia analogowe [2]

- Układ zawiera 16 linii globalnych AG (ang. analog globals) i dwie szyny analogowe multipleksowane AMUXBUS do połączeń GPIO i bloków analogowych.
- Każdy pin GPIO ma połączenie do jednej linii globalnej AG i do jednej multipleksowanej.
- Układ zawiera 8 analogowych szyn lokalnych (abus) umieszczonych pomiędzy różnymi blokami analogowymi.
- Wybrane bloki analogowe mają klucze i multipleksery.

Przetwornik ADC delta-sigma [2]

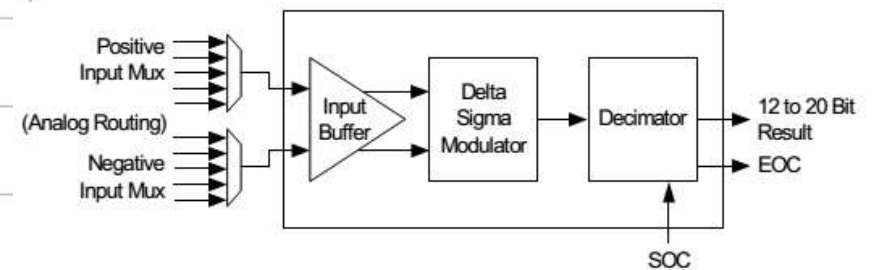
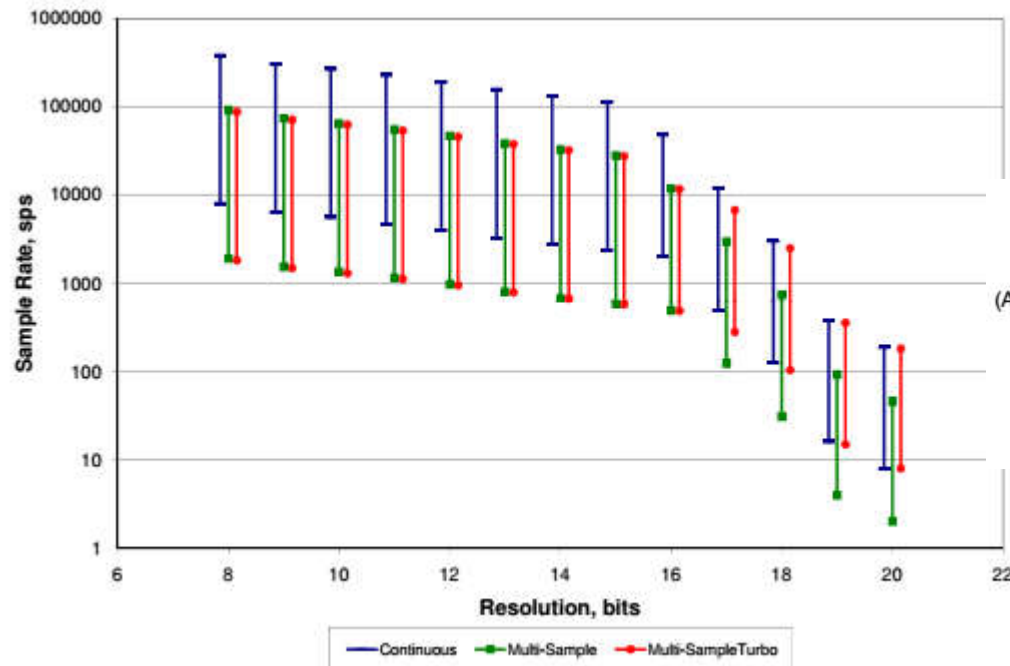
- W układzie PSoC 5LP dostępny jest jeden przetwornik delta-sigma ADC.
- Wejście jest różnicowe z możliwością uziemienia jednego z wyprowadzeń.
- Programowalna jest rozdzielczość przetwornika w zakresie 8 – 20 bitów.
- 4 tryby pracy: single sample, continuous, multi sample i multi sample turbo.
- Możliwe jest wyzwalać start konwersji zarówno programowo jak i sprzętowo.

Przetwornik ADC delta-sigma [2] c.d.

Table 8-1. Delta-sigma ADC Performance

Bits	Maximum Sample Rate (sps)	SINAD (dB)
20	187	–
16	48 k	84
12	192 k	66
8	384 k	43

Figure 8-3. Delta-sigma ADC Sample Rates, Range = ± 1.024 V



Unless otherwise specified, operating conditions are:

- Operation in continuous sample mode
- fclk = 3.072 MHz for resolution = 16 to 20 bits; fclk = 6.144 MHz for resolution = 8 to 15 bits
- Reference = 1.024 V internal reference bypassed on P3.2 or P0.3
- Unless otherwise specified, all charts and graphs show typical values

Table 11-21. 20-bit Delta-sigma ADC DC Specifications

Parameter	Description	Conditions	Min	Typ	Max	Units
	Resolution		8	–	20	bits
	Number of channels, single ended		–	–	No. of GPIO	–
	Number of channels, differential	Differential pair is formed using a pair of GPIOs.	–	–	No. of GPIO/2	–
	Monotonic	Yes	–	–	–	–
Ge	Gain error	Buffered, buffer gain = 1, Range = ± 1.024 V, 16-bit mode, 25 °C	–	–	± 0.4	%
Gd	Gain drift	Buffered, buffer gain = 1, Range = ± 1.024 V, 16-bit mode	–	–	50	ppm/°C
Vos	Input offset voltage	Buffered, 16-bit mode, full voltage range	–	–	± 0.2	mV
		Buffered, 16-bit mode, $V_{DDA} = 1.8$ V $\pm 5\%$, 25 °C	–	–	± 0.1	mV
TCVos	Temperature coefficient, input offset voltage	Buffer gain = 1, 16-bit, Range = ± 1.024 V	–	–	1	$\mu\text{V}/^\circ\text{C}$
	Input voltage range, single ended ^[40]		V_{SSA}	–	V_{DDA}	V
	Input voltage range, differential unbuffered ^[40]		V_{SSA}	–	V_{DDA}	V
	Input voltage range, differential, buffered ^[40]		V_{SSA}	–	$V_{DDA} - 1$	V
PSRRb	Power supply rejection ratio, buffered ^[40]	Buffer gain = 1, 16-bit, Range = ± 1.024 V	90	–	–	dB
CMRRb	Common mode rejection ratio, buffered ^[40]	Buffer gain = 1, 16 bit, Range = ± 1.024 V	85	–	–	dB
INL20	Integral non linearity ^[40]	Range = ± 1.024 V, unbuffered	–	–	± 32	LSB
DNL20	Differential non linearity ^[40]	Range = ± 1.024 V, unbuffered	–	–	± 1	LSB
INL16	Integral non linearity ^[40]	Range = ± 1.024 V, unbuffered	–	–	± 2	LSB
DNL16	Differential non linearity ^[40]	Range = ± 1.024 V, unbuffered	–	–	± 1	LSB
INL12	Integral non linearity ^[40]	Range = ± 1.024 V, unbuffered	–	–	± 1	LSB
DNL12	Differential non linearity ^[40]	Range = ± 1.024 V, unbuffered	–	–	± 1	LSB
INL8	Integral non linearity ^[40]	Range = ± 1.024 V, unbuffered	–	–	± 1	LSB
DNL8	Differential non linearity ^[40]	Range = ± 1.024 V, unbuffered	–	–	± 1	LSB
Rin_Buff	ADC input resistance	Input buffer used	10	–	–	M Ω
Rin_ADC16	ADC input resistance	Input buffer bypassed, 16-bit, Range = ± 1.024 V	–	74 ^[41]	–	k Ω
Rin_ADC12	ADC input resistance	Input buffer bypassed, 12 bit, Range = ± 1.024 V	–	148 ^[41]	–	k Ω

Notes

40. Based on device characterization (not production tested).

41. By using switched capacitors at the ADC input an effective input resistance is created. Holding the gain and number of bits constant, the resistance is proportional to the inverse of the clock frequency. This value is calculated, not measured. For more information see the Technical Reference Manual.

Przetwornik ADC typu SAR [2]

- W układach CY8CY58LP są 2 przetworniki ADC typu SAR.
- 12 bitowa rozdzielczość przy 1Msps.
- Wejścia różnicowe i pojedyncze.
- Możliwa praca ciągła lub pojedyncza.
- Start sprzętowy lub programowy.
- Czas konwersji 18 cykli zegarowych, zegar 1 – 18MHz.
- Po zakończeniu konwersji ustawiany jest bit statusu i sygnał EOF (end of frame).
- EOF może wyzwać przerwanie lub DMA.

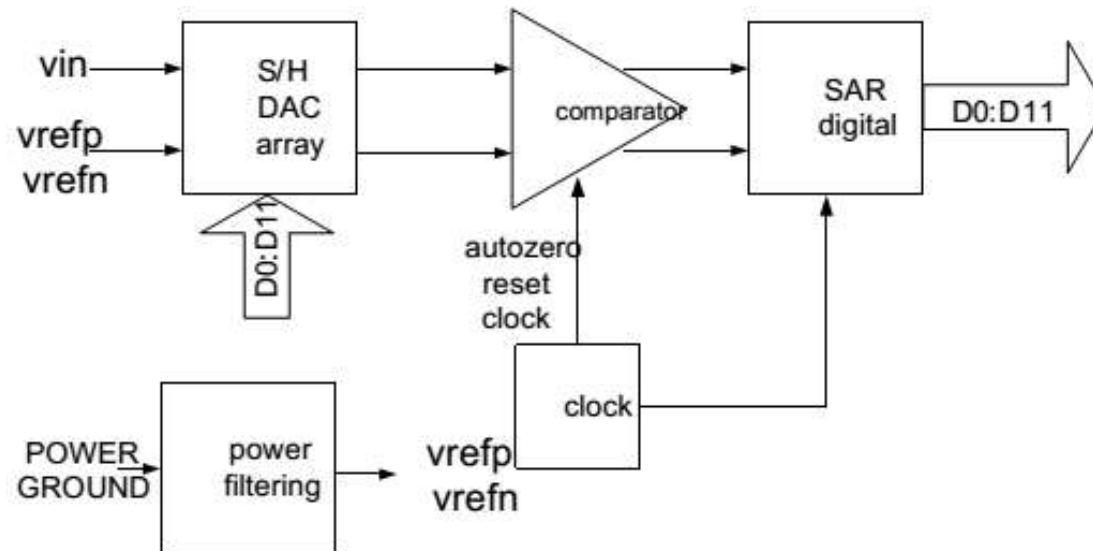


Table 11-29. SAR ADC DC Specifications

Parameter	Description	Conditions	Min	Typ	Max	Units
	Resolution		–	–	12	bits
	Number of channels – single-ended		–	–	No of GPIO	
	Number of channels – differential	Differential pair is formed using a pair of neighboring GPIO.	–	–	No of GPIO/2	
	Monotonicity ^[46]		Yes	–	–	
Ge	Gain error ^[47]	External reference	–	–	±0.1	%
V _{OS}	Input offset voltage		–	–	±2	mV
I _{DD}	Current consumption ^[46]		–	–	1	mA
	Input voltage range – single-ended ^[46]		V _{SSA}	–	V _{DDA}	V
	Input voltage range – differential ^[46]		V _{SSA}	–	V _{DDA}	V
PSRR	Power supply rejection ratio ^[46]		70	–	–	dB
CMRR	Common mode rejection ratio		70	–	–	dB
INL	Integral non linearity ^[46]	V _{DDA} 1.71 to 5.5 V, 1 Msps, V _{REF} 1 to 5.5 V, bypassed at ExtRef pin	–	–	+2/–1.5	LSB
		V _{DDA} 2.0 to 3.6 V, 1 Msps, V _{REF} 2 to V _{DDA} , bypassed at ExtRef pin	–	–	±1.2	LSB
		V _{DDA} 1.71 to 5.5 V, 500 ksps, V _{REF} 1 to 5.5 V, bypassed at ExtRef pin	–	–	±1.3	LSB
DNL	Differential non linearity ^[46]	V _{DDA} 1.71 to 5.5 V, 1 Msps, V _{REF} 1 to 5.5 V, bypassed at ExtRef pin	–	–	+2/–1	LSB
		V _{DDA} 2.0 to 3.6 V, 1 Msps, V _{REF} 2 to V _{DDA} , bypassed at ExtRef pin No missing codes	–	–	1.7/–0.99	LSB
		V _{DDA} 1.71 to 5.5 V, 500 ksps, V _{REF} 1 to 5.5 V, bypassed at ExtRef pin No missing codes	–	–	+2/–0.99	LSB
R _{IN}	Input resistance ^[46]		–	180	–	kΩ

Figure 11-38. SAR ADC I_{DD} vs sps, $V_{DDA} = 5$ V, Continuous Sample Mode, External Reference Mode

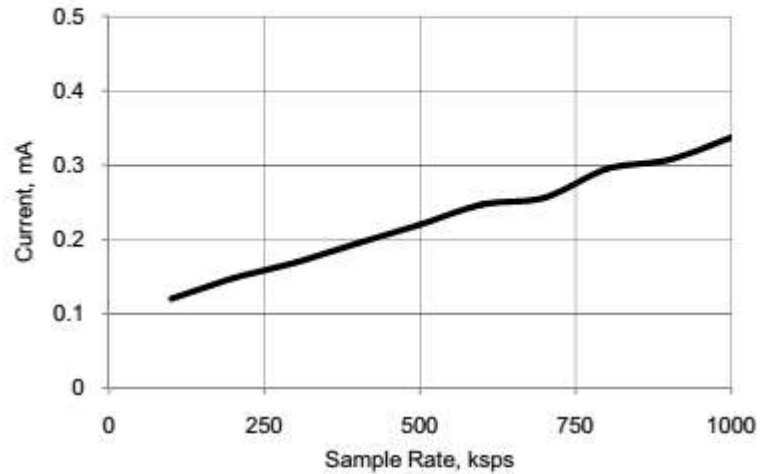


Table 11-30. SAR ADC AC Specifications^[48]

Parameter	Description	Conditions	Min	Typ	Max	Units
Fclk	SAR clock frequency		1	–	18	MHz
Tc	Conversion time	One conversion requires 18 SAR clocks. Maximum sample rate is 1 Msps	1	–	18	μ s
	Startup time		–	–	10	μ s
SINAD	Signal-to-noise ratio		68	–	–	dB
THD	Total harmonic distortion		–	–	0.02	%

Komparatory analogowe [2]

- Układ CY8C58LP zawiera 4 komparatory.
- Wejściowe napięcie niezrównoważenia jest mniejsze niż 5mV.
- Napięcia wejściowe Rail to rail ($V_{SSA} - V_{DDA}$).
- Programowane szybkość/pobór mocy na 3 poziomach: fast, slow, ultra low power.
- Wyjścia mogą być połączone do bloków LUT i mogą być przeprowadzone proste operacje logiczne a ich wynik przekierowany do bloków cyfrowych.
- Wejścia dodatkowo komparatorów mogą być odfiltrowane filtrem LP. Dostępne są 2 filtry.
- Wejścia komparatorów mogą być połączone do GPIO, wyjść DAC oraz wyjść układów S.C.

Komparatory analogowe [2] c.d.

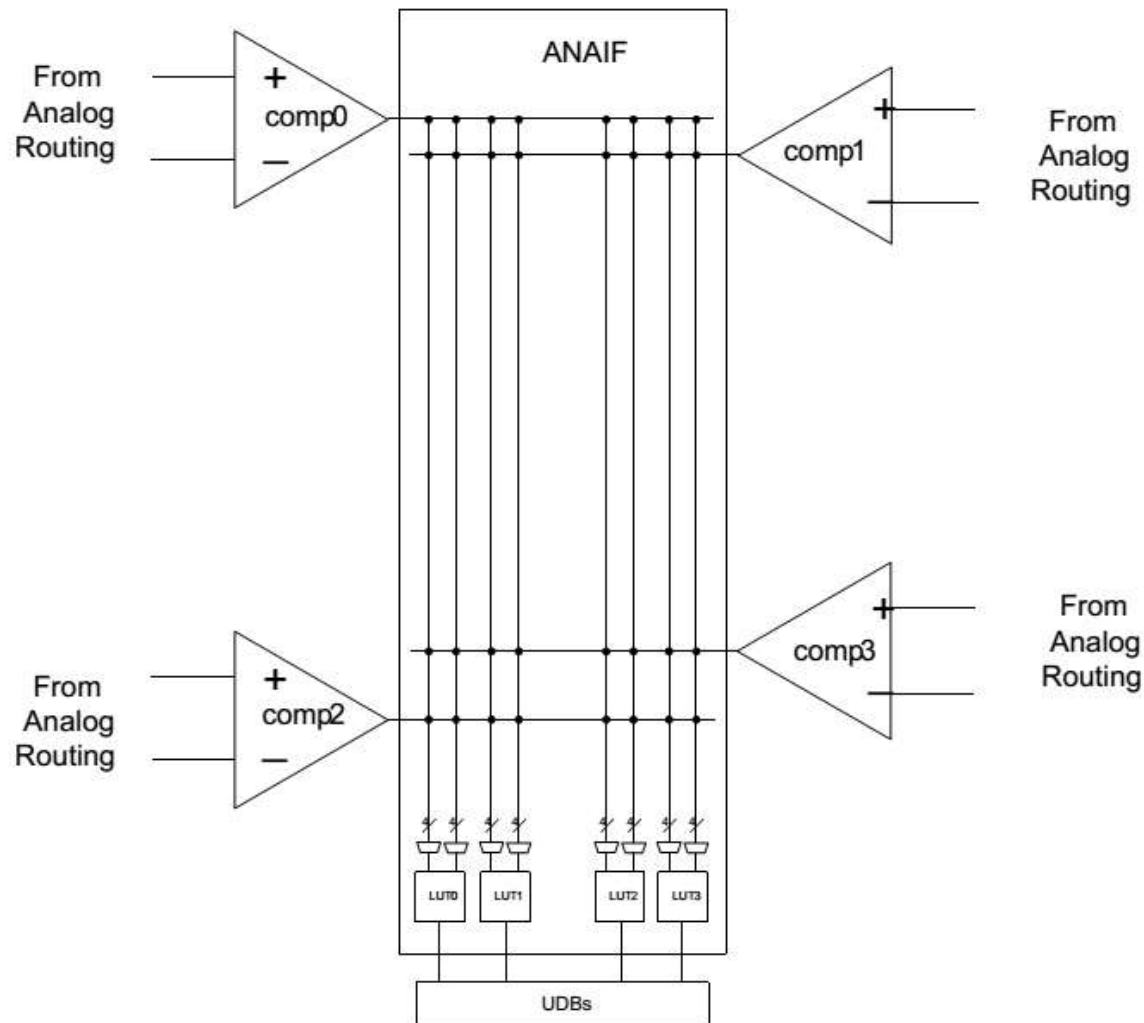


Table 8-2. LUT Function vs. Program Word and Inputs

Control Word	Output (A and B are LUT inputs)
0000b	FALSE ('0')
0001b	A AND B
0010b	A AND (NOT B)
0011b	A
0100b	(NOT A) AND B
0101b	B
0110b	A XOR B
0111b	A OR B
1000b	A NOR B
1001b	A XNOR B
1010b	NOT B
1011b	A OR (NOT B)
1100b	NOT A
1101b	(NOT A) OR B
1110b	A NAND B
1111b	TRUE ('1')

Table 11-33. Comparator DC Specifications^[52]

Parameter	Description	Conditions	Min	Typ	Max	Units
V _{OS}	Input offset voltage in fast mode	Factory trim, V _{DDA} > 2.7 V, V _{in} ≥ 0.5 V	–		10	mV
	Input offset voltage in slow mode	Factory trim, V _{in} ≥ 0.5 V	–		9	mV
V _{OS}	Input offset voltage in fast mode ^[53]	Custom trim	–	–	4	mV
	Input offset voltage in slow mode ^[53]	Custom trim	–	–	4	mV
V _{OS}	Input offset voltage in ultra low power mode		–	±12	–	mV
TCV _{OS}	Temperature coefficient, input offset voltage	V _{CM} = V _{DDA} / 2, fast mode	–	63	85	μV/°C
		V _{CM} = V _{DDA} / 2, slow mode	–	15	20	
V _{HYST}	Hysteresis	Hysteresis enable mode	–	10	32	mV
V _{ICM}	Input common mode voltage	High current / fast mode	V _{SSA}	–	V _{DDA}	V
		Low current / slow mode	V _{SSA}	–	V _{DDA}	V
		Ultra low power mode	V _{SSA}	–	V _{DDA} – 1.15	V
CMRR	Common mode rejection ratio		–	50	–	dB
I _{CMP}	High current mode/fast mode		–	–	400	μA
	Low current mode/slow mode		–	–	100	μA
	Ultra low power mode		–	6	–	μA

Table 11-34. Comparator AC Specifications^[52]

Parameter	Description	Conditions	Min	Typ	Max	Units
T _{RESP}	Response time, high current mode ^[53]	50 mV overdrive, measured pin-to-pin	–	75	110	ns
	Response time, low current mode ^[53]	50 mV overdrive, measured pin-to-pin	–	155	200	ns
	Response time, ultra low power mode ^[53]	50 mV overdrive, measured pin-to-pin	–	55	–	μs

Wzmacniacze operacyjne [2]

Figure 8-7. Opamp

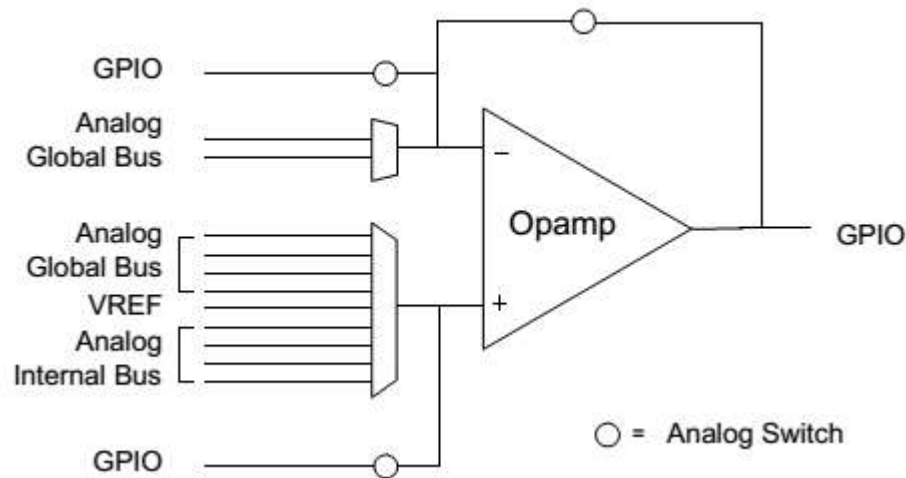
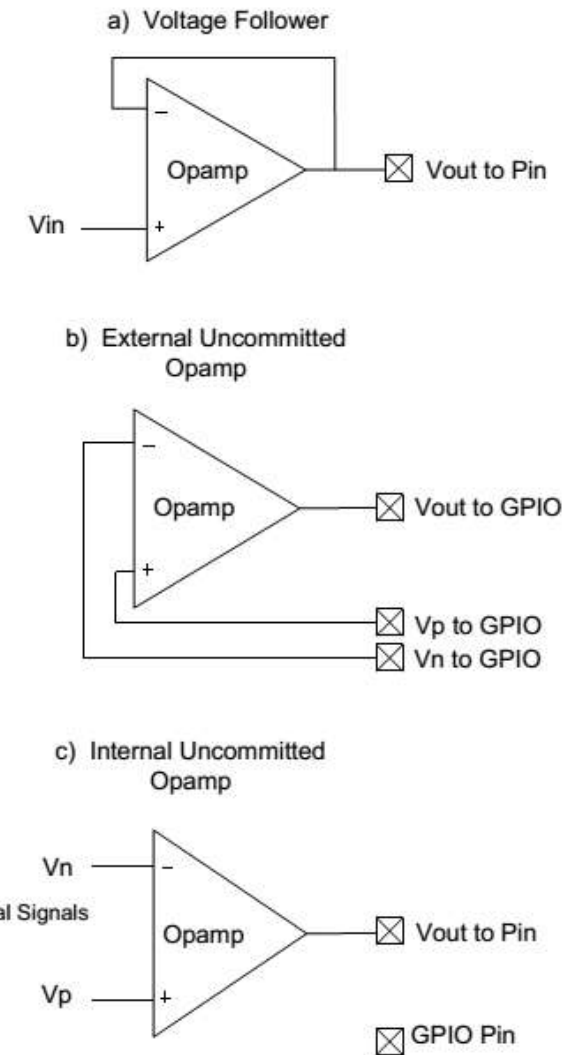


Figure 8-8. Opamp Configurations



Są dostępne 4 OA. Wzmacniacze te domyślnie nie są połączone ale mogą zostać skonfigurowane jako:

- wzmacniacz jednostkowy,
- wzmacniacz sygnałów zewnętrznych,
- wzmacniacz sygnałów wewnętrznych.

Table 11-19. Opamp DC Specifications

Parameter	Description	Conditions	Min	Typ	Max	Units
V_I	Input voltage range		V_{SSA}	–	V_{DDA}	V
V_{os}	Input offset voltage		–	–	2.5	mV
		Operating temperature $-40\text{ }^\circ\text{C}$ to $70\text{ }^\circ\text{C}$	–	–	2	mV
TC V_{os}	Input offset voltage drift with temperature	Power mode = high	–	–	± 30	$\mu\text{V}/^\circ\text{C}$
Ge1	Gain error, unity gain buffer mode	$R_{load} = 1\text{ k}\Omega$	–	–	± 0.1	%
C_{in}	Input capacitance	Routing from pin	–	–	18	pF
V_o	Output voltage range	1 mA, source or sink, power mode = high	$V_{SSA} + 0.05$	–	$V_{DDA} - 0.05$	V
I_{out}	Output current capability, source or sink	$V_{SSA} + 500\text{ mV} \leq V_{OUT} \leq V_{DDA}$ $-500\text{ mV}, V_{DDA} > 2.7\text{ V}$	25	–	–	mA
		$V_{SSA} + 500\text{ mV} \leq V_{OUT} \leq V_{DDA}$ $-500\text{ mV}, 1.7\text{ V} = V_{DDA} \leq 2.7\text{ V}$	16	–	–	mA
I_{dd}	Quiescent current ^[38]	Power mode = min	–	250	400	μA
		Power mode = low	–	250	400	μA
		Power mode = med	–	330	950	μA
		Power mode = high	–	1000	2500	μA
CMRR	Common mode rejection ratio ^[38]		80	–	–	dB
PSRR	Power supply rejection ratio ^[38]	$V_{DDA} \geq 2.7\text{ V}$	85	–	–	dB
		$V_{DDA} < 2.7\text{ V}$	70	–	–	dB
I_{IB}	Input bias current ^[38]	$25\text{ }^\circ\text{C}$	–	10	–	pA

Figure 11-20. Opamp V_{os} Histogram, 7020 samples/1755 parts, $30\text{ }^\circ\text{C}$, $V_{DDA} = 3.3\text{ V}$

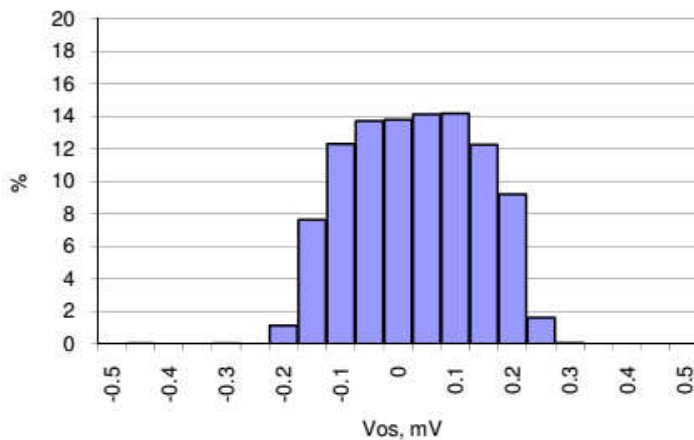


Figure 11-21. Opamp V_{os} vs Temperature, $V_{DDA} = 5\text{ V}$

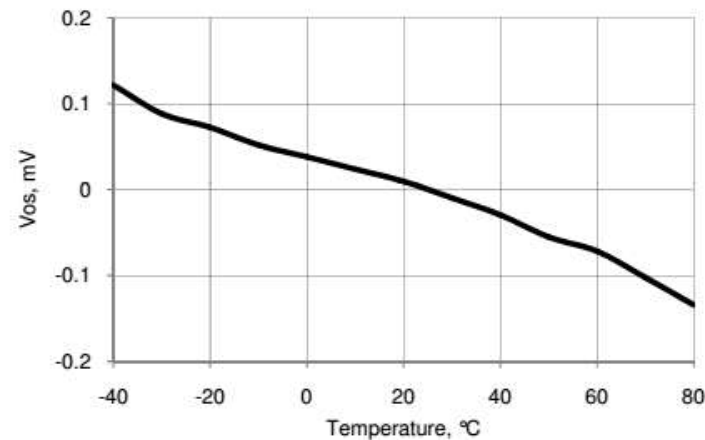


Figure 11-22. Opamp Vos vs Vcommon and V_{D_{DDA}}, 25 °C

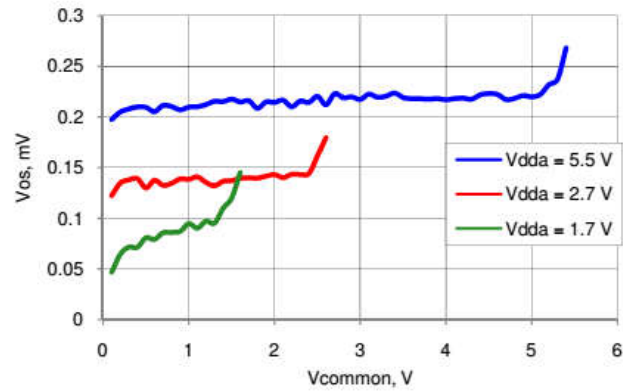


Figure 11-23. Opamp Output Voltage vs Load Current and Temperature, High Power Mode, 25 °C, V_{DDA} = 2.7 V

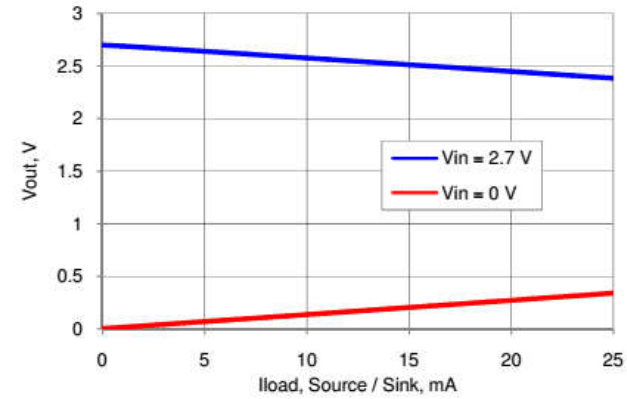


Figure 11-24. Opamp Operating Current vs V_{DDA} and Power Mode

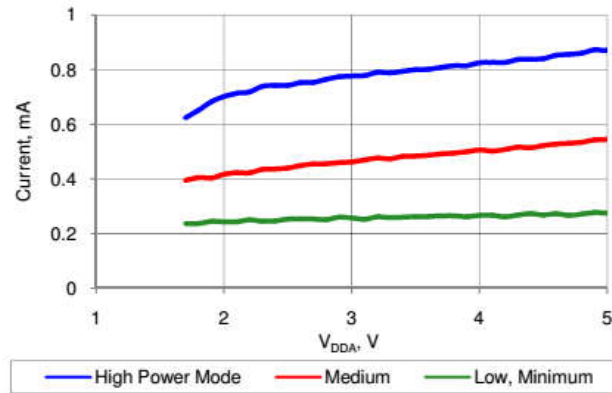


Table 11-20. Opamp AC Specifications^[39]

Parameter	Description	Conditions	Min	Typ	Max	Units
GBW	Gain-bandwidth product	Power mode = minimum, 15 pF load	1	–	–	MHz
		Power mode = low, 15 pF load	2	–	–	MHz
		Power mode = medium, 200 pF load	1	–	–	MHz
		Power mode = high, 200 pF load	3	–	–	MHz
SR	Slew rate, 20% - 80%	Power mode = minimum, 15 pF load	1.1	–	–	V/μs
		Power mode = low, 15 pF load	1.1	–	–	V/μs
		Power mode = medium, 200 pF load	0.9	–	–	V/μs
		Power mode = high, 200 pF load	3	–	–	V/μs
e _n	Input noise density	Power mode = high, V _{DDA} = 5 V, at 100 kHz	–	45	–	nV/sqrtHz

Programowalne bloki SC/CT [2]

- W układzie dostępne są 4 takie bloki.
- Każdy z nich zawiera szerokopasmowy (GBP ponad 6MHz) wzmacniacz operacyjny rail to rail.
- Możliwe do zrealizowania funkcje CT w bloku:
 - wzmacniacz operacyjny,
 - wzmacniacz jednostkowy,
 - wzmacniacz o programowanym wzmocnieniu (PGA),
 - wzmacniacz transimpedancyjny (TIA),
 - mikser.
- Możliwe do zrealizowania funkcje SC w bloku:
 - mikser/układ SH (NRZ S/H),
 - modulator analogowo – cyfrowy pierwszego rzędu.

PGA [2]

Table 8-3. Bandwidth

Gain	Bandwidth
1	6.0 MHz
24	340 kHz
48	220 kHz
50	215 kHz

Figure 8-9. PGA Resistor Settings

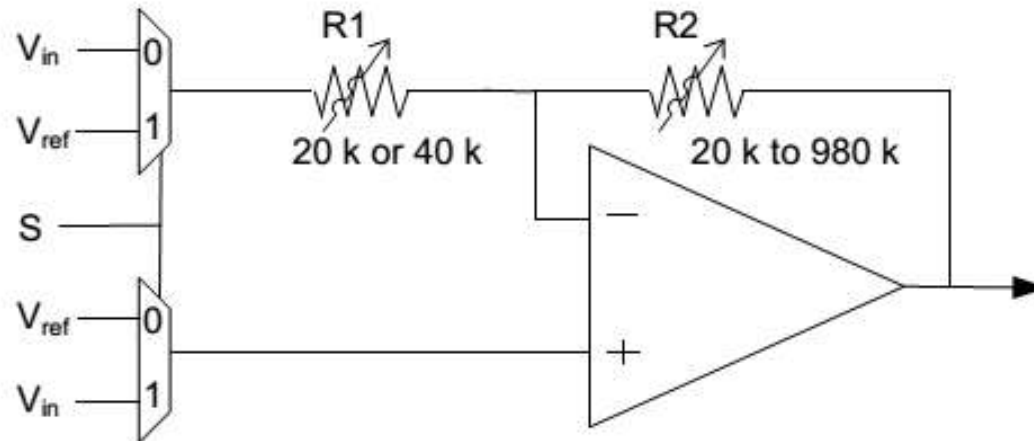
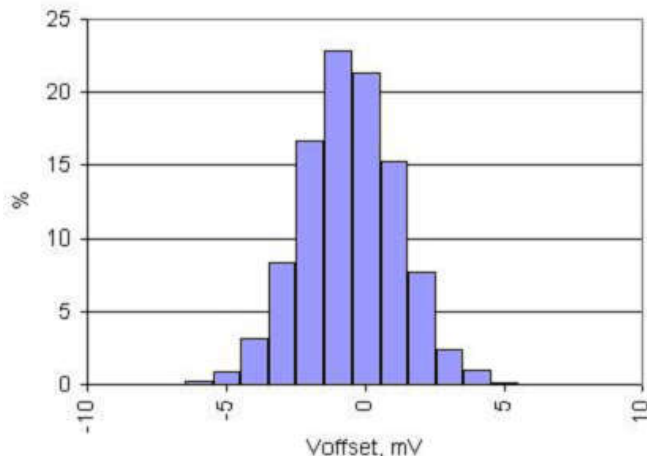


Table 11-43. PGA DC Specifications

Parameter	Description	Conditions	Min	Typ	Max	Units
V _{in}	Input voltage range	Power mode = minimum	V _{SSA}	–	V _{DDA}	V
V _{os}	Input offset voltage	Power mode = high, gain = 1	–	–	10	mV
TCV _{os}	Input offset voltage drift with temperature	Power mode = high, gain = 1	–	–	±30	µV/°C
Ge ₁	Gain error, gain = 1		–	–	±0.15	%
Ge ₁₆	Gain error, gain = 16		–	–	±2.5	%
Ge ₅₀	Gain error, gain = 50		–	–	±5	%
V _{onl}	DC output nonlinearity	Gain = 1	–	–	±0.01	% of FSR
C _{in}	Input capacitance		–	–	7	pF
V _{oh}	Output voltage swing	Power mode = high, gain = 1, R _{load} = 100 kΩ to V _{DDA} / 2	V _{DDA} – 0.15	–	–	V
V _{ol}	Output voltage swing	Power mode = high, gain = 1, R _{load} = 100 kΩ to V _{DDA} / 2	–	–	V _{SSA} + 0.15	V
V _{src}	Output voltage under load	I _{load} = 250 µA, V _{DDA} ≥ 2.7V, power mode = high	–	–	300	mV
I _{dd}	Operating current ^[62]	Power mode = high	–	1.5	1.65	mA
PSRR	Power supply rejection ratio		48	–	–	dB

Figure 11-68. PGA Voffset Histogram, 4096 samples/1024 parts



Note

62. Based on device characterization (Not production tested).

Table 11-44. PGA AC Specifications^[63]

Parameter	Description	Conditions	Min	Typ	Max	Units
BW1	-3 dB bandwidth	Power mode = high, gain = 1, input = 100 mV peak-to-peak	6.7	8	-	MHz
SR1	Slew rate	Power mode = high, gain = 1, 20% to 80%	3	-	-	V/ μ s
e_n	Input noise density	Power mode = high, Vdda = 5 V, at 100 kHz	-	43	-	nV/sqrtHz

Figure 11-69. Bandwidth vs. Temperature, at Different Gain Settings, Power Mode = High

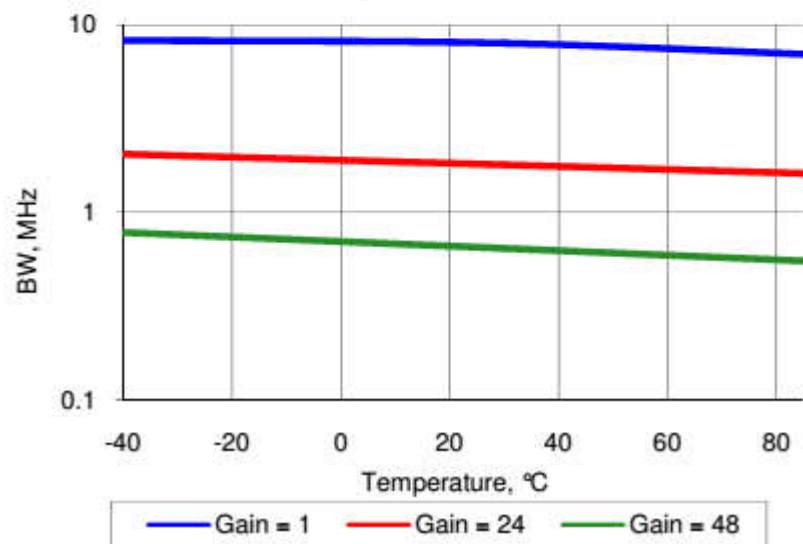
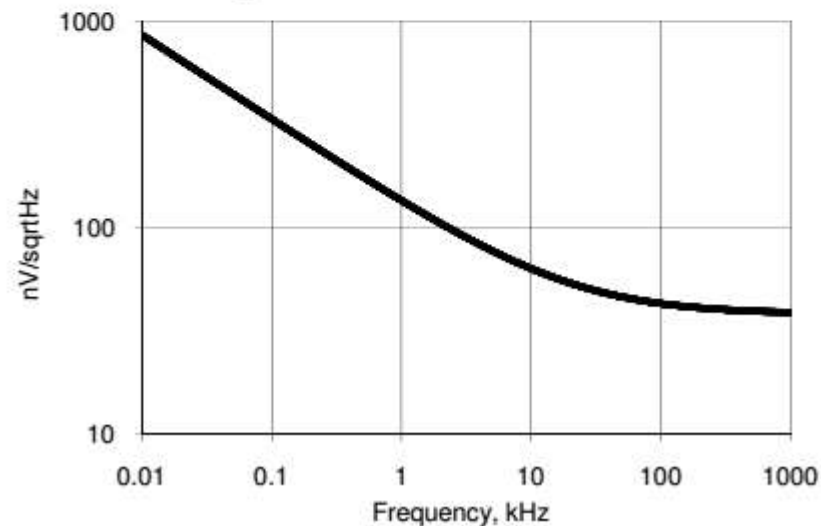


Figure 11-70. Noise vs. Frequency, Vdda = 5 V, Power Mode = High



TIA [2]

Table 8-4. Feedback Resistor Settings

Configuration Word	Nominal R_{fb} ($K\Omega$)
000b	20
001b	30
010b	40
011b	60
100b	120
101b	250
110b	500
111b	1000

Figure 8-10. Continuous Time TIA Schematic

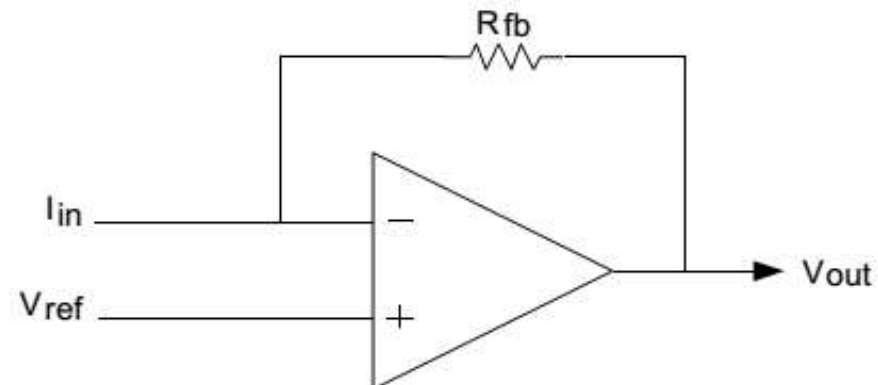


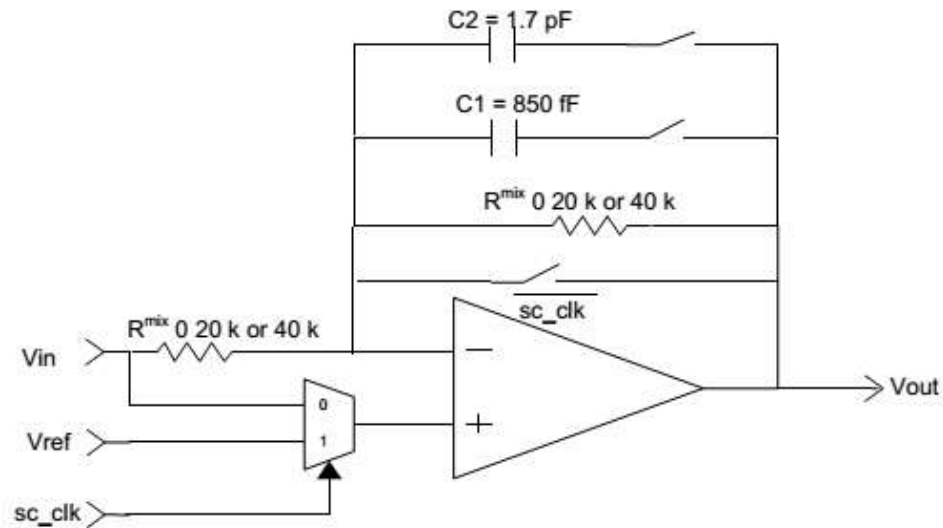
Table 11-41. Transimpedance Amplifier (TIA) DC Specifications

Parameter	Description	Conditions	Min	Typ	Max	Units
V _I OFF	Input offset voltage		–	–	10	mV
R _{conv}	Conversion resistance ^[61]	R = 20K; 40 pF load	–25	–	+35	%
		R = 30K; 40 pF load	–25	–	+35	%
		R = 40K; 40 pF load	–25	–	+35	%
		R = 80K; 40 pF load	–25	–	+35	%
		R = 120K; 40 pF load	–25	–	+35	%
		R = 250K; 40 pF load	–25	–	+35	%
		R = 500K; 40 pF load	–25	–	+35	%
		R = 1M; 40 pF load	–25	–	+35	%
	Quiescent current ^[60]		–	1.1	2	mA

Table 11-42. Transimpedance Amplifier (TIA) AC Specifications^[60]

Parameter	Description	Conditions	Min	Typ	Max	Units
BW	Input bandwidth (–3 dB)	R = 20K; –40 pF load	1200	–	–	kHz
		R = 120K; –40 pF load	240	–	–	kHz
		R = 1M; –40 pF load	25	–	–	kHz

Mikser CT [2]



Mikser działa na zasadzie zmiany polaryzacji wzmocnienia w takt sygnału F_{clk} (sc_clk).

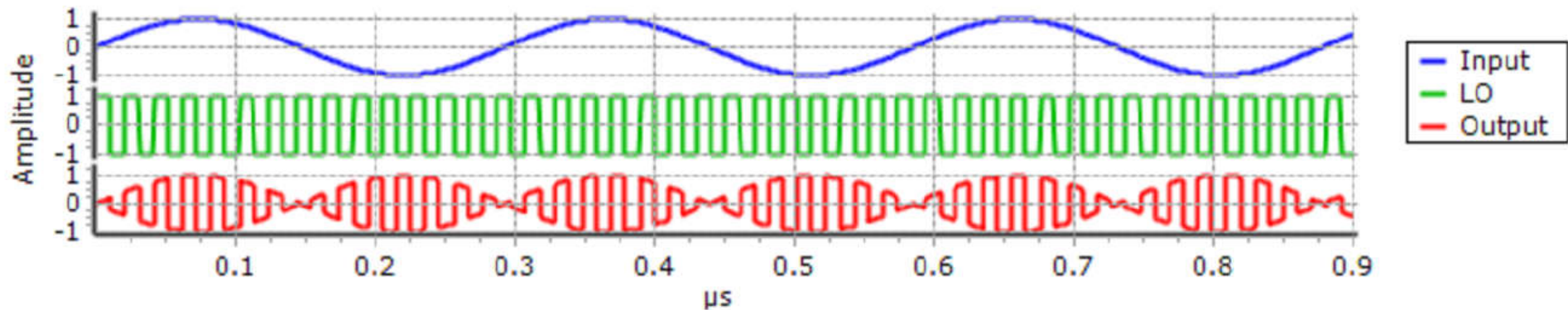


Table 11-39. Mixer DC Specifications

Parameter	Description	Conditions	Min	Typ	Max	Units
V_{OS}	Input offset voltage	High power mode, $V_{IN} = 1.024\text{ V}$, $V_{REF} = 1.024\text{ V}$	–	–	15	mV
	Quiescent current		–	0.9	2	mA
G	Gain		–	0	–	dB

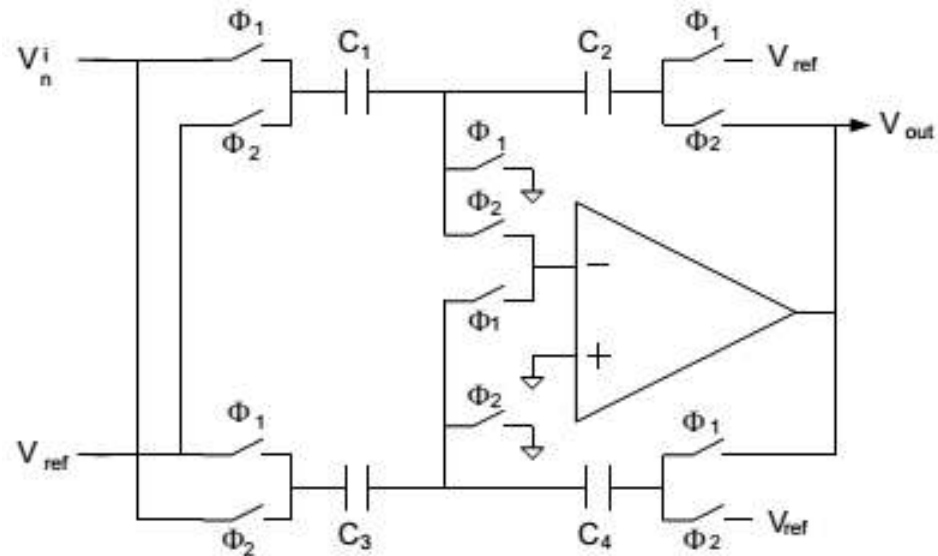
Table 11-40. Mixer AC Specifications^[60]

Parameter	Description	Conditions	Min	Typ	Max	Units
f_{LO}	Local oscillator frequency	Down mixer mode	–	–	4	MHz
f_{in}	Input signal frequency	Down mixer mode	–	–	14	MHz
f_{LO}	Local oscillator frequency	Up mixer mode	–	–	1	MHz
f_{in}	Input signal frequency	Up mixer mode	–	–	1	MHz
SR	Slew rate		3	–	–	V/ μ s

Sample and Hold SC [2]

Głównym celem układu jest utrzymywanie stałej wartości sygnału dostarczanego do wejścia przetwornika ADC.

Figure 8-14. Sample and Hold Topology
(Φ_1 and Φ_2 are opposite phases of a clock)



Sterownik LCD [2]

Właściwości układu sterownika:

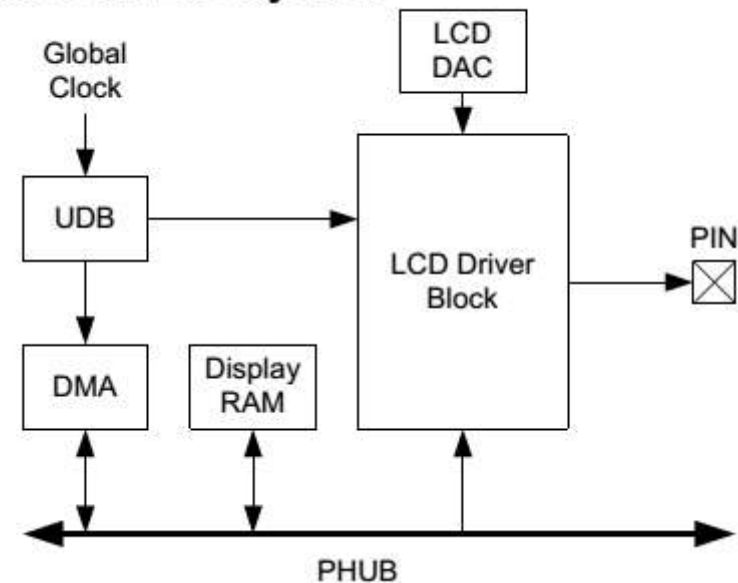
- Bezpośrednie wysterowanie paneli LCD z wyprowadzeń układu PSoC.
- Generowanie przebiegów typowych (A) i niskomocowych (B).
- Szeroki zakres napięć zasilających od 2V do 5V.
- Statyczne napięcia polaryzujące o wartościach $1/2$, $1/3$, $1/4$ i $1/5$.
- Wewnętrzne generowanie napięć polaryzujących na drabince rezystorowej.
- Do 62 łącznie wyprowadzeń wspólnych i segmentów.
- Do 64 poziomów programowo sterowanego kontrastu.
- Możliwość przesyłania danych z pamięci do sterownika poprzez DMA.
- Regulowana częstotliwość odświeżania w zakresie 10Hz – 150Hz.
- Możliwość inwersji wyświetlania.
- Dostępne 3 tryby sterowania.

Sterownik LCD [2] c.d.

Każdy GPIO ma sterownik LCD. Sterownik LCD buforuje dane z wyjścia przetwornika LCD DAC. Ustawienia sterownika decydują czy dany PIN jest wyjściem wspólnym czy segmentu. Wówczas sterownik wybiera jedno z 6 napięć polaryzujących aby sterować wyprowadzeniem I/O.

Układ LCD DAC wytwarza napięcia sterujące kontrastem i napięciami polaryzującymi. Wytwarzanych jest 5 napięć oraz poziom masy. Napięcia te następnie przekazywane są do wyprowadzeń I/O.

Figure 8-11. LCD System



Układ CapSense [2]

- Układ do pomiaru pojemności w zastosowaniach do:
 - przyciski dotykowe,
 - suwaki dotykowe (ang. slider),
 - pola dotykowe (ang. touchpad),
 - czujniki odległości.
- Układ CapSense używa zasobów układu PSoC.
- Używana jest metoda z modulatorem delta-sigma

Czujnik temperatury [2]

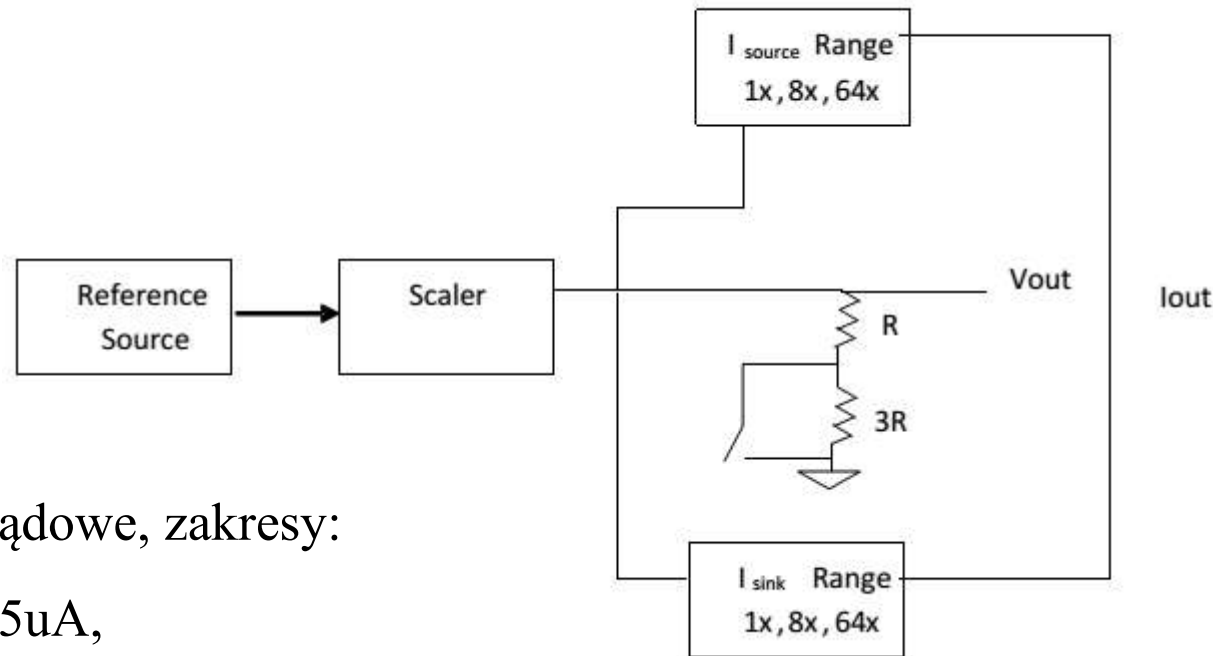
- Pomiar odbywa się poprzez tranzystor spolaryzowany w kierunku przewodzenia.
- Czujnik posiada własny przetwornik ADC.
- Dostęp do wyników pomiaru jest wyłącznie programowy.
- Używany jest do ustalenia temperatury w czasie zapisu do pamięci FLASH.

Przetwornik DAC [2]

- Układ CY8C58LP zawiera 4 DAC.
- Każdy z przetworników może być skonfigurowany z wyjściem napięciowym lub prądowym.
- Rozdzielczość: 8 bitów.
- Programowalny zakres sygnału wyjściowego.
- 8 bitów kalibracji wzmocnienia w zakresie $\pm 25\%$.
- Możliwość wytwarzania prądu wpływającego i wypływającego dla opcji prądowej.
- 8Msps dla wyjścia prądowego.
- 1Msps dla wyjścia napięciowego.
- Przetwornik monotoniczny.
- Dane mogą być dostarczane bezpośrednio przez CPU, DMA lub przekierowane poprzez sieć połączeniową DSI.
- Dedykowany niskorezystancyjny wyjściowy PIN dla wyjścia wysokoprądowego.

Przetwornik DAC [2] c.d.

Figure 8-12. DAC Block Diagram



Wyjście prądowe, zakresy:

- 0 – 31,875uA,
- 0 – 255uA,
- 0 – 2,04mA,
- prądy mogą być skonfigurowane jako wpływające lub wypływające.

Wyjście napięciowe, zakresy:

- 0 – 1,02V,
- 0 – 4,08V,
- wyjście nie jest buforowane.

Table 11-35. IDAC DC Specifications

Parameter	Description	Conditions	Min	Typ	Max	Units
	Resolution		–	–	8	bits
I _{OUT}	Output current at code = 255	Range = 2.04 mA, code = 255, V _{DDA} ≥ 2.7 V, R _{load} = 600 Ω	–	2.04	–	mA
		Range = 2.04 mA, High mode, code = 255, V _{DDA} ≤ 2.7 V, R _{load} = 300 Ω	–	2.04	–	mA
		Range = 255 μA, code = 255, R _{load} = 600 Ω	–	255	–	μA
		Range = 31.875 μA, code = 255, R _{load} = 600 Ω	–	31.875	–	μA
	Monotonicity		–	–	Yes	
E _{zs}	Zero scale error		–	0	±1	LSB
E _g	Gain error	Range = 2.04 mA	–	–	±2.5	%
		Range = 255 μA	–	–	±2.5	%
		Range = 31.875 μA	–	–	±3.5	%
TC _{Eg}	Temperature coefficient of gain error	Range = 2.04 mA	–	–	0.045	% / °C
		Range = 255 μA	–	–	0.045	% / °C
		Range = 31.875 μA	–	–	0.05	% / °C
INL	Integral nonlinearity	Sink mode, range = 255 μA, Codes 8–255, R _{load} = 2.4 kΩ, C _{load} = 15 pF	–	±0.9	±1	LSB
		Source mode, range = 255 μA, Codes 8–255, R _{load} = 2.4 kΩ, C _{load} = 15 pF	–	±1.2	±1.6	LSB
		Source mode, range = 31.875 μA, Codes 8–255, R _{load} = 20 kΩ, C _{load} = 15 pF ^[54]	–	±0.9	±2	LSB
		Sink mode, range = 31.875 μA, Codes 8–255, R _{load} = 20 kΩ, C _{load} = 15 pF ^[54]	–	±0.9	±2	LSB
		Source mode, range = 2.04 mA, Codes 8–255, R _{load} = 600 Ω, C _{load} = 15 pF ^[54]	–	±0.9	±2	LSB
		Sink mode, range = 2.04 mA, Codes 8–255, R _{load} = 600 Ω, C _{load} = 15 pF ^[54]	–	±0.6	±1	LSB

Programowanie i debugowanie

Debugowanie jest możliwe poprzez:

- Dostęp poprzez złącza JTAG i SWD.
- Pułapki programowe (breakpoint) możliwe są poprzez umieszczenie bloku FPB (ang. flash patch and breakpoint).
- Oglądanie zmiennych (watchpoint), wyzwalacze (trigger) i profilowanie możliwe dzięki blokowi DWT (ang. data watchpoint and trigger).
- Dodatkowe bloki ETM (ang. embeded trace macrocell) i ITM (ang. instrumentation trace macrocell) zwiększające możliwości debugowania.

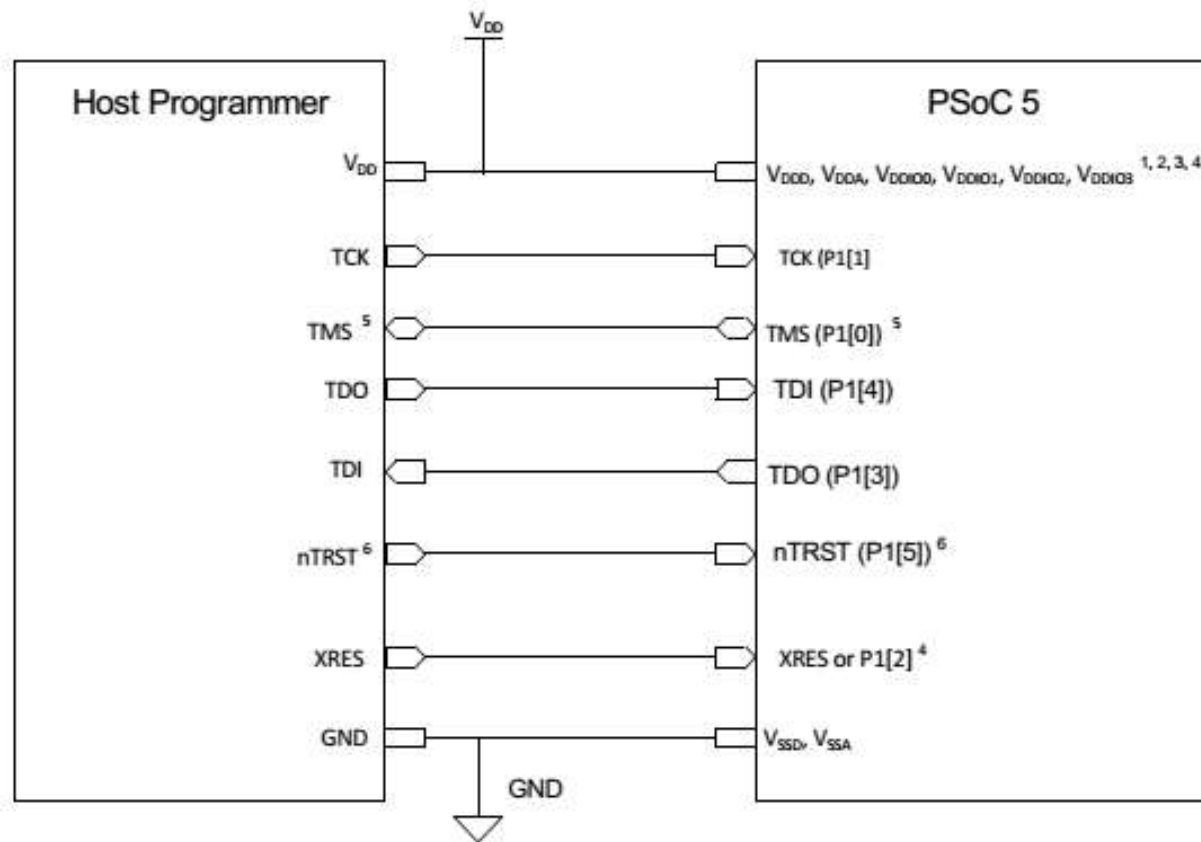
Interfejsy programowania i debugowania [2]

- JTAG: programowanie, debugowanie, testowanie poprawności montażu.
- SWD: programowanie i debugowanie.
- SWV: wyjście z DWT, ETM i ITM, wolniejsze ale używa tylko jednego PINu.
- TRACEPORT: wyjście z DWT, ETM i ITM, szybkie ale wielopinowe.

Interfejsy programowania i debugowania [2] c.d.

- Firma Cypress zaleca stosowanie programatora MiniProg3, który jest zintegrowany ze środowiskiem IDE PSoC Creator.
- Interfejsy układu PSoC typu JTAG, SWD i SWV są zgodne ze standardami przemysłowymi i jest również możliwe stosowanie narzędzi firm trzecich.
- Moduły debugowania są domyślnie wyłączone i włączenie ich możliwe jest tylko poprzez przeprogramowanie pamięci FLASH.

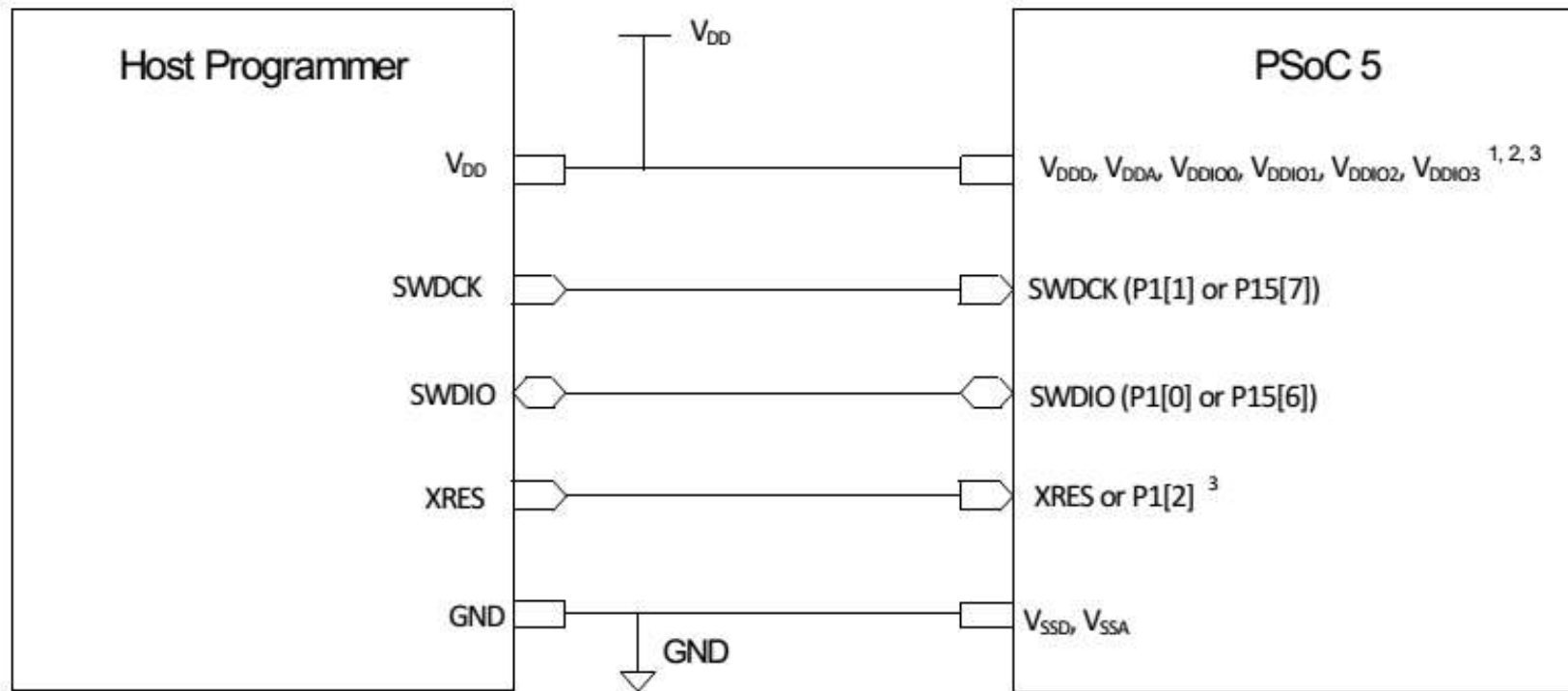
Podłączenie programatora poprzez JTAG [2]



Podłączenie programatora poprzez JTAG [2] c.d.

- ¹ The voltage levels of Host Programmer and the PSoC 5 voltage domains involved in Programming should be same. The Port 1 JTAG pins, XRES pin (XRES_N or P1[2]) are powered by V_{DDIO1} . So, V_{DDIO1} of PSoC 5 should be at same voltage level as host V_{DD} . Rest of PSoC 5 voltage domains (V_{DDDD} , V_{DDA} , V_{DDIO0} , V_{DDIO2} , V_{DDIO3}) need not be at the same voltage level as host Programmer.
- ² V_{DDA} must be greater than or equal to all other power supplies (V_{DDDD} , V_{DDIO} 's) in PSoC 5.
- ³ For Power cycle mode Programming, XRES pin is not required. But the Host programmer must have the capability to toggle power (V_{DDDD} , V_{DDA} , All V_{DDIO} 's) to PSoC 5. This may typically require external interface circuitry to toggle power which will depend on the programming setup. The power supplies can be brought up in any sequence, however, once stable, V_{DDA} must be greater than or equal to all other supplies.
- ⁴ For JTAG Programming, Device reset can also be done without connecting to the XRES pin or Power cycle mode by using the TMS, TCK, TDI, TDO pins of PSoC 5, and writing to a specific register. But this requires that the DPS setting in NVL is not equal to "Debug Ports Disabled".
- ⁵ By default, PSoC 5 is configured for 4-wire JTAG mode unless user changes the DPS setting. So the TMS pin is unidirectional. But if the DPS setting is changed to non-JTAG mode, the TMS pin in JTAG is bi-directional as the SWD Protocol has to be used for acquiring the PSoC 5 device initially. After switching from SWD to JTAG mode, the TMS pin will be uni-directional. In such a case, unidirectional buffer should not be used on TMS line.
- ⁶ nTRST JTAG pin (P1[5]) cannot be used to reset the JTAG TAP controller during first time programming of PSoC 5 as the default setting is 4-wire JTAG (nTRST disabled). Use the TMS, TCK pins to do a reset of JTAG TAP controller.

Podłączenie programatora poprzez SWD [2]



Podłączenie programatora poprzez SWD [2] c.d.

- ¹ The voltage levels of the Host Programmer and the PSoC 5 voltage domains involved in programming should be the same. XRES pin (XRES_N or P1[2]) is powered by V_{DDIO1} . The USB SWD pins are powered by V_{DD} . So for Programming using the USB SWD pins with XRES pin, the V_{DD} , V_{DDIO1} of PSoC 5 should be at the same voltage level as Host V_{DD} . Rest of PSoC 5 voltage domains (V_{DDA} , V_{DDIO0} , V_{DDIO2} , V_{DDIO3}) need not be at the same voltage level as host Programmer. The Port 1 SWD pins are powered by V_{DDIO1} . So V_{DDIO1} of PSoC 5 should be at same voltage level as host V_{DD} for Port 1 SWD programming. Rest of PSoC 5 voltage domains (V_{DD} , V_{DDA} , V_{DDIO0} , V_{DDIO2} , V_{DDIO3}) need not be at the same voltage level as host Programmer.
- ² V_{DDA} must be greater than or equal to all other power supplies (V_{DD} , V_{DDIO} 's) in PSoC 5.
- ³ For Power cycle mode Programming, XRES pin is not required. But the Host programmer must have the capability to toggle power (V_{DD} , V_{DDA} , All V_{DDIO} 's) to PSoC 5. This may typically require external interface circuitry to toggle power which will depend on the programming setup. The power supplies can be brought up in any sequence, however, once stable, V_{DDA} must be greater than or equal to all other supplies.

Deubg – funkcjonalność [2]

- zatrzymanie pracy programu i praca krokowa,
- podgląd i zmiana zawartości rejestrów CPU, peryferiów i RAM,
- 6 breakpointów na adresie programu,
- punkty śledzenia danych,
- remapowanie programu z FLASH do RAM,
- debug na pełnej prędkości procesora,
- kompatybilny z IDE PSoC Creator i programatorem MiniProg3,
- standardowy interfejs JTAG umożliwia zastosowanie narzędzi firm trzecich (ARM, Keil...).

Trace – funkcjonalność [2]

- śledzenie instrukcji,
- punkt śledzenia danych w momencie dostępu do adresu danych, zakresu adresów lub wartości danej,
- wyzwalamie śledzenia na punktach śledzenia,
- profilowanie firmware poprzez pomiary cykli zegara, operacji zapisu/odczytu, cykli uśpienia...
- śledzenie przypadków wywołania przerwań.

Wykorzystanie GPIO

Debug and Trace Configuration	GPIO Pins Used
All debug and trace disabled	0
JTAG	4 or 5
SWD	2
SWV	1
TRACEPORT	5
JTAG + TRACEPORT	9 or 10
SWD + SWV	3
SWD + TRACEPORT	7

Układy PSoC firmy Microsemi [3]

Firma Microsemi produkuje układy PSoC w 2 następujących rodzinach:

- SmartFusion SoC FPGA
- SmartFusion2 SoC FPGA

Układy SmartFusion SoC FPGA

Układy serii SmartFusion składają się z następujących podbloków:

- Microcontroller Subsystem (MSS):
- FPGA Fabric
- Programmable analog

Microcontroller Subsystem [3]

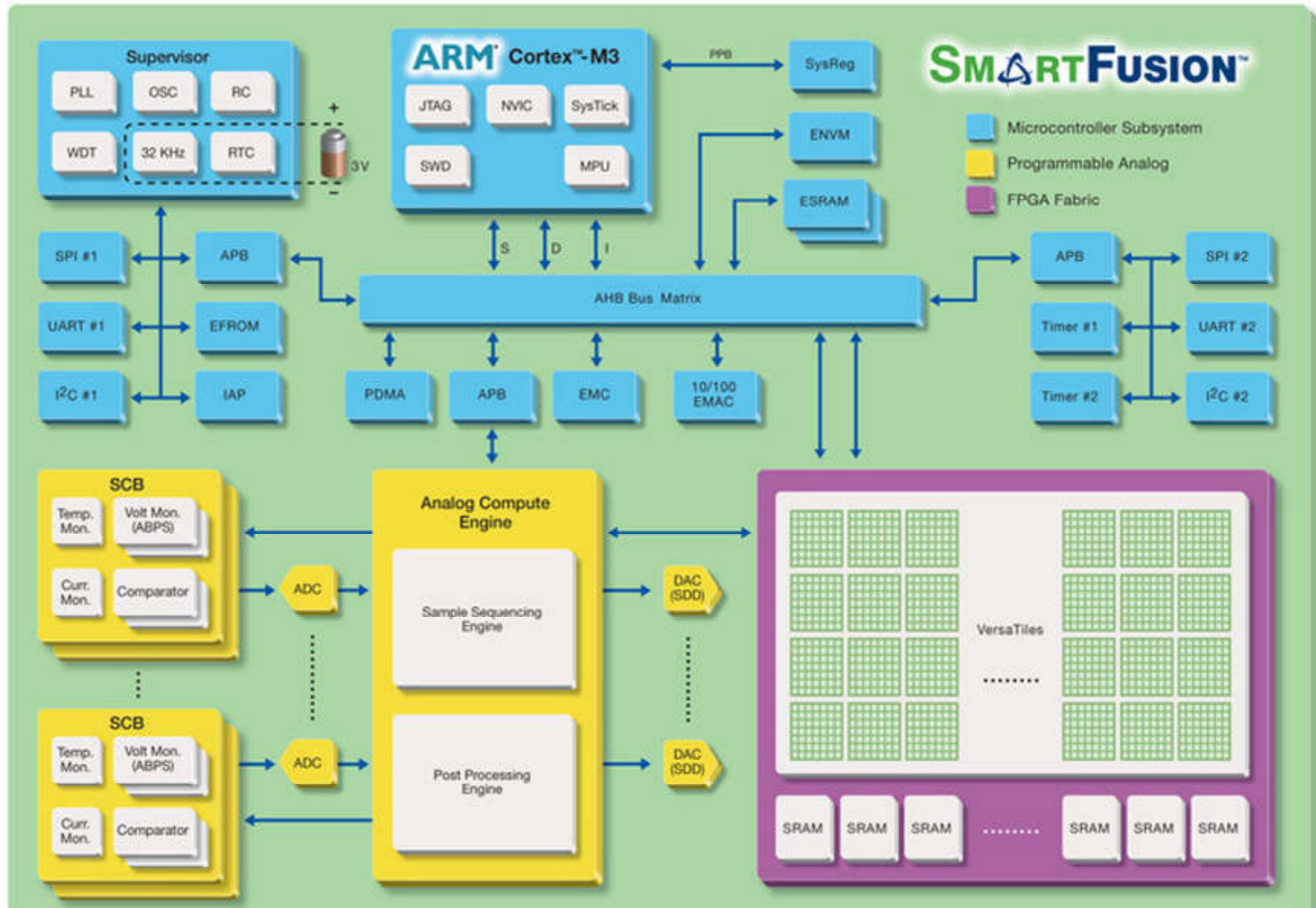
- Hardware industry-standard 100 MHz, 32-bit ARM Cortex-M3 CPU
- Multi-layer AHB communication matrix with up to 16 Gbps throughput
- 10/100 Ethernet MAC with RMII interface
- Two of each: SPI, I2C, UART, 32-bit timers
- Up to 512 KB flash and 64 KB of SRAM
- External memory controller (EMC)
- 8-channel DMA controller
- Up to 41 MSS I/Os with Schmitt trigger inputs
- 25 I/Os can be used as FPGA I/Os

FPGA Fabric [3]

- Based on Microsemi's proven ProASIC3 architecture
- 60,000 to 500,000 system gates with 350 MHz system performance
- Embedded SRAMs and FIFOs
 - Variable aspect ratio 4,608-bit SRAM blocks
 - x1, x2, x4, x9 and x18 organizations
 - True dual-port SRAM (including x18)
- Up to 128 FPGA I/Os supporting LVDS, PCI, PCI-X and LVTTL/LVCMOS standards

Programmable Analog [3]

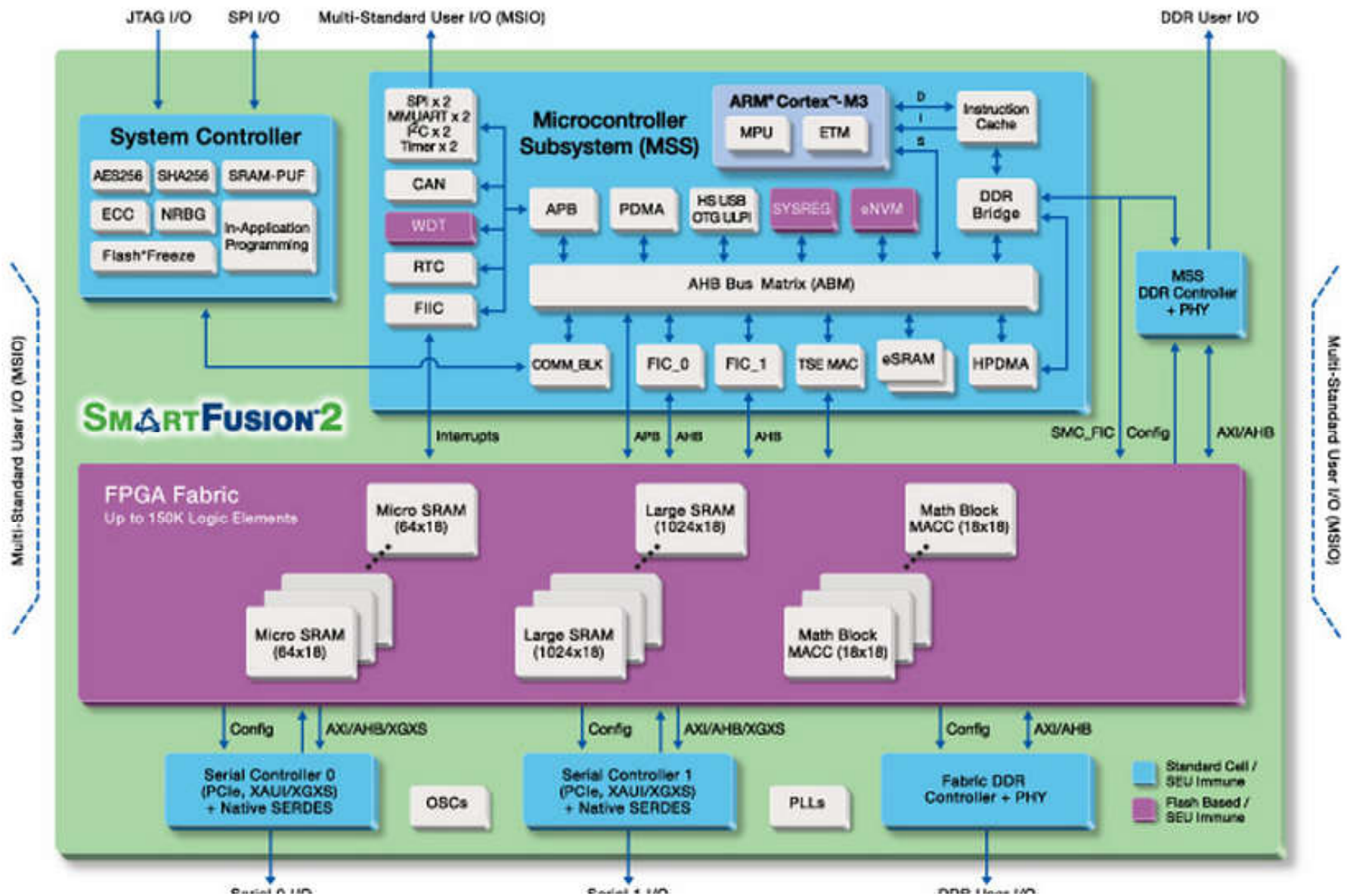
- High-performance analog signal conditioning blocks (SCB) with voltage, current and temperature monitors
- Analog compute engine (ACE) offloads CPU from analog initialization and processing of analog-to-digital conversion (ADC), digital-to-analog conversion (DAC) and SCBs
- Integrated ADCs and DACs with 1 percent accuracy
- 12-/10-/8-bit mode ADCs with 500/550/600 Ksps sampling rate
- Up to ten 15 ns high-speed comparators
- Up to 32 analog inputs and 3 outputs



Układy SmartFusion2 [3]

Układy SmartFusion2 składają się z następujących głównych modułów:

- Microcontroller Subsystem (MSS)
- FPGA Fabric
- Bloki Serial I/O i kontroler pamięci DDR



Porównanie układów PSoC w zestawach Cypress i Microsemi [4]

Porównano następujące 2 zestawy uruchomieniowe:

- Zestaw firmy Cypress: CY8CKIT-050 PSoC5LP
- Zestaw firmy Microsemi: A2F-EVAL-KIT-2

Porównanie zastosowanych mikrokontrolerów [4]:

	SmartFusion	PSoC 5LP
Rdzeń	ARM Cortex-M3	ARM Cortex-M3
Taktowanie	do 100 MHz	do 80 MHz
Dhrystones	1.25 DMIPS/MHz	1.25 DMIPS/MHz
Koprocesory	możliwość implementacji w FPGA	generator CRC, filtry FIR, IIR

Porównanie dostępnej pamięci [4]:

	A2F200M3F	CY8C58LP
FLASH	256kB	256kB
RAM	64kB	64kB
EEPROM	brak	2kB

Porównanie parametrów zasilania [4]:

	SmartFusion	PSoC 5LP
Napięcia zasilania	3V - 3,6V	1,7V - 5,5V
Maksymalny prąd pinów	12mA	25mA
Pobór prądu podczas pracy	80mA	25mA
Pobór prądu w uśpieniu	10mA	2 μ A

Porównanie bloków peryferyjnych układów PSoC [4]:

	A2F200M3F	CY8C58LP
Cyfrowe	2 32 bitowe liczniki	4 16 bitowe liczniki
	8 kanałowe DMA	24 kanałowe DMA
	RTC, watchdog	RTC, watchdog
	2 I ² C, 2 UART, 2 SPI, 10/100 Ethernet MAC, interfejs pamięci zewnętrznej	I ² C, USB, CAN
	FPGA z 200 000 bramek	24 programowalne bloki mogące być licznikiem, UART, I ² C, SPI, LIN, CRC
Analogowe	3 12 bitowe ADC typu SAR (do 600ksps)	2 12 bitowe ADC typu SAR (do 1Msps), 20 bitowy ADC typu sigma-delta (do 300ksps)
	3 12 bitowe DAC	4 8 bitowe DAC
	10 komparatorów	4 komparatory, 4 wzmacniacze operacyjne
	pomiar różnicowy napięcia oraz prądu, pomiar temperatury	programowalne wzmacniacze operacyjne i transimpedancyjne

Układ XILINX Zynq-7000 [5]

Najważniejsze cechy układów rodziny Zynq:

- Układ w technologii CMOS 28nm.
- Składa się z 2 głównych podbloków:
 - dwurdzeniowy procesor ARM Cortex A9 (PS).
 - logika programowalna (PL).

Zynq-7000, blok procesora (PS) [5]

- Dual-core ARM Cortex-A9: 2.5DMIPS/MHz na jeden rdzeń, częstotliwość do 1GHz, wbudowany NEON media-processing engine, VFPU (ang. vector floating point unit), ...
- Pamięci cache: Level1 po 32kB/rdzeń, Level2 512kB na oba rdzenie.
- Pamięci w układzie: boot ROM, 256kB RAM.
- Interfejs pamięci zewnętrznej: kontroler pamięci dynamicznych obsługujący 16 i 32 bitowe pamięci typu DDR3, DDR3L, DDR2, LDDDR2, wspieranie kontroli ECC w 16bitowym trybie, obsługuje do 1GB przestrzeni adresowej, obsługuje również pamięci statyczne ale o mniejszych pojemnościach.

Zynq-7000, PS [5] c.d.

- Bloki peryferyjne i interfejsy I/O:
 - 2 x 10/100/1000 Ethernet MAC,
 - 2 x USB 2.0 OTG,
 - 2 x pełne bloki CAN 2.0B,
 - 2 kontrolery SD/SDIO/MMC,
 - 2 x SPI,
 - 2 x UART,
 - 2 x I2C,
 - GPIO w czterech 32 bitowych bankach,
 - Do 54 multipleksowanych I/O (MIO).
- Połączenia wewnętrzne: możliwe jest połączenie PS z PL, szyna oparta jest na ARM AMBA AXI, możliwość wspierania QoS na krytycznych blokach master.

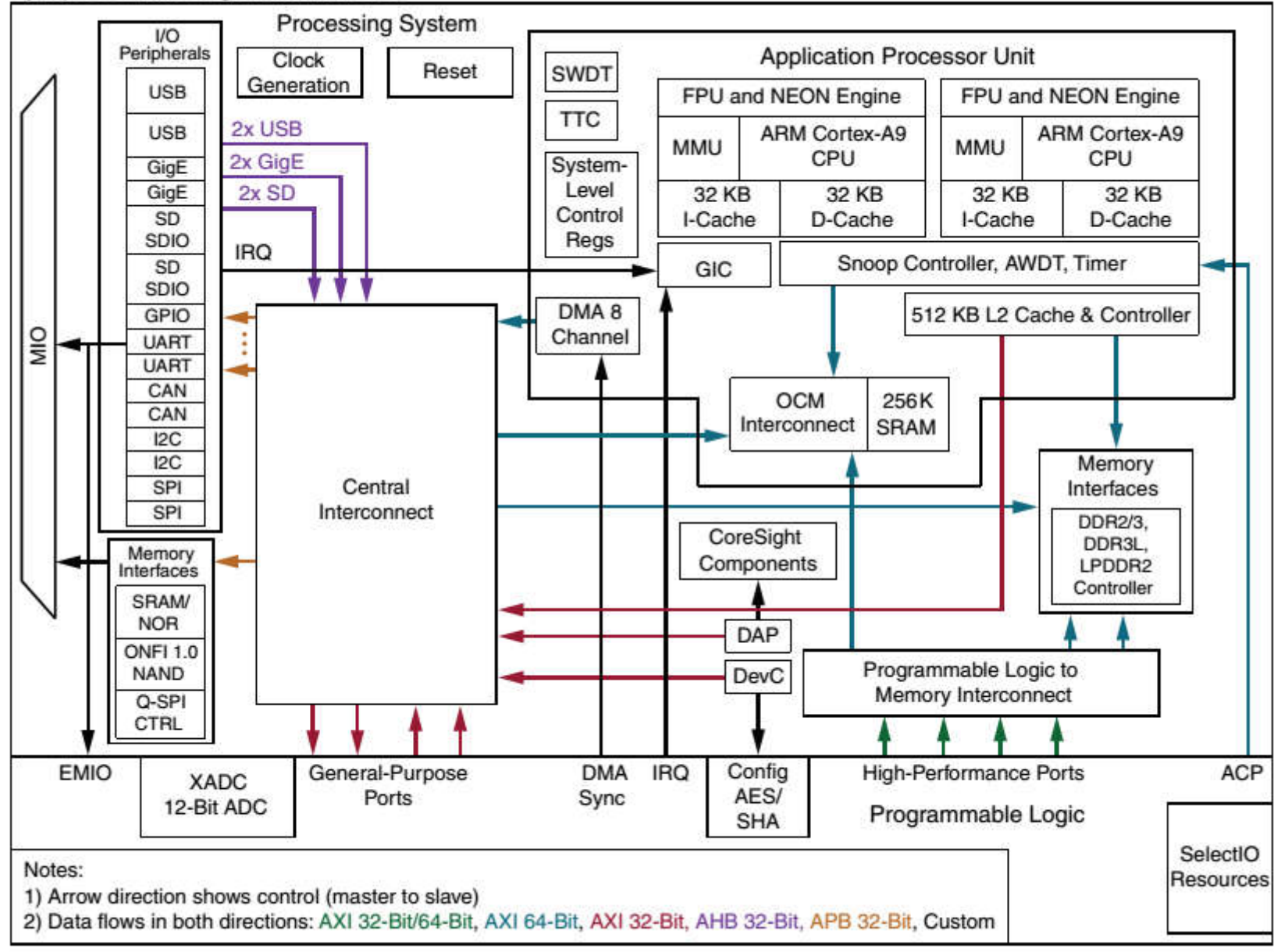
Zynq-7000 logika progr. (PL) [4]

- Konfigurowalne bloki logiczne (CLB):
 - bloki LUT,
 - przerzutniki,
 - sumatory.
- Pamięci Block RAM 38kb:
 - dwuportowe,
 - szerokość szyny do 72bitów,
 - możliwość skonfigurowania jako 2 po 18kb.
- Bloki DSP:
 - mnożniki ze znakiem 18 x 25,
 - 48 bitowy sumator/akumulator/
 - 25 bitowy sumator wstępny.

Zynq-7000 logika progr. (PL) [4] c.d.

- Programowalne bloki I/O:
 - wspieranie standardów: LVCMOS, LVDS i SSTL,
 - napięcia I/O od 1.2V do 3.3V,
 - Programowalne opóźnienie I/O oraz SerDes.
- Interfejs JTAG zgodny z IEEE 1149.1.
- Bloki PCI Express:
 - możliwa konfiguracja root complex i End Point,
 - wspiera prędkości do Gen2, wspiera do 8 linii.
- Transceiver-y szeregowo: do 16 bloków z prędkościami do 12.5Gb/s
- Dwa przetworniki 12 bitowe ADC:
 - możliwe mierzenie napięcia i temperatury struktury,
 - do 17 zewnętrznych wejść różnicowych,
 - szybkość konwersji: 1Ms/s.

Zynq-7000 All Programmable SoC



Zynq-7000 All Programmable SoC									
Device Name	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100		
Part Number	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100		
Processing System	Processor Core	Dual ARM® Cortex™-A9 MPCore™ with CoreSight™							
	Processor Extensions	NEON™ & Single / Double Precision Floating Point for each processor							
	Maximum Frequency	667 MHz (-1); 766 MHz (-2); 866 MHz (-3)			667 MHz (-1); 800 MHz (-2); 1 GHz (-3)			667 MHz (-1); 800 MHz (-2)	
	L1 Cache	32 KB Instruction, 32 KB Data per processor							
	L2 Cache	512 KB							
	On-Chip Memory	256 KB							
	External Memory Support ⁽¹⁾	DDR3, DDR3L, DDR2, LPDDR2							
	External Static Memory Support ⁽¹⁾	2x Quad-SPI, NAND, NOR							
	DMA Channels	8 (4 dedicated to Programmable Logic)							
	Peripherals ⁽¹⁾	2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO							
	Peripherals w/ built-in DMA ⁽¹⁾	2x USB 2.0 (OTG), 2x Tri-mode Gigabit Ethernet, 2x SD/SDIO							
Security ⁽²⁾	RSA Authentication, and AES and SHA 256-bit Decryption and Authentication for Secure Boot								
Processing System to Programmable Logic Interface Ports (Primary Interfaces & Interrupts Only)	2x AXI 32b Master 2x AXI 32-bit Slave 4x AXI 64-bit/32-bit Memory AXI 64-bit ACP 16 Interrupts								

Zynq-7000 All Programmable SoC									
	Device Name	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100	
	Part Number	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100	
Programmable Logic	Xilinx 7 Series Programmable Logic Equivalent	Artix@-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Kintex@-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	
	Programmable Logic Cells (Approximate ASIC Gates) ⁽³⁾	28K Logic Cells (~430K)	74K Logic Cells (~1.1M)	85K Logic Cells (~1.3M)	125K Logic Cells (~1.9M)	275K Logic Cells (~4.1M)	350K Logic Cells (~5.2M)	444K Logic Cells (~6.6M)	
	Look-Up Tables (LUTs)	17,600	46,200	53,200	78,600	171,900	218,600	277,400	
	Flip-Flops	35,200	92,400	106,400	157,200	343,800	437,200	554,800	
	Extensible Block RAM (# 36 Kb Blocks)	240 KB (60)	380 KB (95)	560 KB (140)	1,060 KB (265)	2,000 KB (500)	2,180 KB (545)	3,020 KB (755)	
	Programmable DSP Slices (18x25 MACCs)	80	160	220	400	900	900	2,020	
	Peak DSP Performance (Symmetric FIR)	100 GMACs	200 GMACs	276 GMACs	593 GMACs	1,334 GMACs	1,334 GMACs	2,622 GMACs	
	PCI Express® (Root Complex or Endpoint)	—	Gen2 x4	—	Gen2 x4	Gen2 x8	Gen2 x8	Gen2 x8	
	Analog Mixed Signal (AMS) / XADC	2x 12 bit, MSPS ADCs with up to 17 Differential Inputs							
	Security ⁽²⁾	AES and SHA 256b for Boot Code and Programmable Logic Configuration, Decryption, and Authentication							

Notes:

1. Restrictions apply for CLG225 package. Refer to the [UG585](#), *Zynq-7000 AP SoC Technical Reference Manual (TRM)* for details.
2. Security is shared by the Processing System and the Programmable Logic.
3. Equivalent ASIC gate count is dependent on the function implemented. The assumption is 1 Logic Cell = ~15 ASIC Gates.

Package ⁽¹⁾	CLG225			CLG400			CLG484			CLG485 ⁽²⁾				SBG485 ⁽²⁾			
Size	13 x 13 mm			17 x 17 mm			19 x 19 mm			19 x 19 mm				19 x 19 mm			
Ball Pitch	0.8 mm			0.8 mm			0.8 mm			0.8 mm				0.8 mm			
Transceiver Speed (max)										6.25 Gb/s				6.6 Gb/s			
Device	PS I/O	SelectIO		PS I/O	SelectIO		PS I/O	SelectIO		PS I/O	GTP	SelectIO		PS I/O	GTX	SelectIO	
		HR ⁽³⁾	HP ⁽⁴⁾		HR ⁽³⁾	HP ⁽⁴⁾		HR ⁽³⁾	HP ⁽⁴⁾			HR ⁽³⁾	HP ⁽⁴⁾			HR ⁽³⁾	HP ⁽⁴⁾
XC7Z010	86	54	–	130	100	–											
XC7Z015										130	4	150	–				
XC7Z020				130	125	–	130	200	–								
XC7Z030														130	4	50	100
XC7Z035																	
XC7Z045																	
XC7Z100																	

Notes:

1. All packages listed are Pb-free. Some packages are available with a Pb option.
2. The Z-7015 device in the CLG485 package and the Z-7030 device in the SBG485 package are pin-to-pin compatible.
3. HR = High Range I/O with support for I/O voltage from 1.2V to 3.3V.
4. HP = High Performance I/O with support for I/O voltage from 1.2V to 1.8V.

Package ⁽¹⁾	FBG484			FBG676			FFG676			FFG900			FFG1156							
Size	23 x 23 mm			27 x 27 mm			27 x 27 mm			31 x 31 mm			35 x 35 mm							
Ball Pitch	1.0 mm			1.0 mm			1.0 mm			1.0 mm			1.0 mm							
Transceiver Speed (max)	6.6 Gb/s			6.6 Gb/s			12.5 Gb/s			12.5 Gb/s			10.3 Gb/s							
Device	PS I/O	GTX	SelectIO		PS I/O	GTX	SelectIO		PS I/O	GTX	SelectIO		PS I/O	GTX	SelectIO		PS I/O	GTX	SelectIO	
			HR ⁽²⁾	HP ⁽³⁾			HR ⁽²⁾	HP ⁽³⁾			HR ⁽²⁾	HP ⁽³⁾			HR ⁽²⁾	HP ⁽³⁾			HR ⁽²⁾	HP ⁽³⁾
XC7Z010																				
XC7Z015																				
XC7Z020																				
XC7Z030	130	4	100	63	130	4	100	150	130	4	100	150								
XC7Z035					130	8	100	150	130	8	100	150	130	16	212	150				
XC7Z045					130	8	100	150	130	8	100	150	130	16	212	150				
XC7Z100													130	16	212	150	130	16	250	150

Notes:

1. All packages listed are Pb-free. Some packages are available with a Pb option.
2. HR = High Range I/O with support for I/O voltage from 1.2V to 3.3V.
3. HP = High Performance I/O with support for I/O voltage from 1.2V to 1.8V.