Wstep i przeglad

Sekcja 1

Cele:

Programowanie i rozwoj systemu dla ADSP-21161, ktory podejmuje podejscie"a hands-on" w celu na-uczenia architektury, instrukcji i narzedzi rozbudowy.

ADSP-21161 Course Overview

day 1

1. Introduction and Course Overview
2. Introduction to Software Tools
3. The ADSP-21161 Core Architecture I
4. The ADSP-21161 Core Architecture II
5. ADSP-21161 Memory

day 2

6. Software Development
7. Advanced Instruction Types
8. SIMD Architecture and Programming Model
9. SHARC (ADSP-21161) Architecture Overview I
10. SHARC (ADSP-21161) Architecture Overview II

day 3

11. SHARC (ADSP-21161) Architecture Overview III
12. System Design
13. Advanced Linker Features

day 4

14. C Compiler
15. Hardware Tools
16. Conclusion/Questions

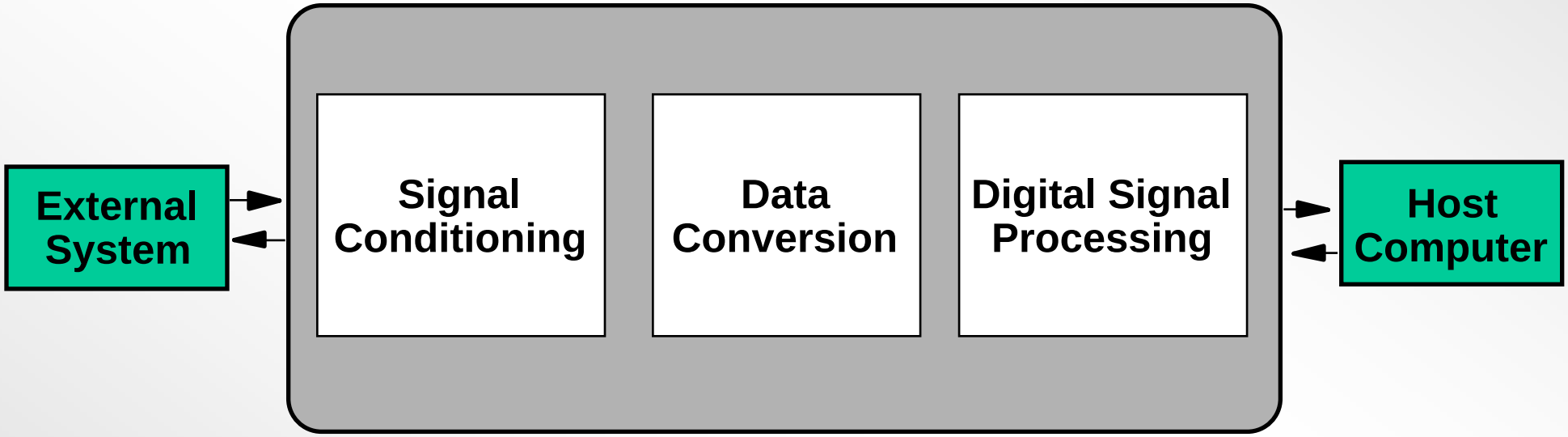
Logistics

- Start Time
- Breaks
- Rest Rooms
- Lunch
- Stop Time

Course Handouts

1. Course Workbook
2. CD-ROM Containing:
    1. All SHARC processor
        1. Hardware Reference
        2. Instruction Set Reference
        3. Data Sheets
    2. Application Notes
    3. VisualDSP++ Manual Set
    4. PDF of Workshop Presentation

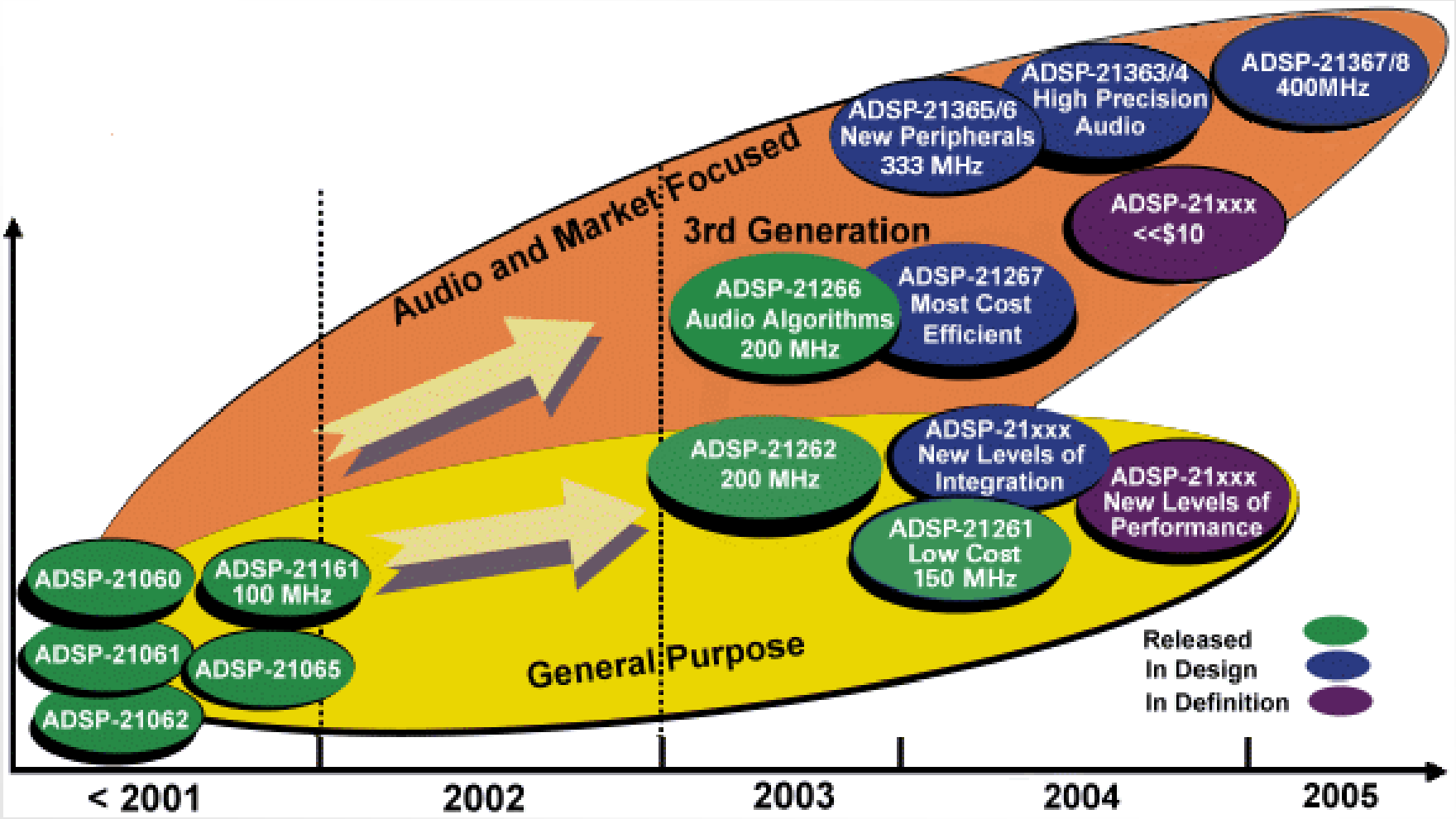
Urzadzenia analogowe
Real World Signal Processing



Nasza strategia:

Efektywne rozwiazania dla aplikacji Real World Signal Processing

Rodzina ADSP-21xxx: Historia i Roadmap



Czym charakteryzuje sie dobry DSP?

- szybkosc, elastyczne jednostki obliczeniowe
- nieograniczony przeplyw danych z/do jednostek obliczeniowych
- rozszerzona precyzja i zakres dynamiki w jednostkach obliczeniowych
- podwojny generator adresu
- sprawna sekwencyjnosc programowa
- latwosc programowania
- sprawne operacje I/Og

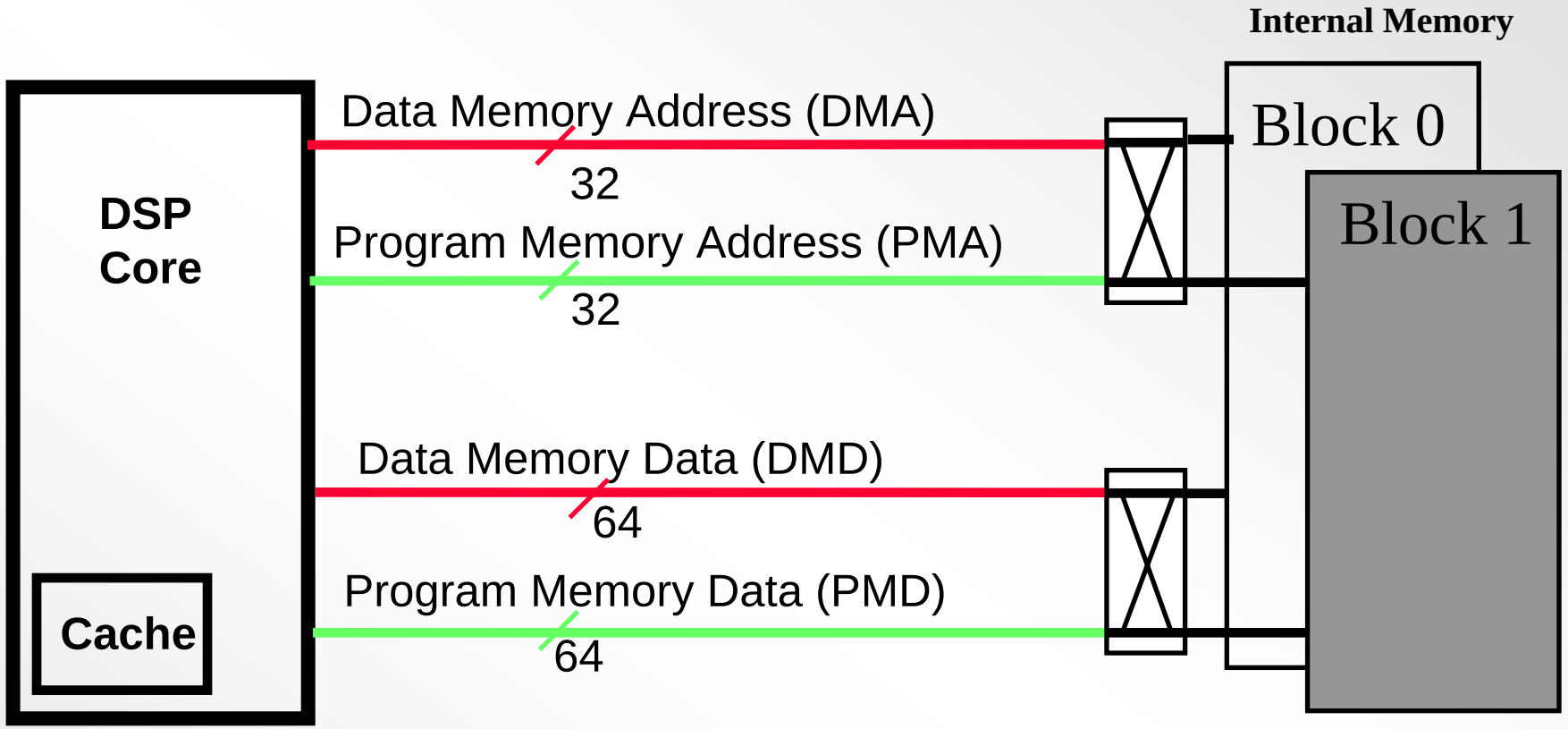
Cechy Rdzenia ADSP

- **szybkie operacje arytmetyczne**
  - dwie jednosctki operacyjne, kazda zawierajaca: Register File, ALU, Multiplier/MAC, Shifter
    - w pelni rownolegle operacje ALU i mnozenia
    - brak petli arytmetycznych:
      - Register File -to- Arithmetic -to- Register File w czasie cyklu
  - rozszerzony zakres dynamiki
    - 32/40-bit IEEE zakres dynami "przecinka" 10E-38 to 10E+38
    - 32-bit staly MACs with 80-bitowa akumulacja
- **transfer danych w pojedynczym cyklu**
  - dwa niezalezne generatory adresu danych (DAGs) umozliwiajace dostep danych w pojedynczym cyklu
- **hardwarowy Circular buffer addressing**
  - oba DAGi umozliwiaja buforowania "circular"
- **zerowe przesterowanie w petli, 6 poziomow glebokosci**

Cechy rdzenia ADSP-21161
Single-Instruction, Multiple-Data (SIMD)

- **SIMD jest uzywane do zwiekszenia przepustowosci DSP**
- **w trybie SIMD taka sama operacja arytmetyczna jest wykonywana w dwoch grupach danych podczas tego samego cyklu**
- **SIMD jest obslugiwana przez dwa podobne Processing Elements PEx i PEy**
  - PEx jest pierwszym elementem przetwarzajacym i przetwarza wszystkie instrukcje zarowno Single Instruction, Single-Data (SISD) lub w trybie SIMD
  - PEy jest drugim elementem przetwarzajacym i przetwarza kazda instrukcje obliczeniowa lock-step z PEx kiedy SIMD jest aktywne
- **DAG moga obslugiwac dana dla obu elementow przetwarzajacych w tm samym cyklu wykonywania instrukcji**

Zmodyfikowana arch. Harwardzka



- **instrukcje sa przynoszone w kazdym cyklu przez szyne PM jesli nie sa w cache**
- **Data Memory accesses ma pierwszenstwo przed Program Memory data accesses**
- **konflikty szyny PM zdarzaja sie kiedy przychodzi instrukcja i przyjscie danej PM data jest wymagane w tym samym cyklu (cache miss)**