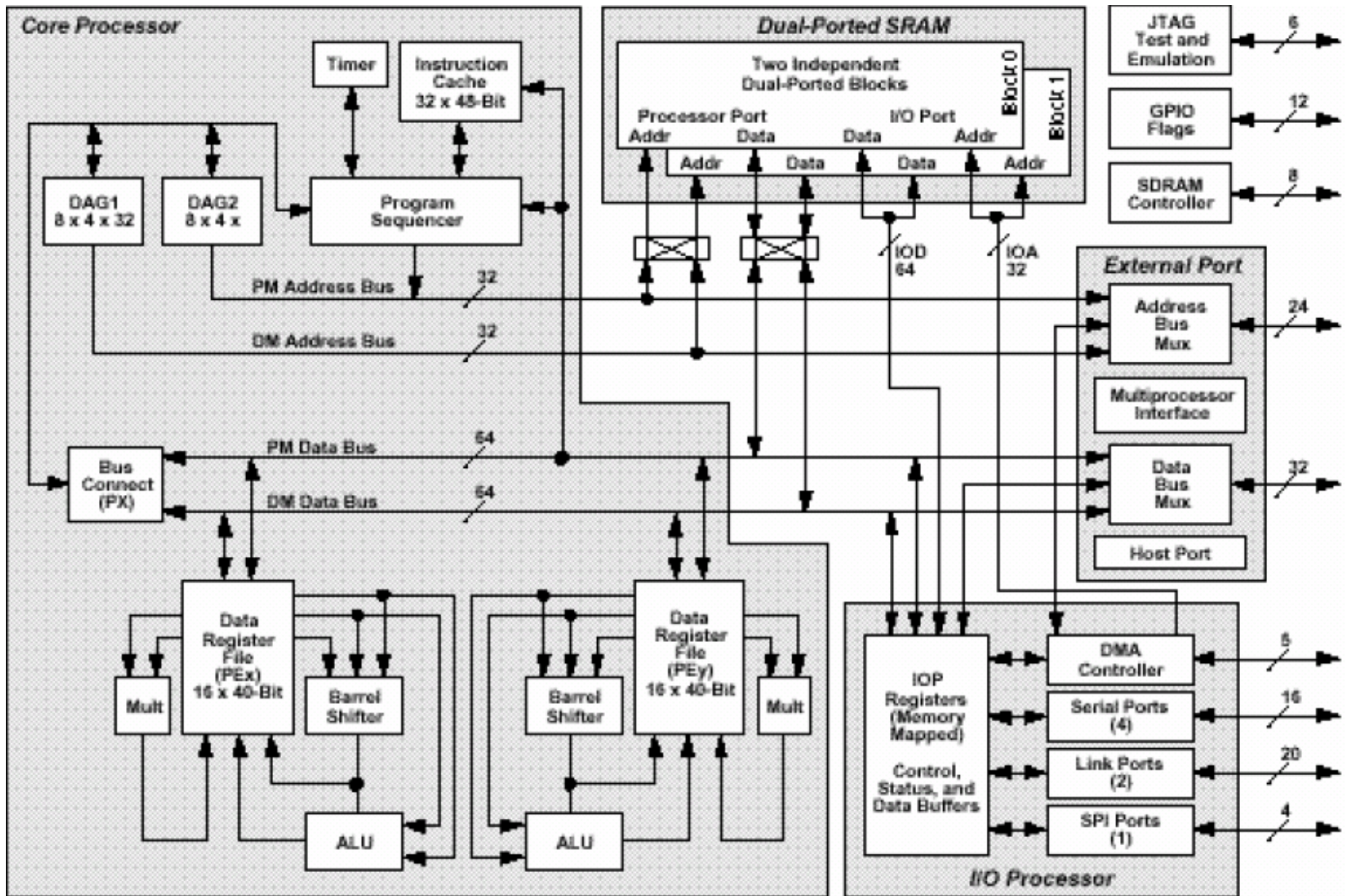


ADSP-21161

Architektura układu

Schemat blokowy



Możliwości układu ADSP-21161

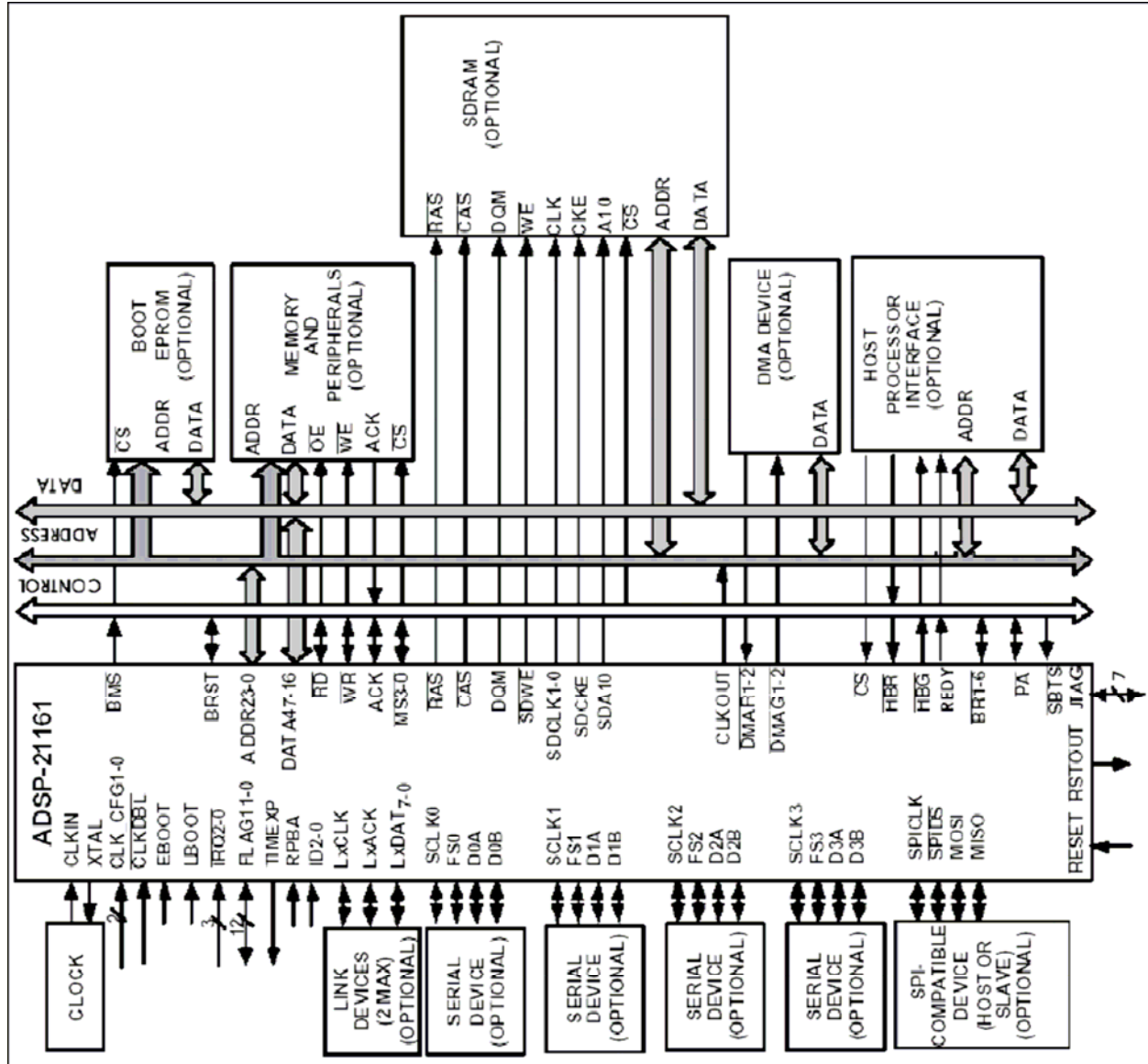
- 32 linie danych
- 24 linie adresowe
- Możliwość uzyskania częstotliwości pracy rdzenia względem dostarczonego sygnału zegarowego 2:1, 3:1, 4:1, 6:1 oraz 8:1
- Możliwość uzyskania wyjściowego sygnału zegarowego względem sygnału wejściowego 2:1 oraz 1:1
- Wbudowany kontroler SDRAM 100MHz
- Wbudowany kontroler SBSRAM do 50MHz
- Interfejs 8, 16 oraz 32 bitowy (pośredni dostęp do pamięci wewnętrznej poprzez DMA)
- Możliwość podłączenia do 6 procesorów SHARC na wspólnej szynie (dostęp do rejestrów IOP oraz wewnętrznej pamięci poprzez DMA)

Możliwości układu ADSP-21161 cd.

- 48 bitowa szyna danych (16 linii danych)
 - linie danych są multipleksowane
 - użyteczne przy uruchamianiu komend z pamięci zewnętrznej
 - 48 bitowa szyna danych – konfigurowalna szerokość szyny przy użyciu rejestru SYSCON

- Obsługa pakietów instrukcji z pamięci zewnętrznej
 - obsługa pamięci 8-, 16- oraz 32 bitowych

Schemat układu ADSP-21161



Lista wyprowadzeń układu ADSP-21161

- **ADDR23-0 I/O/T** adres
- **DATA47-16 I/O/T** dane
- **/MS3-0 O/T** rozkodowane zakresy adresowe
- **/RD I/O/T** synchroniczny odczyt
- **/WR I/O/T** synchroniczny zapis
- **ACK I/O** synchroniczne potwierdzenie adresu
- **/HBR I/A** żądanie przejęcia szyny przez hosta
- **/HBG I/O** pozwolenie na przejęcia szyny

Lista wyprowadzeń układu ADSP-21161 cd.

- **/CS** **I/A** **asynchroniczny dostęp hosta**
- **REDY** **O(o/d)** **asynchroniczne potwierdzenie gotowości**
- **/DMAR** **I/A** **żądanie handshake'u (DMA)**
- **/DMAG** **O/T** **zezwoleńie na handshake (DMA)**
- **/BR6-1** **I/O/S** **zezwoleńie szyny ,wyjście BRx dla IDx**
- **ID2-0** **I** **przypisanie MMS**
- **RPBA** **I/S** **rotacja tablicy priorytetów**
- **/PA** **I/O/T** **dostęp priorytetowy DMA jeżeli EP jest obecne**

Lista wyprowadzeń układu ADSP-21161 cd.

- **BMSTR** **O** **wyście aktywnej szyny**
- **/BMS** **I/O/T** **EPROM BOOT**
- **CLKIN** **I** **weście sygnału zegarowego**
- **CLK_CFG1:0** **I** **ustawienie współczynnika
mnożenia sygnału
zegarowego**
- **/CLKDBL** **I** **podwojenie wejściowego
sygnału zegarowego**
- **CLKOUT** **O** **wyście sygnału zegarowego**

Kontrola transferu

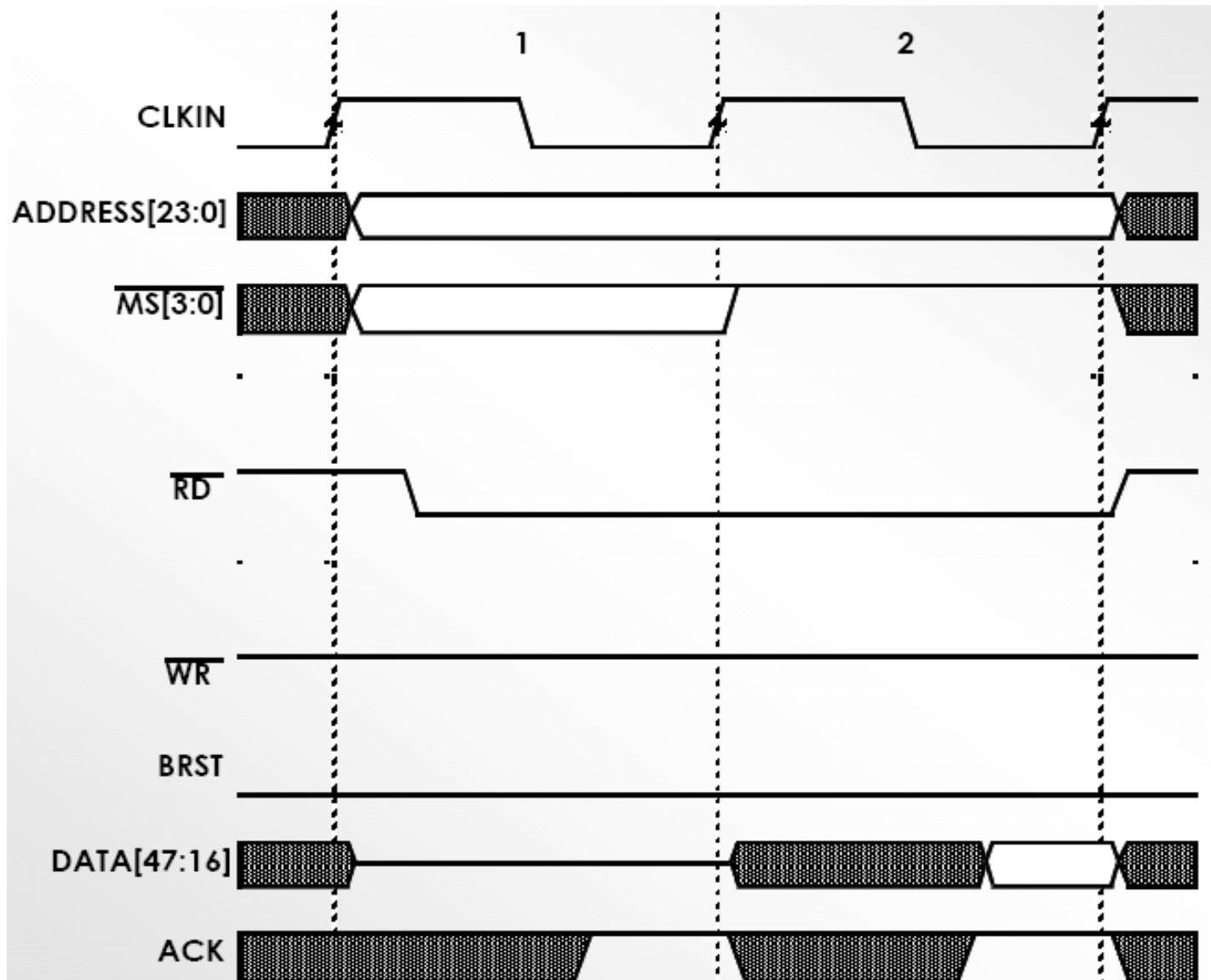
- **(SYSCON)**

- HBW1:0 szerokość szyny 8-, 16-, 32-bity
- HMSWF kolejność bitów w słowie
- EBPR1:0 priorytet szyny zewnętrznej
- IPACK1:0 tryby kompresji komend

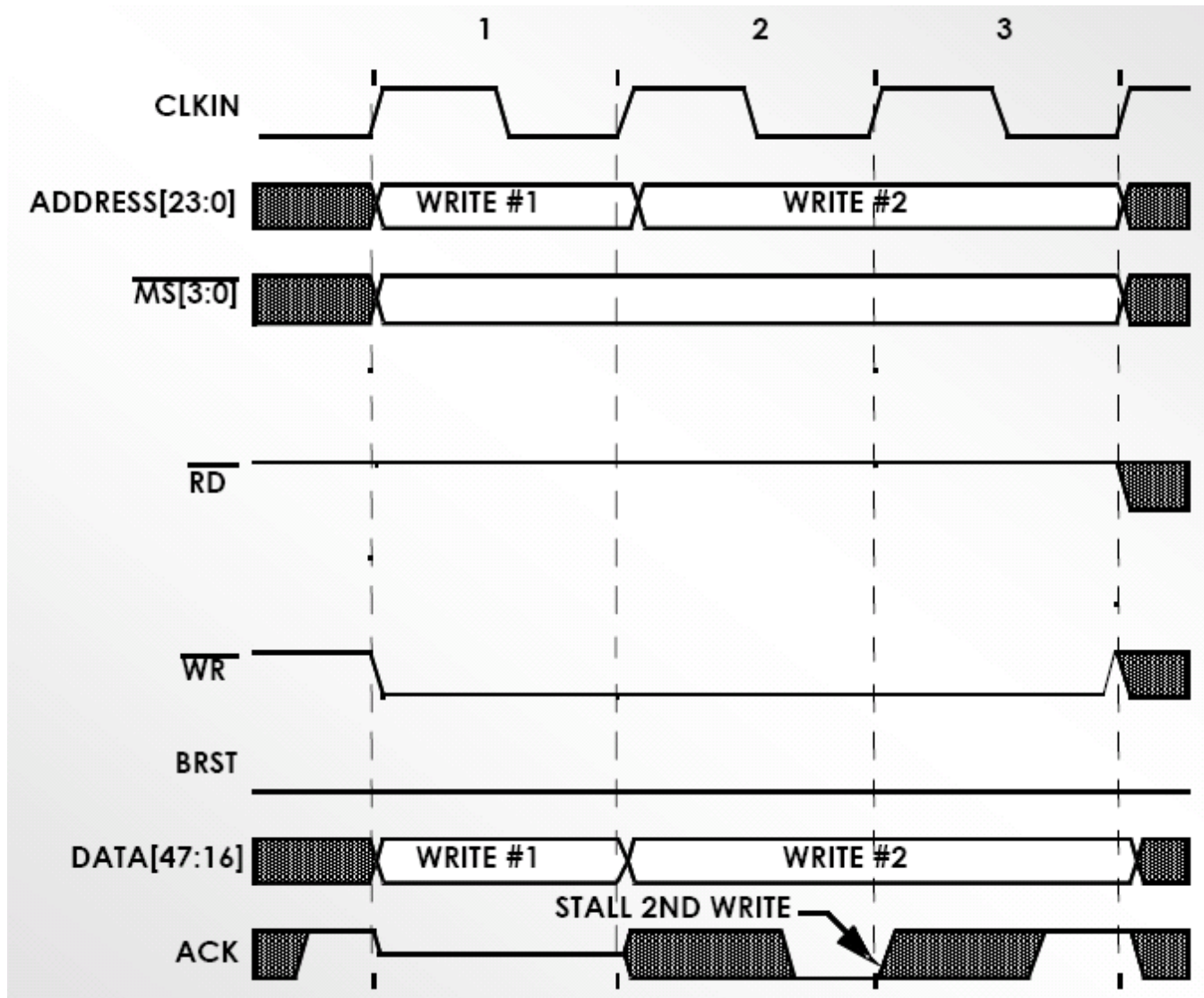
- **(DMACx)**

- DTYPE szerokość słowa DMA
(32- lub 48-bitowy dostęp)
- PMODE2:0 tryby kompresji komend DMA: brak,
8-32/64, 8-48, 16-32/64, 16-48, 32-48,
32-32/64
- MSWF kolejność bitów w słowie (DMA)

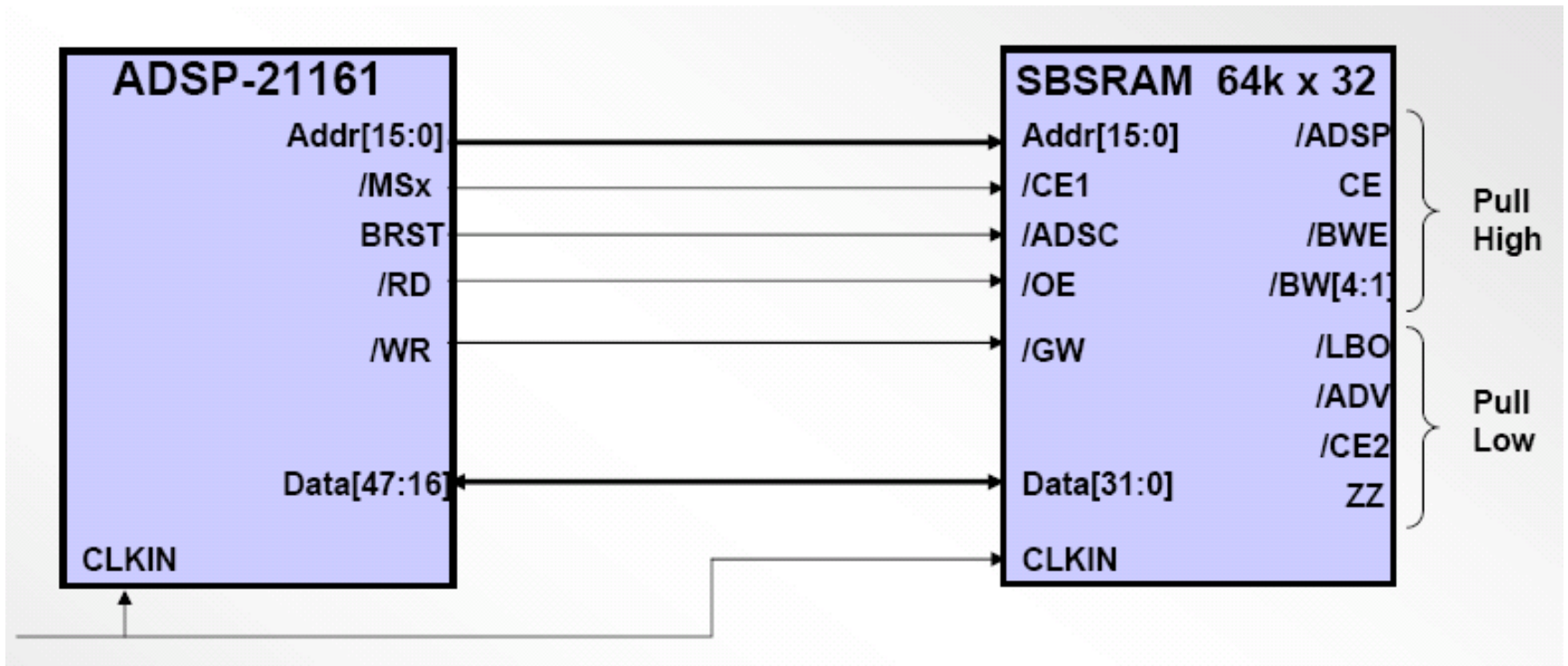
Odczyt synchroniczny



Zapis synchroniczny



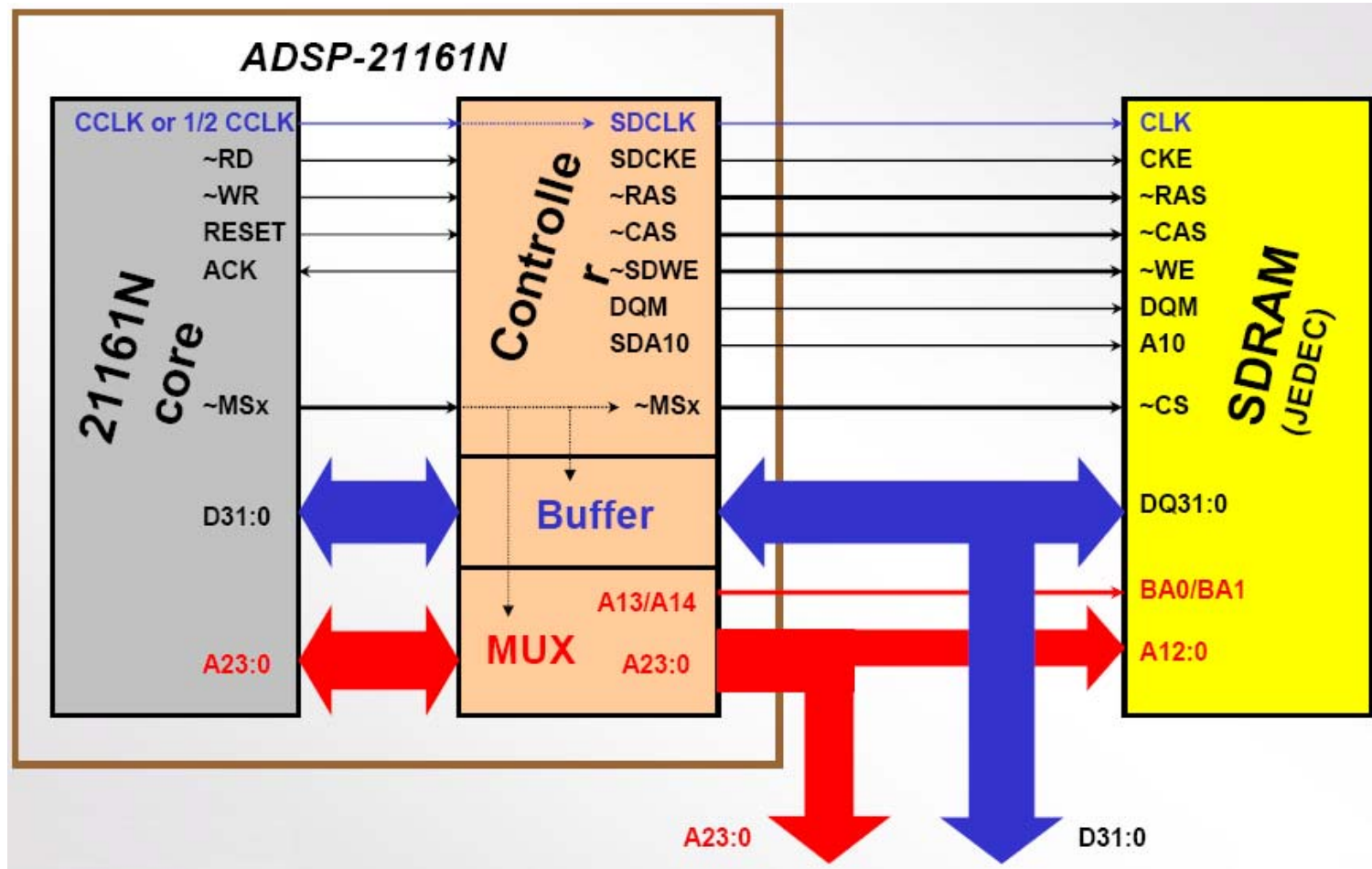
Przykład interfejsu z pamięcią SBSRAM



Kontroler SDRAM ADSP-21161

- Standard JEDEC
- Niski koszt
- 16/64/128/256 Mbits, x4, x8, x16 szerokości
- Duża szybkość
- Operacje 100 MHz w wielu sytuacjach pozbawione stanu oczekiwania
- Prosty interfejs czasowy
- Układ czuły na zbocze narastające sygnałów
- Sygnał wyjściowy dopasowany do sygnału zegarowego

Kontroller SDRAM ADSP-21161



Arbitraż dostępu do szyny

- **Bus Master (układ kontrolujący szynę) kontroluje dostęp do wyprowadzeń układu**
- **Bus Master odpowiada na Host Bus Request**
- **Arbitraż:**
 - Kiedy rdzeń albo DMA próbuje uzyskać dostęp do EP, ADSP-21161 przejmuje kontrolę nad BRx, które odpowiadają IDx
 - Wszystkie układy ADSP-21161 pobierają dane z BRx
 - Jeżeli Bus Master nie ma dostępu do BRx następuje Bus Transition Cycle (BTC)
 - Wszystkie ADSP-21161 pobierają swój aktualny priorytet
 - Ten z najwyższym priorytetem staje się nowym Bus Master i następuje kolejny cykl pracy układu

Arbitraż dostępu do szyny przebiegi czasowe

