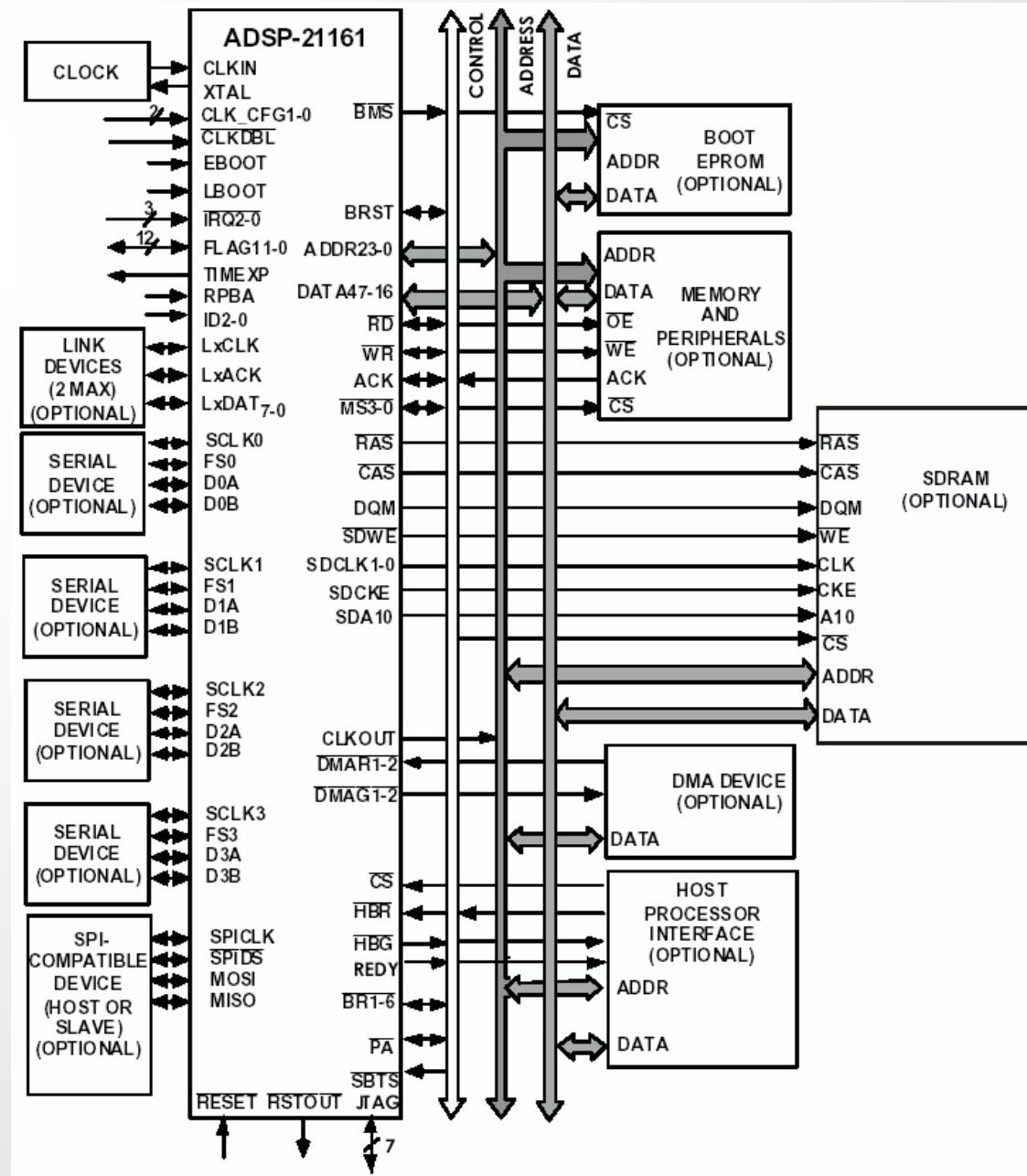


Projektowanie systemu ADSP-21161

Sekcja 12.

ADSP 21161 - diagram blokowy



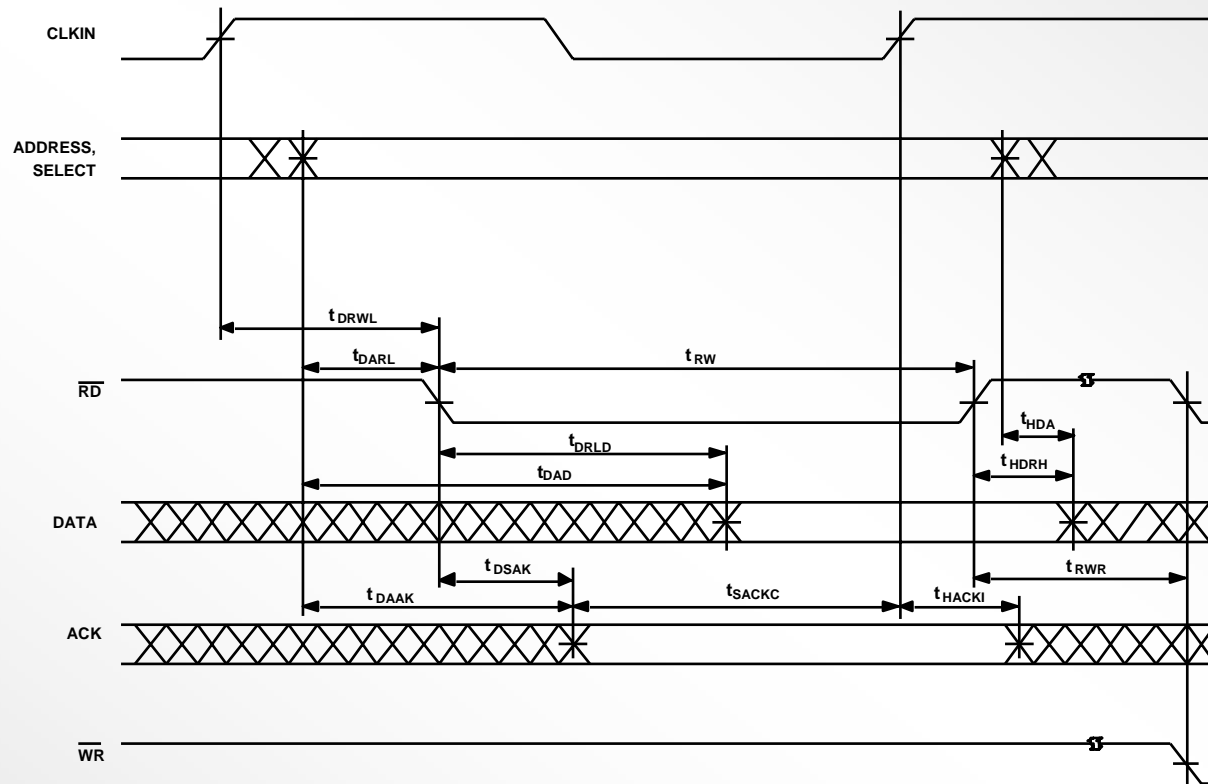
Zasoby 1/2

- **ADSP-21161 - zawartosc dokumentacji:**
 - przegląd cech chipu i instrukcji
 - opis pinow: typ, funkcja
 - charakterystyki elektryczne: DC loading, prąd zasilania
 - wymagania czasowe: wejście musi spełnić te wymagania dla właściwej operacji
 - charakterystyki przełączania: opis zachowań pinów wyjściowych
 - Output Disable Time Calculations: np. dla $t(\text{DATRWH})$
 - ładowanie pojemności: nominalnie 50pF, Derating curves
 - obliczenia mocy:
 - tabela dla wewnętrznego odprowadzania mocy jako funkcja poziomu aktywności
 - obliczenia dla zewnętrznego zasilania
 - zasilanie oraz uziemienia
 - wymogi systemu dla emulatora JTAG

Zasoby 2/2

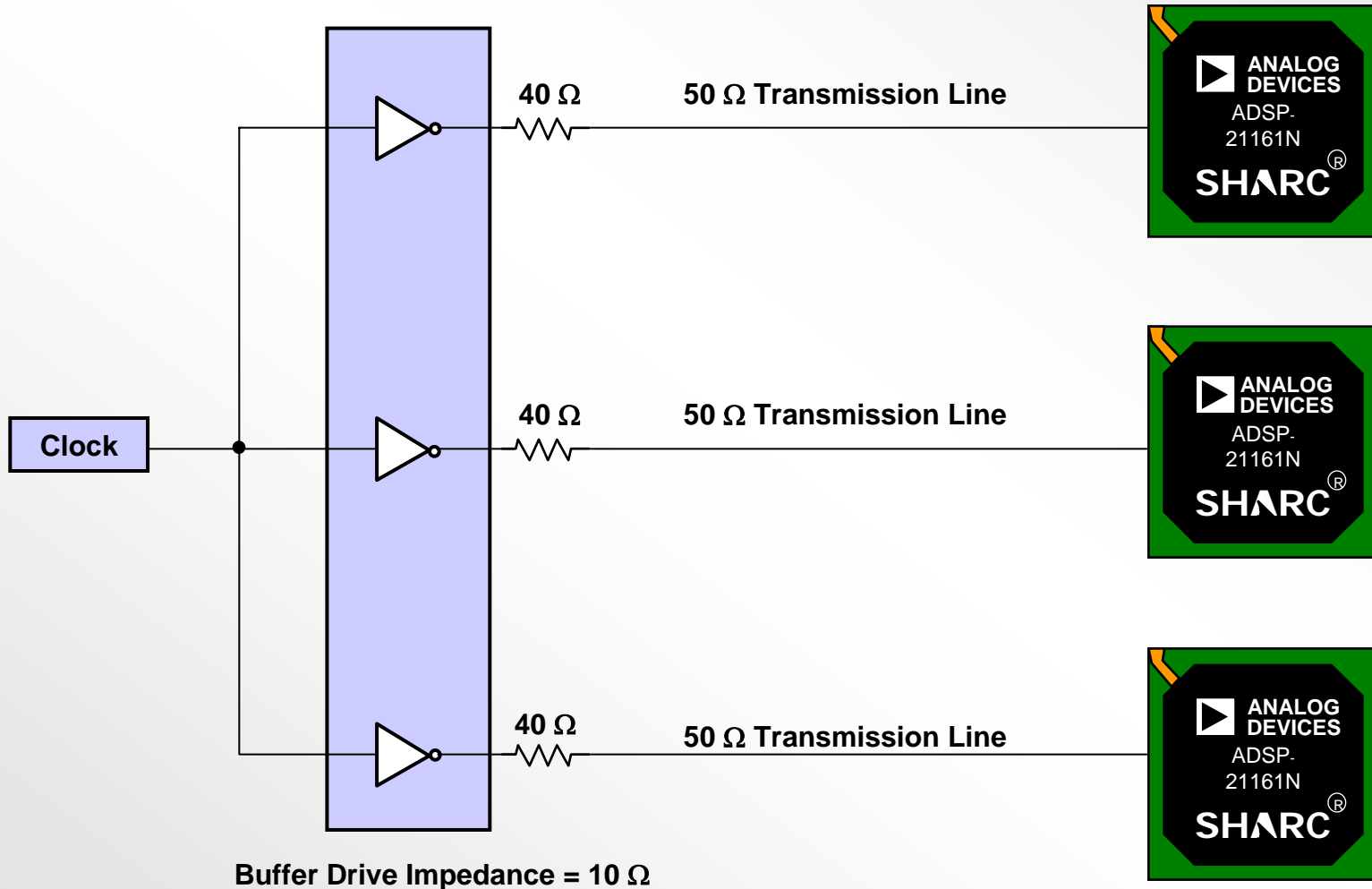
- **ADSP-21161 SHARC DSP - zasoby hardwerowe:**
 - **System Design Chapter**
 - **Pin States at Reset**
 - **Clock Derivation (Core, Link Port, Serial Port, & External Port)**
 - **Clock Specifications (Jitter & Rise Time specs)**
 - **Glitch Rejection and Filtering circuit descriptions**
 - **Signal Conditioning and Termination Recommendations**
 - **Decoupling Capacitors (value and placement)**
 - **Other Chapters (External Port, Link Port, Serial Port, etc.)**
 - **Detail Signaling protocols and sequence of events**
 - **Data sheet does not tell the whole story**
- **ADSP-21161N Anomaly List**
 - **Silicon Anomalies and Workarounds**
 - **Important Documentation Errata and Updates**
- **Application Notes:**
 - **Device Interfacing, Termination, Compatible Devices, etc.**
 - **Found at www.analog.com\dsp**

Przebiegi odczytu pamięci (ADSP-21161 @ 20ns CLKIN)



- $t(DAD)$: 8.75ns = Address, Select to Data Valid = RAM address access time
- $t(DRLD)$: 4ns = RD~ low to Data Valid = RAM output enable time
- $t(HDA)$: 0ns = Data Hold from Address, Select
- $t(HDRH)$: 1ns = Data Hold from RD high

Przykład dzielnika zegara



A separate buffer and transmission line is needed for each group of processors that are further than 4 inches from each other.

"Rozparowywane" pojemnosci

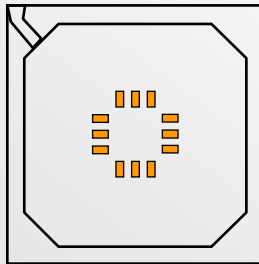
- **Zalecenia:**

- 4 pary, kazda 0.1uF i 0.01uF, na zasilaniu 1.8v i 3.3v, sa tak blisko urzadzenia jak to mozliwe (najlepiej pod PBGA).



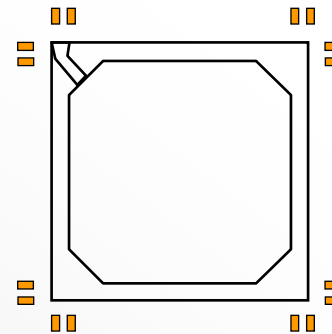
Case1:

Bypass Capacitors on Non-Component (bottom) side of board. Beneath DSP Package

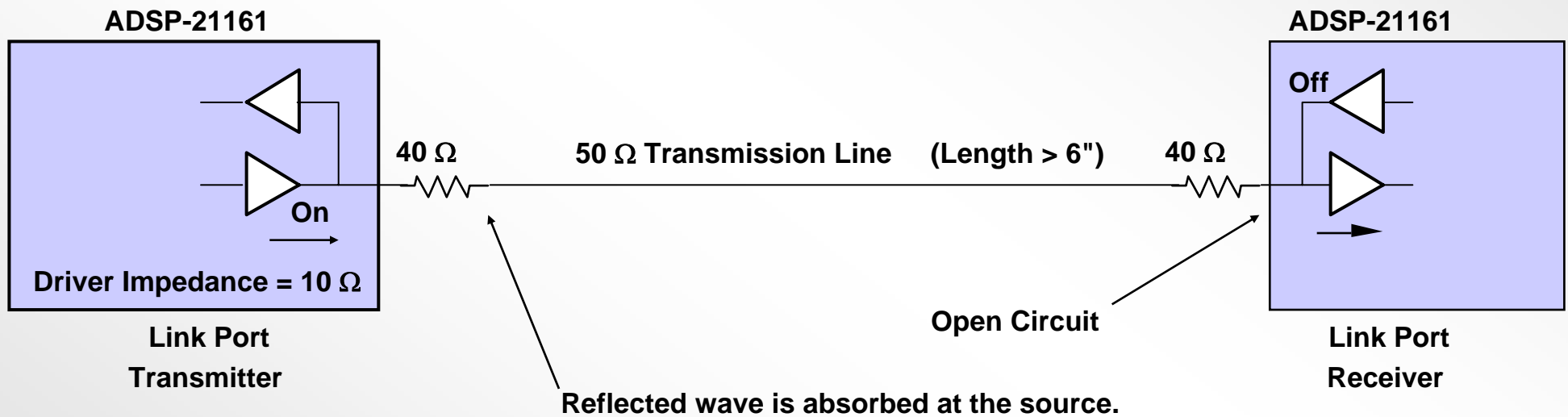


Case2:

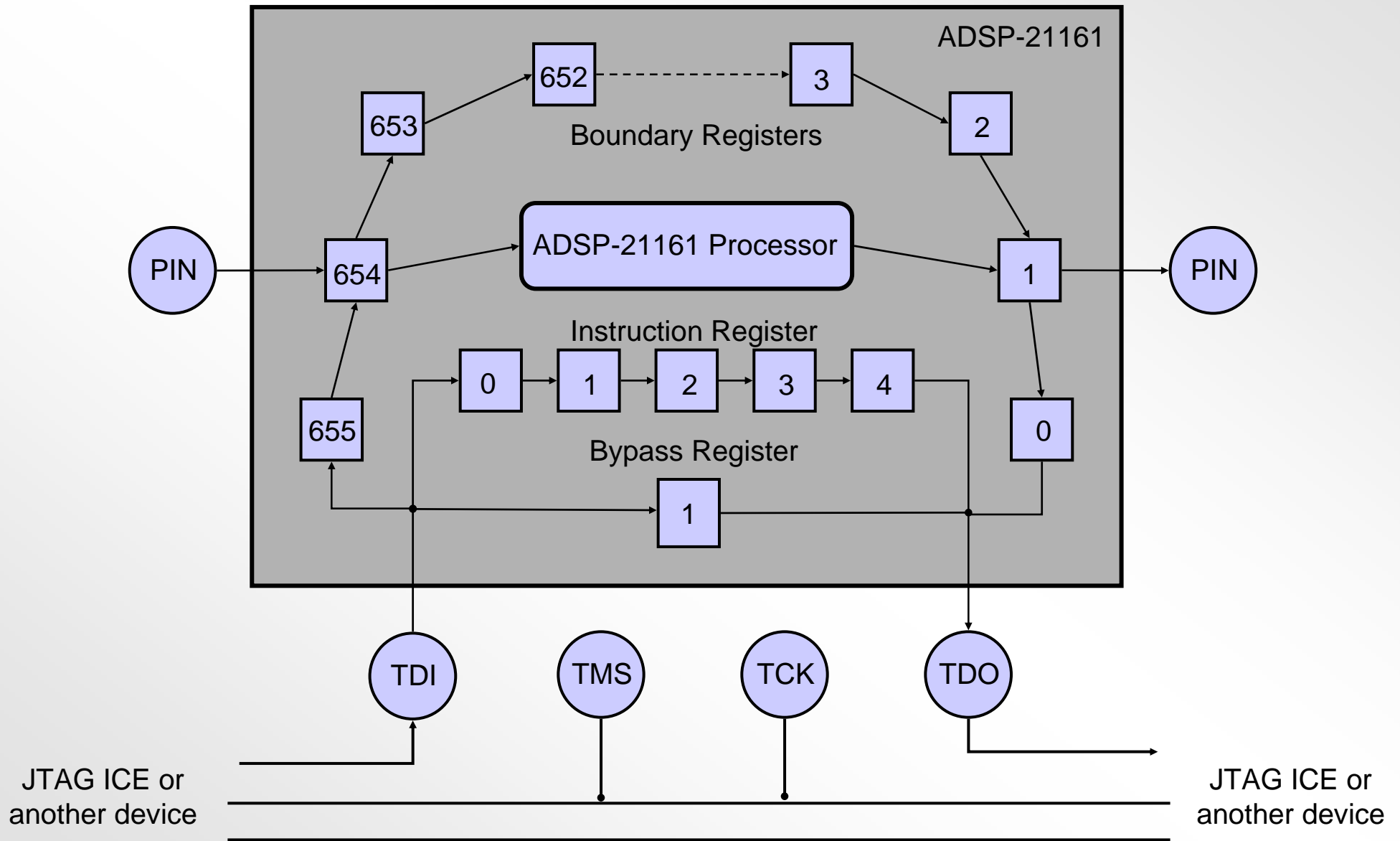
Bypass Capacitors on Component (Top) side of board. Around DSP Package



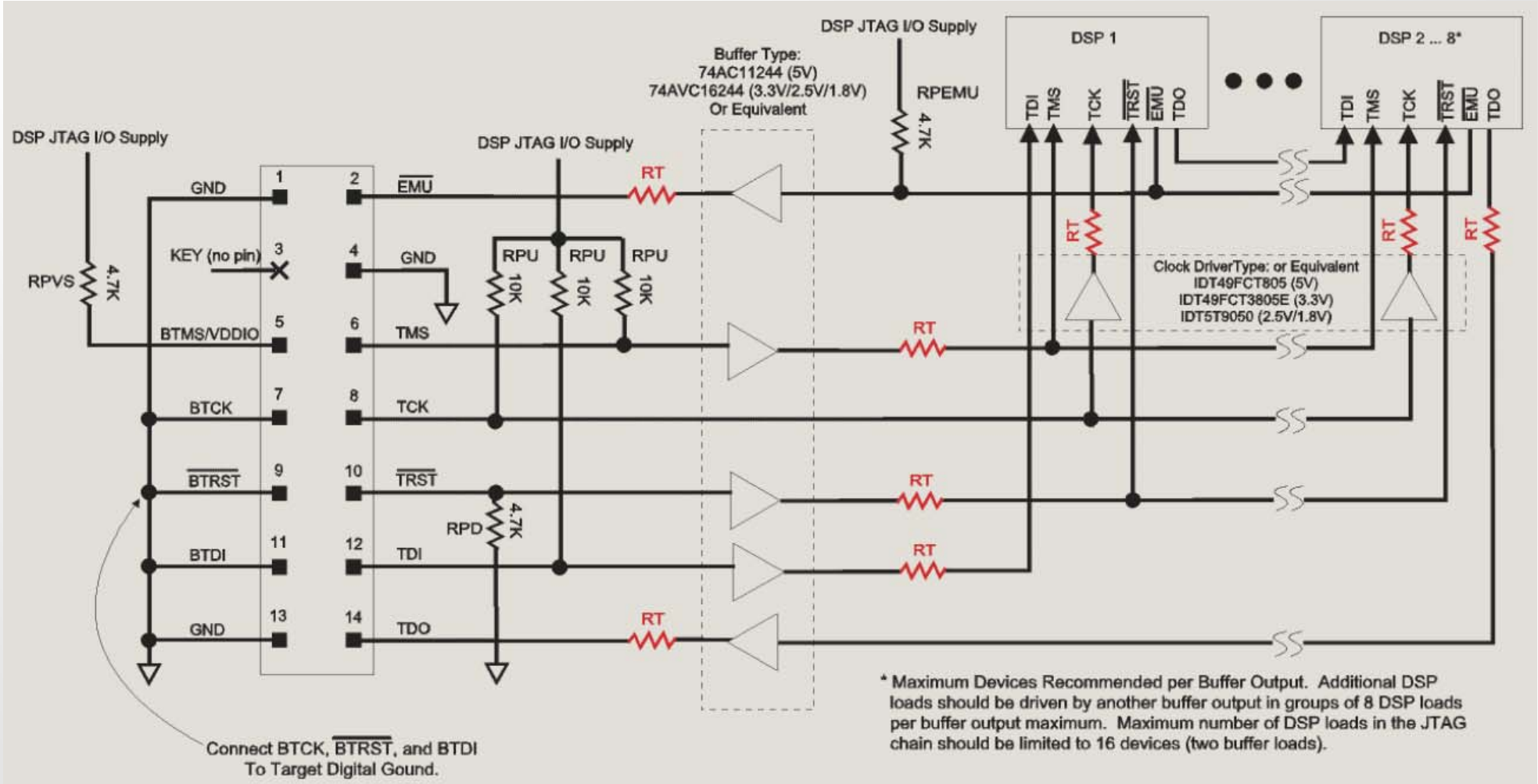
Linia transmisyjna Link Port



Sciezka badawcza JTAG



Polaczenia portow HPCI ICE JTAG



- EE-68 at www.analog.com